

小柳 光正

東北大学 未来科学技術共同研究センター・教授

自己修復機能を有する 3 次元 VLSI システムの創製

§ 1. 研究の概要

1. チーム全体の研究の概要

①本研究の背景、社会や産業に存在する問題と本研究の課題

Moore の法則で知られるように、これまで、LSI は、微細加工技術の進歩に伴う半導体素子の微細化により、著しい速度で高性能化、大容量化が達成されてきた。しかし、微細加工技術が 32nm ノード、22nm ノードと進むにつれて、素子の微細化に伴う様々な問題が顕在化してきている。チップあたりのトランジスタ数や総配線長の増加により、消費電力も著しく増加している。また、微細化とともに低電圧化が進み、加工ばらつきや不純物濃度の統計的なゆらぎの影響も無視できなくなっている。そのため、十分なディペンダビリティを確保しながら安定に動作する LSI の開発が次第に難しくなっている。このような将来の LSI の微細化限界に対処するために、3 次元 LSI 技術の研究開発が盛んになっている。特に、欧米、韓国、台湾では大規模な国家プロジェクトが発足して、3 次元 LSI 技術の実用化へ向けて精力的に研究開発が行われている。TSV (Through-Si via) を使った FPGA マルチチップモジュールや CMOS イメージセンサーなど、一部、量産もはじまっているが、2012 年から、メモリ/ロジック積層も含めて本格的な量産がはじまると言われている。米国では、2010 年に、DARPA 主導で、MOSIS を通して全米の大学に 3 次元 LSI 試作チップを供給して、新しい 3 次元 LSI 探索を行う戦略的なシステムが構築されている。また、3 次元 LSI のテスト手法や信頼性についての標準化を行うための標準化委員会も IEEE に設置されている。

このように、将来の主流技術となると考えられている 3 次元 LSI を念頭に置いて、本研究プロジェクトでは、自動車、ロボット、環境、航空宇宙、バイオテクノロジーなど、今後更なる発展が期待される分野での使用に耐える新しいディペンダブル LSI を実現するための基盤技術を開発することを目的とする。具体的には、将来の自動車の高度化やロボット化を見据えて、自動車の運転支援のための車載用ディペンダブル画像処理システムの実現を目指す。しかし、画像処理をベースとした多重化システムでは、処理するデータ量が膨大となるために（制御系に比べて 3~4 桁多い）、従来技術を用いて、高性能で低電力化の高信頼性システムを実現することは容易ではない。特に、画像処理に伴うメモリ容量の増大により、ソフトウェア等のソフト障害に対する対策が重要となる。そこで、本研究プロジェクトでは、ディペンダブル 3 次元 LSI 技術を基盤として、運転支援システムとしての画像処理システムのディペンダビリティ向上を、画像処理・認識の高性能化による測距制度の向上と、ソフトウェア/ハードウェア協調による自己診断・修復機能の搭載によって実現する。それによって、ASIL=C（故障率<80FIT・SPFM>97%・LFM>80%）の信頼性を確保する見通しを明らかにする。

②本研究チームの達成目標

ディペンダブル 3 次元 LSI 技術を基盤として、ASIL=C（故障率<80FIT・SPFM>97%・LFM>80%）の信頼性を確保できる自動車運転支援用ディペンダブル画像処理システムの実現可能性を示す。

このような画像処理システムが実現可能となると、基線長：12cm、焦点距離：6.5mm、画像サイズ：SXGA、ウィンドウサイズ：48 画素×31 ライン、再構成点数：3 万点、対応付け精度：1/20 画素、の仕様のシステムで、50m 先で 80cm 分解能、100m 先で 3m 分解能という測距精度が実現可能となる。

このような自動車運転支援用ディペンダブル画像処理システムの実現可能性が示されることによって、システムの実用化が促進され、高齢者の運転ミスによる交通事故の低減につながる。

また、ディペンダブル 3 次元 LSI 技術の確立は、素子の微細化によらない新しい LSI の創製につながり、LSI 技術の更なる発展をもたらす。

③本研究のアプローチ

本研究では、運転支援・画像処理システムのための画像処理の高性能化を図るための新しいアルゴリズムの採用、ハードウェア・ソフトウェア協調型の 3 次元積層型ヘテロジニアス・マルチコアプロセッサの採用、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能の搭載とそれを制御するための SVP (Supervisor Processor) の採用によって、ディペンダブルな運転支援用画像処理システムの実現を目指す。

画像処理の高性能化のための新しいアルゴリズムとして、位相限定相関法 (POC) に基づく超高精度ステレオビジョンのための新しいアルゴリズムを提案する。このアルゴリズムは従来の SAD (Sum of Absolute Differences) や SSD (Sum of Squared Difference) を用いた方法に比べて計測精度が高く、車載用画像処理システムだけでなく、各種のマシンビジョン (監視カメラ, 物体認識, FA, 生体認証など) にも応用可能であり、極めて独創的な技術である。

ハードウェア・ソフトウェア協調型の 3 次元積層型ヘテロジニアス・マルチコアプロセッサに関しては、アーキテクチャ設計レベルで動的に様々な情報をモニタリングし、アプリケーションに適切な計算資源を割り当てる新しい機構を導入しており、性能向上や消費電力の低減だけではなく、ディペンダビリティの向上に有効に働く。設定目標が達成できれば、運転支援用画像処理プロセッサだけでなく、組込用から高性能計算に至るまでの幅広いプロセッサ設計において、高性能化, 低消費電力化, ディペンダビリティ向上に貢献する。

スレッドスケジューリング・マイグレーション機能や自己診断・修復機能の搭載とそれを制御するための SVP に関しては、3 次元 LSI の特徴である並列性と接続の柔軟性を利用して、システム性能を低下させることなくシステムのディペンダビリティを高める手法を確立する。メモリ・ソフトウェア検出・救済のためのリコンフィギャラブルロジックの採用や一部の回路を多重化することによって SVP 自身のディペンダビリティを向上させ、それによってシステム全体のディペンダビリティの向上を図る。スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するための SVP を搭載して画像処理プロセッサのディペンダビリティを向上するという試みはこれまで例がなく、極めて独創的である。これらの手法は運転支援用画像処理プロセッサだけでなく、高いディペンダビリティを必要とする LSI に広く適用できる。

なお、以上のような自己診断・修復機能を有する 3 次元積層型画像処理プロセッサの試作に成功すれば、世界初の試みとなり、世界の 3 次元 LSI の研究開発に与えるインパクトは極めて大きい。また、この分野で日本が世界をリードする優位性の確保にもつながる。

④研究実施方法 (年次報告書本文と重複する場合は本文の項目を引用するだけで結構です)

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本研究プロジェクトでは、自動車運転支援用のディペンダブル画像処理システムを開発するために、システムのディペンダビリティについて、画像処理・認識のディペンダビリティ、システムソフトウェアに関わるディペンダビリティ、システムハードウェアに関わるディペンダビリティという 3 つの視点から検討することとし、チーム全体を下記の 3 つのグループに分けて研究を進めることとした。

①画像処理システムの高性能化と全体設計に関する研究グループ

②ディペンダブルソフトウェア技術に関する研究グループ

③ディペンダブルハードウェア技術に関する研究グループ

グループ ①では、鎌田グループが自動車運転支援用画像処理システムの全体構成と目標仕様の検討、青木グループがその目標を達成するための画像処理アルゴリズムの開発を担当する。

グループ ②では、小林グループが、グループ ①の青木グループ、グループ ③の小柳グループ、末吉グループと協力しながら、ハードウェア・ソフトウェア協調型の 3 次元積層型画像処理マルチコアプロセッサの研究を行う。

グループ ③では、小柳グループ、末吉グループが、グループ②の小林グループと協力しながら、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するための SVP の

機能の検討を行う。小柳グループが画像処理プロセッサに搭載するためのハードウェア設計、末吉グループがSVPのディペンダビリティを向上させるためのメモリ・ソフトウェア検出・救済も含めたリコンフィギャラブルロジックの検討を行う。小柳グループは元吉グループと協力して、積層型画像処理マルチコアプロセッサを試作するための3次元LSI技術の確立も行う。また、元吉グループは、末吉グループ、小柳グループと協力して、積層型画像処理マルチコアプロセッサに搭載するメモリのソフトウェア耐性を評価する。

2) 領域外部の企業等との連携

3次元積層型画像処理マルチコアプロセッサに搭載するコアプロセッサに関して半導体企業と共同研究の可能性を検討中である。また、マルチコアプロセッサの設計・評価、自己診断・修復回路の設計・評価に関して共同研究を行っている。3次元LSI技術に関しては、半導体装置メーカー4社、半導体材料メーカー1社と共同研究を行っており、東北大学内で3次元積層型画像処理マルチコアプロセッサの試作が可能な体制が整いつつある。

3) 領域内他研究チームとの連携関係

画像処理プロセッサのディペンダビリティを高めるための自己診断・修復機能の基本となるテスト設計技術に関して、他研究チームの研究会に参加して情報交換を行っている。今後は、テスト設計技術だけでなく、ディペンダブル画像処理プロセッサ実現の鍵を握るソフトウェア対策に関しても、関係する他研究チームと連携関係を構築して、研究の進展を図りたい。

2. 研究グループの研究の概要

(1) 小柳グループ(研究代表者グループ)

① 本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究プロジェクトでは、3次元集積化技術の導入によってLSIの高性能化とディペンダビリティの向上を図るとともに、3次元LSIを用いた車載用のディペンダブル画像処理システムの実現を目指している。このような車載用画像処理システムのディペンダビリティを確保するために、システム全体のディペンダビリティを、画像処理・認識のディペンダビリティ、システムソフトウェアに関わるディペンダビリティ、システムハードウェアに関わるディペンダビリティという3つの視点から捉え、それぞれのディペンダビリティを実現するために、研究内容を(i) 画像処理システムの高性能化と全体設計、(ii) ディペンダブルソフトウェア技術、(iii) ディペンダブルハードウェア技術という3つの領域に分けて、それぞれの領域の研究を融合的に進める。

本研究グループでは、(iii) ディペンダブルハードウェア技術を担当する。具体的には、システム性能の向上と自己診断・修復機能の搭載によって運転支援用画像処理システムのディペンダビリティを向上させることを目指して、ディペンダブル・ハードウェア技術について研究する。ハードウェア技術としては、性能、電力効率ともに1~2桁改善できる3次元LSI技術を採用する。3次元LSIの特徴である並列性と接続の柔軟性を利用して、システム性能を低下させることなくシステムのディペンダビリティを高める手法について研究する。また、これらの機能を搭載した3次元積層型画像処理プロセッサ・プロトタイプチップを設計、試作して、性能評価を行う。

② 本研究グループの達成目標

プロトタイプ3次元積層型画像処理プロセッサを設計、試作し、ASIL=C(故障率<80FIT・SPFM>97%・LFM>80%)信頼性確保の可能性を明らかにする。それによって、自動車運転支援用ディペンダブル画像処理システムの実現可能性が示されることになるので、システムの実用化が促進される。システムが実用化されれば、高齢者の運転ミスによる交通事故の低減につながる。また、3次元積層型画像処理プロセッサの試作には、ディペンダブル3次元LSI技術の確立が必須となるが、3次元LSI技術が確立されれば、素子の微細化によらない新しいLSIの創製につながり、LSI技術の更なる発展をもたらす。

③ 研究のアプローチ

本研究グループでは、3次元LSI技術を採用することによって、システム性能の向上と自己診断・修

復機能の実現を図り、これによって運転支援用画像処理システムのディペンダビリティを向上させることを目指している。システム性能の向上は、3次元LSIの特徴である並列性を利用して実現する。また、自己診断・修復機能に関しても、3次元LSIの特徴である並列性と接続の柔軟性を利用して実現する。

3次元LSI技術を用いて、自己診断・修復機能とそれを制御するためのSVPを搭載した画像処理プロセッサについては、これまで報告がなく、極めて独創的である。このような機能を有する3次元積層型画像処理プロセッサの試作に成功すれば、世界初の試みとなり、世界の3次元LSIの研究開発に与えるインパクトは極めて大きい。また、この分野で日本が世界をリードする優位性の確保にもつながる。

なお、3次元LSI技術を用いて、自己診断・修復機能をLSIに搭載する手法は、運転支援用画像処理プロセッサだけでなく、高いディペンダビリティを必要とするLSIに広く適用できる。

④研究実施方法(研究チーム内外の連携関係など)

本研究グループでは、3次元LSI技術を用いて、運転支援用のディペンダブル画像処理システムを実現するために、以下の研究を実施する。

- ・ディペンダブル3次元積層型画像処理プロセッサ用BIST回路技術、自己診断回路技術、自己修復回路技術の確立(末吉、小林、元吉グループと協力)
- ・ディペンダブル3次元積層型メモリ・プロトタイプチップ試作とディペンダビリティ評価(小林、元吉グループと協力)
- ・TSVを中心とした3次元LSIの信頼性評価用TEG試作と3次元LSIの信頼性評価(元吉グループと協力)
- ・ディペンダブル3次元積層型画像処理プロセッサ・プロトタイプチップの設計(小林、末吉、元吉、鎌田グループと協力)
- ・ディペンダブル3次元積層型画像処理プロセッサ・プロトタイプチップの試作(元吉グループと協力)
- ・試作するディペンダブル3次元積層型画像処理プロセッサ・プロトタイプチップのディペンダビリティ評価(小林、末吉、元吉、鎌田、青木グループと協力)

また、チーム外の連携としては、凸版印刷、ルネサスの設計者とプロセッサ設計、テスト容易化設計に関する意見交換を行っている。

(2) 小林グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

小林グループでは、本研究課題で目標としている車載用高精度3次元ビジョン用VLSIのアーキテクチャ設計を担当している。本VLSIは、小柳グループが開発している3次元積層技術により実装する予定であるが、シリコンダイの3次元積層により1つのチップに集積可能なトランジスタは飛躍的に増加するため、ソフトウェア、外乱による故障に対する耐性が、これまでの2次元実装以上に求められる。このような障害発生時にも継続的に安定した性能を維持したままアプリケーションを実行できるVLSIをアーキテクチャ設計の視点から実現させることが、小林グループに課せられた課題である。

②本研究グループの達成目標

本研究課題で対象としている高精度3次元ビジョン用VLSIを高効率に実行しつつ、ディペンダビリティを維持可能な3次元積層型のアーキテクチャの実現を達成するために、「3次元積層技術を用いたVLSI(プロセッサ)の設計空間の明確化」と、故障発生時でも高い性能を維持したまま継続的にアプリケーション実行を可能とする「ディペンダブルなアプリケーション実行機構の構築」が、小林グループの達成目標である。この二つの目標を達成することで、3次元積層技術の特性を最大限に活かしたアーキテクチャ設計が可能になり、かつ3次元積層技術で初めて与えられる潤沢なハードウェア資源を高効率に利用し、高いディペンダビリティを有する車載用高精度3次元ビジョン用VLSIの実現が可能になる。

③研究のアプローチ

本課題に対して小林グループでは、特に小柳グループ、青木グループと密接に連携しながら、3次元積層技術を用いたVLSIの設計空間を明確にしつつ、アプリケーションに応じた3次元積層技術を用いたアーキテクチャ設計に関する研究課題「アプリケーションの特性を考慮した3次元VLSIハードウェアの構成技術の研究

開発」と、高精度 3 次元ビジョン用 VLSI のディペンダビリティ向上を目的とした課題である「ディペンダブルなアプリケーションスケジューリング機構の研究開発」を設定し研究を遂行している。

小林グループで設計に取り組んでいるアーキテクチャの基本的なコンセプトは、オンラインで VLSI を構成する各要素のヘルスマonitoring情報を取得し、恒常的に安定して動作している計算資源へアプリケーションをスケジューリングすることで、アプリケーション実行のディペンダビリティ向上を図るものである。年次報告書にも示したように、現在は性能をモニタリングし、マルチコアプロセッサ上で実行される複数のスレッドに適切な計算資源を割り当てることで、性能を維持したまま消費電力を抑制する機構を構築している。次年度以降は、3 次元ビジョン用 VLSI への適用へ向けて、小柳グループ、末吉グループらが設計開発を行っているデバイス層からの故障情報、エラー情報に基づき、アプリケーションを適切な計算資源に割り当てる機構を構築する予定である。

特に、本年度は、本研究課題で対象とする異種複数の計算資源が混在する 3 次元 LSI を想定し、CPU、GPU 等が混在する環境において効率的なジョブ実行、ジョブの冗長実行が可能な計算環境の詳細設計を行うとともに、チェックポインティング機構の導入を検討し、異種複数プロセッサ環境のディペンダビリティ向上のための要素技術の研究開発に取り組んだ。

アーキテクチャ設計レベルで動的に様々な情報をモニタリングし、アプリケーションに適切な計算資源を割り当てる機構の実現は、性能や消費電力だけではなく、ディペンダビリティの向上のための利用することが可能である。設定した目標が達成できれば、その応用範囲は本研究課題で取り組んでいる専用 VLSI ばかりでなく、組込から高性能計算に至るまで幅広いプロセッサ設計において、その高性能化、低消費電力化、そしてディペンダビリティ向上に貢献することが期待できる。また、3 次元積層技術は近い将来 VLSI 技術の主流になることが期待されており、3 次元積層技術を用いたアーキテクチャ設計空間を明らかにすることは将来のプロセッサ設計に大きく与えるものと考えられる。

④研究実施方法(研究チーム内外の連携関係など)

チーム内の連携においては、月に 1 度程度、各グループが集まり、研究打ち合わせを実施している。特に、小柳グループとは、3 次元積層技術を用いた VLSI のアーキテクチャ設計に関する情報を共有しつつ、3 次元積層技術を用いた VLSI の設計空間を明らかにすること、三次元積層型 VLSI の試作設計を目標に、月に **2** **〜3** 回程度定期的な打ち合わせを行っている。また、本研究課題の対象アプリケーションである 3 次元ビジョン用アルゴリズムを高効率に実行可能なアーキテクチャ実現へ向けて対象アルゴリズムを開発した青木グループと月に 1 度定期的なミーティングを行い、プログラム解析、本アルゴリズムの最適化に関する研究打ち合わせを行っている。

また、チーム外の連携としては、NEC の技術者らと 3 次元ベクトルアーキテクチャ設計に関する意見交換を行っている。

(3) 青木グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループは、3 次元 VLSI 画像処理プロセッサの車載画像処理への応用を担当しており、「車載用超高精度ステレオビジョンシステムの開発および性能分析」を研究課題として取り組んでいる。具体的には、(i) 位相限定相関法に基づく超高精度ステレオビジョンのためのアルゴリズム開発、(ii) 開発したアルゴリズムのソフトウェア実装および性能評価、(iii) 開発したアルゴリズムの GPU への実装および性能評価に取り組んでいる。

自車両前方等の障害物検出では、複数台のカメラを用いて走行環境の 3 次元情報を計測することで、正確な障害物の検出および障害物までの距離計測を行うことができる。このときに、障害物の検出および距離計測を高精度に行うためには、同時に撮影した複数枚の画像間の視差(位置ずれ量)を高精度に求める必要がある。そのために、画像間の平行移動量をサブピクセル精度で高精度に推定可能な画像マッチング手法である位相限定相関法を用いるとともに、車載ステレオビジョンシステムのための高精度化手法を開発する。開発したアルゴリズムの性能を評価するために、C 言語等を用いてソフトウェア化するとともに、実際に車両に取り付けたステレオカメラで撮影した動画像を使って性能評価を行う。また、開発したアルゴリズムを GPU 上に実装し、計算量や精度などを評価する。異なるアーキテクチャおよび異なる構成の GPU で評価を行い、それらの評価結果に基づいて、本研究チームで開発する画像処理プロセッサ上に実装した際の性能を試算する。

②本研究グループの達成目標。

ディペンダブルな画像処理アルゴリズムとは、性能が高いアルゴリズムのことである。車載用の障害物検出の

場合は、正確に障害物を検出することに相当する。本研究課題では、時速 100km で走行中に、100m 先に障害物があったとしても、安全に停止できる障害物検出の性能を目標とする。この想定に基づく、ステレオビジョンの計測精度として、水平/垂直空間分解能 ($\leq 5\text{cm}$)、奥行空間分解能 ($\leq 50\text{cm}$)、水平/垂直速度分解能 ($\leq 10\text{km/h}$) を設定し、システムの画像サイズ (SXGA: 1280x1024 画素)、フレームレート (30fps)、基線長 (12cm)、焦点距離 (6.5mm)、ステレオ画像対応付け精度 (0.05 画素)、ステレオ画像対応付け点数 (30 万点) が目標値となる。

③研究のアプローチ

本研究グループでは、位相情報を用いてサブピクセル精度の対応付けを実現する超高精度画像マッチング技術「位相限定相関法 (Phase-Only Correlation: POC)」に関する研究開発を行っている。すでに、多数の企業との共同研究を通して、指紋照合システム、産業用超高速画像認識システム、画像による製本検査装置、透過型電子顕微鏡 (TEM) のための世界初オートフォーカスシステム、レーザースペックル計測による材料強度試験装置などを実用化している。さらに、高精度 3 次元計測や医用画像解析など広範な分野の研究開発を進めている。これらの応用では、位相情報の活用によって実現されるサブピクセル (0.1~0.01 ピクセル) 分解能のロバスト画像マッチング技術が基盤となっている。なお、本研究グループは、位相情報を利用する画像解析・画像処理技術に関する研究チームとして、世界をリードする位置付けにある。本研究課題においては、これまでの知見に基づいて、車載画像処理、特に障害物の検出について位相限定相関法を応用する。

④研究実施方法(研究チーム内外の連携関係など)

研究チーム内では、開発した障害物検出アルゴリズムの高速化および GPU 実装について、小林グループと定期的な打ち合わせを行いながら進めている。最近では、マルチ GPU におけるチェックポイントリスタート機能の実証実験について検討を始めている。また、障害物検出について、(株)デンソーおよび(株)日本自動車部品総合研究所と共同研究を進めており、自動車メーカーの最新のニーズに合致した目標設定を行い、それに基づいてアルゴリズム開発を行っている。

(4) 末吉グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

小林グループ (ディペンダブルシステム技術担当)、小柳グループ (ディペンダブル 3 次元 LSI 技術担当) と協力して、本研究プロジェクトで実現の可能性を明らかにしようとしているディペンダブル 3 次元積層型画像処理プロセッサの監視、故障修復補助を担う SVP プロセッサ、および SVP を実装するハードウェアプラットフォームに関する研究を行う。

②本研究グループの達成目標。

(i) メモリ・ソフトウェア検出・救済のためのリコンフィギャラブルロジックの実現

(ii) デバイス全体の監視、故障回復補助を担う SVP の実現

(i) はリコンフィギャラブルな特徴を用いて SVP 自身のソフトウェア耐性向上を目指すもので、(ii) はシステム全体のディペンダビリティ向上を対象としている。

③研究のアプローチ

3 次元積層型画像処理プロセッサのディペンダビリティを担う SVP (Supervisor processor) を FPGA で実現し、機能の確認とディペンダビリティの評価を行う。SVP の診断修復機能を統括する回路部分をリコンフィギャラブルロジックで実現し、SVP 自身も含めたシステム全体の高信頼化を達成する。対象とする故障はソフトウェアおよびハードエラーとする。ソフトウェアに関してはスクラビングおよび内部コンテキスト同期技術を中心とした復旧手法、ハードエラーに関しては回路モジュールの再配置手法により対処する。また、自己診断回路を実装した FPGA 専用層を準備し、ハードウェアレベルでの SVP と連携させることでシステム全体の監視を行うことによって、3 次元 VLSI のディペンダビリティを向上させることを試みる。

④研究実施方法(研究チーム内外の連携関係など)

対象システムの自己診断、自己修復を担う SVP の開発、およびソフトウェアに対しロバストなリコンフィギャラブルロジックのハードウェア技術の開発を目指して、以下の研究を実施する。

・リコンフィギャラブルロジックによる診断修復機能の実現と SVP の設計、評価

- ・自己診断回路を実装した FPGA 専用層による 3 次元 VLSI のディペンダビリティ向上
- ・リコンフィギャラブル SVP、自己診断回路を搭載した FPGA と 3 次元積層型画像処理プロセッサ・プロトタイプチップから成るテストシステムによるシステム・ディペンダビリティの評価
(小林グループ、小柳グループ、鎌田グループと協力)

(5)「鎌田」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

自動車運転支援用画像処理システムの全体構成と目標仕様について検討し、研究全体の出口戦略を立案する。

②本研究グループの達成目標

自動車運転支援用画像処理システムの性能・コスト・信頼性に対する数値目標を設定するとともに、システムのユーザーに対するアカウントビリティを明確化する。また、本研究で開発するプロトタイプ・システムを用いて実用性に対する評価を行い、実用性に対する評価指針を明確化する。これらにより研究成果が速やかに実用に移行できる。

③研究のアプローチ

3 次元 LSI の特徴である高い性能を活用するとともに、以下の手法を導入してシステムのディペンダビリティを高めることを検討する。

- ・多重化などの手法を採用する。
- ・処理量が多いが高精度でロバストな認識アルゴリズムを採用する。
- ・物体の認識のみに囚われず画像を人に見せる HMI 性能を確保する。
- ・再構成回路により単一故障の外部への出現を高い率で回避する。
- ・実用化の際発生するソフトウェア生産性を高めるためのオーバーヘッドを考慮する。

④研究実施方法(研究チーム内外の連携関係など)

3 次元 LSI を用いた画像処理システムの全体構成に関しては、小柳チーム、小林チームと連携して研究を進める。また、多重化などの手法の採用によるディペンダビリティの向上に関しては小林チームと連携する。処理量が多いが高精度でロバストな認識アルゴリズムの採用に関しては青木チームと協力して研究を進める。再構成回路により単一故障の外部への出現を高い率で回避する手法に関しては末吉チームと連携する。

(6)「元吉」グループ

① 研究グループの研究課題、ならびに所属する研究チームの課題との関係

メモリ・ソフトウェア検出・救済手法について研究するとともに、自己修復機能を有する 3 次元 LSI テスト回路の設計および評価を行う。また、3 次元 LSI テスト回路、プロトタイプ 3 次元積層型画像処理プロセッサ試作用 3 次元 LSI 技術の作製プロセスを確立する。

② 研究グループの達成目標

メモリ・ソフトウェア検出・救済手法を確立する。自己修復機能を有する 3 次元 LSI テスト回路の評価結果を基に、ASIL=C (故障率<80FIT・SPFM>97%・LFM>80%) の信頼性確保の可能性を示す。プロトタイプ 3 次元積層型画像処理プロセッサ試作のための 3 次元 LSI プロセス最適条件を確定する。

③研究のアプローチ

メモリ・ソフトウェアに関しては、プロトン照射によるソフトウェア発生・評価システムを構築して検出・救済手法を検討する。画像処理プロセッサのディペンダビリティを高めるための自己診断・修復機能に関しては、これらの機能を搭載した 3 次元 LSI テストチップを試作して評価する。自己診断・修復機能を搭載した 3 次元 LS のソフトウェアについてはこれまで報告されておらず、評価に成功すればそのインパクトは非常に大きい。

④研究実施方法

積層型画像処理マルチコアプロセッサに搭載するメモリのソフトエラー耐性の評価に関しては、小柳グループ、末吉グループと協力する。積層型画像処理マルチコアプロセッサを試作するための 3 次元 LSI 技術に関しては、小柳グループと協力して、技術の確立を行う。

§ 2. 研究実施体制

(1)「東北大学 小柳」グループ

① 研究分担グループ長:小柳光正 (東北大学未来科学技術共同研究センター、教授)(研究代表者)

② 研究項目

自己修復機能を有する3次元 VLSI システムの全体設計および性能評価

- ・ ディペンダブル 3 次元積層型画像処理プロセッサのシステム性能評価
- ・ プロトタイプ 3 次元積層型画像処理プロセッサの設計・試作
- ・ 3次元 LSI テスト回路の設計、試作および3次元 LSI の信頼性評価
- ・ ディペンダブルメモリの設計、試作、評価

(2)「東北大学 小林」グループ

① 研究分担グループ長:小林広明 (東北大学サイバーサイエンスセンター、教授)(主たる共同研究者)

② 研究項目

- ・ アプリケーションの特性を考慮した 3 次元 VLSI ハードウェアの構成技術の研究開発
- ・ ディペンダブルなアプリケーションスケジューリング機構の研究開発

(3)「東北大学 青木」グループ

① 研究分担グループ長:青木孝文(東北大学大学院情報科学研究科、教授)(主たる共同研究者)

② 研究項目

- ・ 位相限定相関法に基づく超高精度ステレオビジョンのためのアルゴリズム開発
- ・ 上記アルゴリズムのソフトウェア実装および性能評価
- ・ 上記アルゴリズムの GPU への実装および性能評価
- ・ 車載用超高精度ステレオビジョンのための3次元 VLSI アーキテクチャの検討

(4)「熊本大学 末吉」グループ

① 研究分担グループ長:末吉敏則 (熊本大学大学院自然科学研究科、教授)(主たる共同研究者)

② 研究項目

- ・ 不良救済技術およびメモリ・ソフトエラー検出救済技術の検討・評価
- ・ 3次元リコンフィギャラブルロジックおよび CAD ツールの検討・評価

(5)「デンソー 鎌田」グループ

① 研究分担グループ長:鎌田忠 (株デンソー半導体開発部、担当部長)(主たる共同研究者)

② 研究項目

車載用画像処理システムの概念設計と高頼化技術の検討

- ・ 誤認識(測位誤差)の問題から見た性能目標の検討
- ・ ディペンダビリティの目標値を達成する方式の評価方法の検討

(6)「ザイキューブ 元吉」グループ

① 研究分担グループ長:元吉真 (株ザイキューブ、取締役社長)(主たる共同研究者)

② 研究項目

自己修復機能を有する 3 次元 LSI テスト回路の試作および評価

- ・ メモリ・ソフトウェア検出・救済手法の確定と自己修復機能を有する3次元 LSI テスト回路設計および評価
- ・ 3次元 LSI テスト回路、プロトタイプ 3 次元積層型画像処理プロセッサ試作用3次元 LSI 技術のプロセス条件の確定。

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

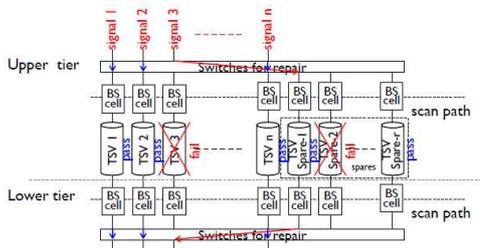
(1) 研究の成果と自己評価

(1) 成果1. 「3次元 LSI におけるシリコン貫通配線 (TSV) の信頼性設計」(項目 A)(小柳グループ)

①内容

積層チップ間を多数の TSV で接続する 3 次元 LSI では、TSV の製造歩留まり、信頼性が、3 次元 LSI の歩留まり、デペンダビリティに大きな影響を与える。そこで、本研究では、TSV の導通状態をリアルタイムでチェックし、不良があれば正常な TSV と入れ替えることによって TSV の信頼性を向上させる手法を提案している。図 1 に示すように、冗長 TSV を含む複数の TSV を一つの TSV ブロックとし、スキャンパスを使って TSV の導通状態をリアルタイムでチェックするとともに、不良 TSV を正常 TSV と入れ替える。TSV の信頼性を高めるためには、冗長 TSV の本数を増やせば良いが、TSV の本数が増えるとチップ面積へのペナルティが増えるため、ブロックを形成する TSV の本数、冗長 TSV の本数には最適値が存在する。本研究では、表 1 に示すように、TSV 本数とその内訳を最適化することにより、少ない面積ペナルティで、99.9%以上の高い信頼性が得られる TSV 設計指針を得ることができた。

- ▶ TSVをグループ分け(例:3個x3個、4個x4個、5個x5個)
- ▶ グループごとに修復用の予備TSVを数個配置
- ▶ 導通テストの結果から使用するTSVを切替



	単純多重化		修復(専用TSVなし)		修復(専用TSVあり)		
	多重度m	多重度m	信号n:修復r	信号n:修復r	信号n:修復r	信号n:修復r	
	2	4	4:2	16:4	4:2	16:4	
TSV面積/信号	+100%	+300%	+50%	+25%	+50%	+25%	
TSV容量/信号	+100%	+300%	+0%	+0%	+0%	+0%	
スイッチ/信号	0	0	3	5	3	5	
信号/TSV	1	1	3	5	4	16	
TSV Group Yield	$(1 - (1 - R_{TSV})^m)^n$		$\sum_{i=0}^{n+r} \binom{n+r}{i} R_{TSV}^i (1 - R_{TSV})^{n+r-i}$		$(1 - R_{TSV})^{n+r-1}$		
Assembly Yield*	2,000	81.87%	99.99%	99.03%	99.98%	99.03%	99.98%
	5,000	60.65%	99.99%	97.59%	99.96%	97.59%	99.96%
	10,000	36.79%	99.99%	95.23%	99.91%	95.23%	99.91%
	20,000	13.53%	99.98%	90.69%	99.83%	90.69%	99.83%

*垂直インターコネクションの成功率 R_{TSV} を99%とし、全ての接続が成功する確率として計算

②有用性

少ない面積ペナルティで、高い TSV 信頼性が得られるので、3 次元 LSI の信頼性、歩留まりを高めるには必須の技術である。

③優位比較

ISSCC 2009 で、Samsung が 3 次元積層型 DRAM (2Gb×4 層)で、4:2 という冗長構成を有する TSV を採用しているが、信頼性と面積ペナルティの間のペナルティを考えた場合、最適の構成とは言えない。また、TSV の導通状態をリアルタイムでチェックできる構成となっていないので、デペンダビリティの向上という点では本研究で採用している 冗長 TSV の方が優位である。

(2) 成果2. 「OpenCL アプリケーションのジョブマイグレーション」(項目 B)(小林グループ)

①内容

アクセラレータを搭載する不均質計算システムのための標準プログラミング環境である OpenCL で開発されたアプリケーションプログラムを対象とし、その透過的チェックポイントリングとプロセスマイグレーションを実現した。OpenCL の API 呼び出しを境界としてアプリケーションとシステムソフトウェアを分離することが可能であ

り、そのことを利用してアプリケーションから透過的にチェックポイント・リスタートを実現できることを実証し、その機構を実現するための実行時オーバーヘッドも定量的に評価した。

②有用性

CUDA や OpenCL といったアクセラレータを制御するためのライブラリ実装は各プロセッサのベンダによって提供されており、その実装の詳細は公開されていない。このため、チェックポイント・リスタートのように実装の詳細を知る必要のある機能の実現は困難であった。しかし、本研究では、OpenCL の実装の詳細がわからない場合でも、OpenCL の API 呼び出しの全てを監視し、アプリケーションとシステムソフトウェアの間で送受信されるデータを必要に応じて適切に変換することでチェックポイント・リスタートを実現できることを明らかにした。その有用性は、並列分散処理の一流会議に関連論文が採択されるなど、高く評価されている。

③優位比較

いくつかの関連研究で仮想化技術を使ったジョブマイグレーションなどが実現されつつある。しかし、本研究はプロセス単位でのマイグレーションを検討しており、仮想マシン単位での状態保持よりは低コストで実現可能である。また、仮想化技術の場合には OS 等の介入・協力が必要であり、その摘要可能性はシステム的环境へ強く依存している。一方、本研究のアプローチでは OpenCL をインタフェースとしてアプリケーションとシステムを完全に分離して管理しており、システム依存性がないことから、OpenCL を利用可能であればどのような環境でも適用可能な、汎用性の高いアプローチとなっている。

(3) 成果 3. 「リコンフィギュラブル・ハードウェア技術に関する研究」(項目 D)(末吉グループ)

①内容

・SVP (Supervisor processor) による不良救済技術の検討

自己修復機能を有する 3 次元 VLSI システムの創生において、対象システムの監視、故障修復補助を担う SVP プロセッサ、および SVP を実装するハードウェアプラットフォームに関する研究を行った。SVP に求められる要件として (1) システム全体の動作保障を担うため SVP 自身に高い信頼性が必要である点、(2) 画像処理プロセッサと異なりできる限り小規模であるべきという 2 点があげられる。これより、演算コアの一部を使用することでシステム全体の管理・復旧補助を行うシステムレベル SVP (以下、Sys-SVP) として実現し、高信頼化の優先度が高い機能および Sys-SVP の管理・復旧補助、テストの管理などをハードウェアレベル SVP (以下、HW-SVP) として実現する。表 2 にシステム管理に必要な役割分担を示す。画像処理プロセッサおよびメモリアクセスの監視、メモリの管理は Sys-SVP で行い、システム全体のエラー解析、ハードエラーからの復旧補助は Sys-SVP と HW-SVP 双方で行う。システムのテストは HW-SVP が担当し、故障箇所の切り離しは OS によるリソース管理にて実行する。図 2 に全体システムにおける Sys-SVP、HW-SVP の接続構成を示す。複数存在する画像処理プロセッサの内 1 コアを Sys-SVP に割当て、HW-SVP はリコンフィギュラブルデバイス上にて実現する。

また、HW-SVP は特に高い信頼性が求められるため、ソフトエラーおよびハードエラー両面より対策が必要である。ソフトエラーに関してはこれまでに研究を行ってきたモジュール多重化(三重冗長化, 二重冗長化)と内部コンテキスト同期を組合せることでエラーの隠蔽および復旧を行う。ハードエラーに関しては、リコンフィギュラブルデバイスのもつ動的再構成機能を利用したモジュール再配置手法を提案し、ハードエラー箇所を回避する形で回路配置を可能とした。

表 2: 管理項目の役割分担

	機能要求	担当
(1)	画像処理システムのウォッチドッグ	Sys-SVP
(2)	メモリの管理(メモリ内のデータ修正)	
(3)	メモリアクセスの監視(バス・スヌープ)	
(4)	画像処理システムのエラーログ解析	Sys-SVP or HW-SVP
(5)	ハードエラーからの復旧補助	
(6)	画像処理プロセッサのテスト	HW-SVP
(7)	画像処理システム全体のテスト	別途, テスト機構が必要
(8)	故障箇所の切り離し	OSによるリソース管理

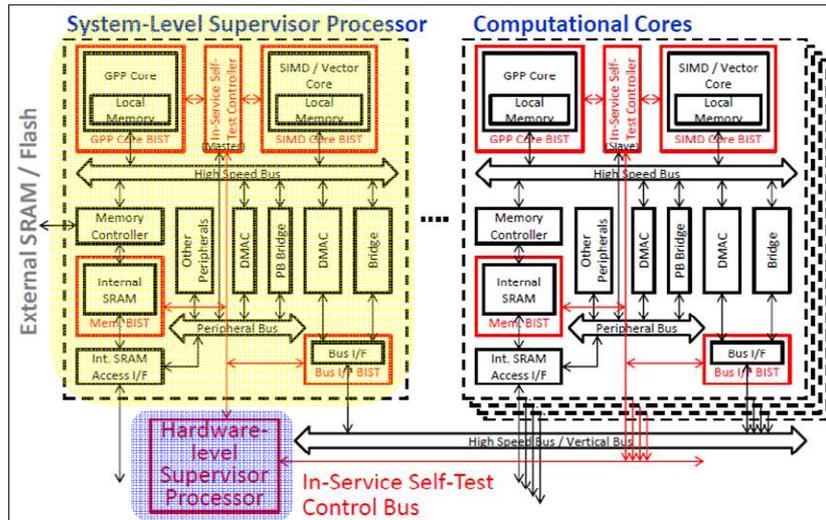


図 2: Sys-SVP および HW-SVP の接続構成

②有用性

Sys-SVP に関しては、3次元化により多数の画像処理プロセッサコアの搭載が期待できるため、冗長化も含めた対応が可能である。HW-SVP については故障箇所を回避する形で当該回路モジュールの再配置を行うことで高信頼化が可能となる。また、本再配置手法はハードエラー対策だけではなく、動的に回路機能を変更する場合にも使用できる。これらを図 3 を用いて説明する。本提案手法では固定領域と再構成領域との間にプロキシ回路を要することで、(a)のようにハードエラー故障時に任意の再構成領域に対し再配置可能な点に加え、(b)のように複数の再構成領域を使用することで様々な回路規模に対応した回路機能変更が可能となる。

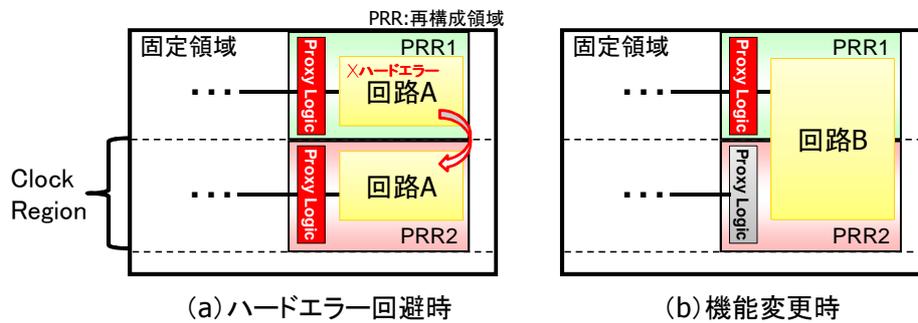


図 3: 提案再配置手法における回路モジュールの配置例

③優位比較

従来の再配置手法では領域毎に回路設計情報(構成データ)が必要であったが、本提案手法では任意の再構成領域に対し単一の構成データを用いた再配置が可能となる。SVP のシステム評価に関しては来年度行う予定である。

(2) 上記(1)のうち、特筆すべき成果

- (1) 特に顕著な成果(科学や技術の新しい分野の展望など)
- (2) 当初計画で想定外であった重要・新規な展開

§ 4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

1. Takafumi Fukushima, Takayuki Konno, Eiji Iwata, Risato Kobayashi, Toshiya Kojima, Mariappan Murugesan, Ji-Chel Bea, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Self-Assembly of Chip-Size Components with Cavity Structures: High-Precision Alignment and Direct Bonding without Thermal Compression for Hetero Integration,” *Micromachines*, Vol. 2, pp.49-68, 2011. [DOI: 10.3390/mi2010049] (A-1)
2. 小柳光正, 福島誉史, 李康旭, 田中徹, “三次元集積化技術とヘテロインテグレーション,” *電子情報通信学会論文誌 C (電子デバイスの高速・高密度実装とインテグレーション技術論文特集)*, Vol. J94-C, No.11, pp.355-364, 2011. [DOI: なし] (A-2)
3. 小柳光正, 田中徹, “微細 Si 貫通ビアによる三次元インタコネクタ技術,” *電子情報通信学会誌 (インタコネクタ技術小特集)*, Vol.94, No.12, pp.1027-1032, 2011. [DOI: なし] (A-3)
4. 小山賢太郎, 佐藤功人, 小松一彦, 村田善智, 滝沢寛之, 小林広明, “マイグレーションによる複合型計算システム向けジョブスケジューリング (Job scheduling with migration for heterogeneous computing systems),” *情報処理学会論文誌 コンピューティングシステム (ACS, IPSJ Transactions on Computing Systems)*, Vol. 4, No. 4 pp.203-213, 2011. [DOI: なし] (B-1)
5. 佐藤功人, 小松一彦, 滝沢寛之, 小林広明, “OpenCL におけるタスク並列化支援のための実行時依存関係解析手法 (A Runtime Dependency Analysis Method for Task Parallelization of OpenCL Programs),” *情報処理学会論文誌 コンピューティングシステム (ACS) (採択, 印刷中)* 2011. [DOI: なし] (B-2)
6. Hiroyuki Takizawa, Kentaro Koyama, Katsuto Sato, Kazuhiko Komatsu, and Hiroaki Kobayashi, “CheCL: Transparent Checkpointing and Process Migration of OpenCL Applications,” in *Proceedings of the 25th IEEE International Parallel and Distributed Processing Symposium (IPDPS2011)*, pp. 864-876, 2011. [DOI :10.1109/IPDPS.2011.85] (B-3)
7. Mamoru Miura, Kinya Fudano, Koichi Ito and Takafumi Aoki, “GPU implementation of phase-based image correspondence matching and its evaluation,” *Proceedings of IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV)*, No. 19, April 2011. [DOI: 10.1109/COOLCHIPS.2011.5890913] (C-1)
8. Toru Takahashi, Takafumi Aoki, Koichi Ito and Satoshi Kondo, “A correspondence search technique for geometric correction of projected images,” *映像情報メディア学会誌*, Vol. 65, No. 6, pp. 841--845, June 2011. [DOI: なし] (C-2)
9. 田島裕一郎, 宮澤一之, 青木孝文, 勝亦敦, 小林孝次, “三次元位相限定相関法に基づく高精度ボリュームレジストレーション,” *電子情報通信学会論文誌 D*, Vol. J94-D, No. 8, pp. 1398--1409, August 2011, [DOI: なし] (C-3)
10. Y.Ichinomiya, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, “Improving the Soft-error Tolerability of a Soft-core Processor on an FPGA using Triple Modular Redundancy and Partial Reconfiguration”, *Journal of Next Generation Information Technology*, Sep. 2011. [DOI:10.4156/jnit] (D-1)
11. Q.Zhao, Y.Ichinomiya, M.Amagasaki, M.Iida and T.Sueyoshi, “A Novel Soft Error Detection and Correction Circuit for Embedded Reconfigurable Systems”,

A Novel Soft Error Detection and Correction Circuit for Embedded Reconfigurable Systems, Vol.3, Issue3, pp.89-92 , Sep. 2011. [DOI: 10.1109/LES.2011.2167213] (D-2)

12. 高橋徹, 三浦衛, 伊藤康一, 青木孝文, “位相限定相関法に基づく高精度ステレオビジョンを用いた投影画像の幾何補正,” 電子情報通信学会論文誌 D, Vol. J94-D, No. 8, pp. 1387--1397, August 2011. [DOI: なし] (C-4)
13. Shuji Sakai, Koichi Ito, Takafumi Aoki and Hiroki Unten, “Accurate and Dense Wide-Baseline Stereo Matching Using SW-POC,” Proceedings of First Asian Conference on Pattern Recognition, pp. 335--339, November 2011. [DOI: 10.1109/ACPR.2011.6166637] (C-5)
14. Koichi Ito, Toru Takahashi and Takafumi Aoki, “A Geometric Correction Method Using Stereo Vision for Projected Images,” Proceedings of First Asian Conference on Pattern Recognition, pp. 515--519, November 2011. [DOI: 10.1109/ACPR.2011.6166635] (C-6)
15. Shoichiro Aoyama, Koichi Ito and Takafumi Aoki, “Finger-Knuckle-Print Recognition Using BLPOC-Based Local Block Matching,” Proceedings of First Asian Conference on Pattern Recognition, pp. 525--529, November 2011. [DOI: 10.1109/ACPR.2011.6166641] (C-7)
16. M.Iida, M.Amagasaki, Y.Okamoto, Q.Zhao and T.Sueyoshi, “COGRE: A Novel Compact Logic Cell Architecture for Area Minimization” IEICE Transactions, Vol.E95-D, No.2, pp. 294-302, Feb. 2012, [DOI: 10.1587/transinf.E95.D.294] (D-3)

(4-2)知財出願

- ① 平成23年度特許出願件数(国内 0 件)
- ② **CREST** 研究期間累積件数(国内 2 件)