

梶原誠司

九州工業大学 大学院情報工学研究院・教授

フィールド高信頼化のための回路・システム機構

§ 1. 研究の概要

1. チーム全体の研究の概要

①本研究の背景、社会や産業に存在する問題と本研究の課題

VLSI の微細化技術の進展に伴い、フィールド運用時のVLSIの劣化が顕在化しやすくなっている。本研究は、VLSI の故障によりフィールド運用中のシステムが突然ダウンすることを事前に防止し、システムの安心安全性を高めることをねらいとする。代表的な劣化メカニズムとして、NBTI (Negative Bias Temperature Instability)、ホットキャリア(HC)、酸化膜経時破壊(TDDB)、エレクトロマイグレーション(EM)、ストレスマイグレーション(SM)などが知られている。これらの劣化は回路遅延の増加を引き起こすが、劣化メカニズムにより遅延が増加する条件や遅延の増加率が大きく異なる。さらに、同じ劣化メカニズムであっても劣化により増加する遅延量が動作環境に依存するため、正確な予測は困難である(図1)。

劣化による障害を回避する手段として、現状では動作マージン設計が通常行われるが、動作マージンを回路の製造ばらつき、動作環境、使用年数などに基づき、最悪の場合を考慮して決定するため、アプリケーションによっては5%–15%といった過大な動作マージンを必要としVLSIの性能を犠牲にする可能性がある(図2)。障害を回避するもう一つの手段として、通常動作時に回路の出力や内部信号線の値を監視するオンラインテストもよく用いられている。監視の方法としてはパリティチェックや信号の安定性検知機能付きの専用FFを用いてソフトウェア等の障害に対応する方法が知られている。しかし、専用FFは通常のFFに比べ3倍強の面積になるなどオーバーヘッドが大きいため、実用上は回路内の一部のFFにしか適用できず、回路全体の信頼性を保証できない。また、いずれも通常動作時に異常値を出力した場合のみ故障を検出するため、回路全体を網羅的にテストする、さらには、劣化の進行を検知し障害を予測するといった高度な信頼性は保証していない。

本研究で提案するフィールドテストは、出荷後のVLSIの一部または全体を一時的にテストモードにし、短時間で高品質なテストを行うことで、高度な信頼性を確保することを目標とする。フィールドテストには、表1に示すように、VLSIの適用対象により異なる制約(使用環境、テストデータ量、テスト時間等)が存在する。これらの制約に対応する各種の要素技術と、それらを統合して実用的にフィールドテスト可能にする自己テスト技術の開発を本研究の主課題とする。さらに、開発した技術のフィージビリティ検証により、本提案技術が高いディペンダビリティが要求されるシステムに適用可能であることを実証し、汎用化・標準化されたIP/ツール整備を含めて、その成果が広く社会に用いることが出来るようにすることも新たな課題として位置づける。

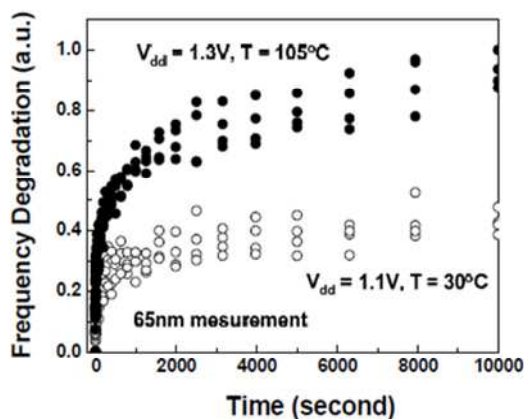


図1. NBTI による遅延増加[Y. Cao, DRVW, 2008].。劣化による遅延量は、環境パラメータ(電圧、温度)や使用状況(PMOS のオン比率)に依存する。

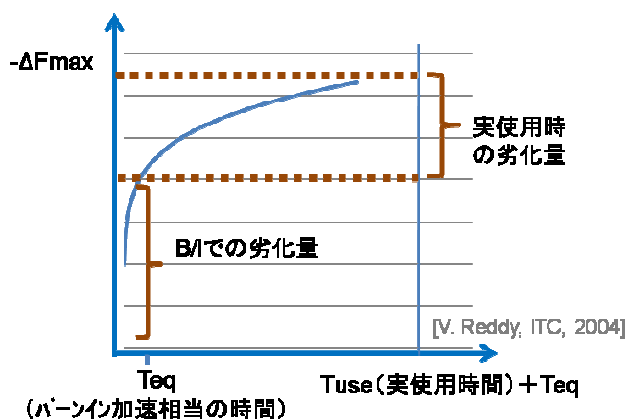


図2. 信頼性考慮設計。TEG評価に基づき劣化量を見積もる。バーンイン(B/I)加速後、見積もり値と外れる初期不良をスクリーニング。実使用時の劣化予測値を動作マージンに追加。

表1 VLSIの適用対象とフィールドテスト制約

適用対象	車載・医療等	プラント制御・交通システム等	ネットワーク・サーバ等	通常のLSI生産テスト
使用期間	長期(～20年)	超長期(～50年)	通常(～10年)	—
フィールドテスト	パワーオン時	運転中の定期的なテストモード実行	動作中(無休止)	—
テストリソース(メモリ等)	LSIピン・メモリ等ひっ迫	制約あり(冗長設計等の採用)	制約あり(劣化データ蓄積に興味)	制約小(ATEの利用)
テスト時間	～10ms	～100ms(テスト頻度に関連)	数10～数100ms	物理制約小(コスト制約有り)

②本研究チームの達成目標。

フィールドテストの実現方法として、本研究はシステムの空き時間(パワーオン・パワーオフ・アイドル時など、あるいはシステムの専用メンテナンス時)を利用した VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする回路・システム機構を開発する。研究のアプローチとして、DART と命名した以下の 4 つの的を狙った要素技術を開発し、並行してシステム化およびフィージビリティ検証を進める。

- D(取扱い可能な劣化要因の比率)の向上
- A(測定精度により検出可能な比率)の向上
- R(修復可能な比率×修復によるMTTF増加比率)の向上
- T(パワーオン・パワーオフテストによる検出率)の向上

具体的には、表 2 に示すように、開発すべき DART 技術を 4 つの研究項目(研究項目4は発展テーマとして追加)に大別し、それぞれの研究項目をさらにブレークダウンすることにより、詳細な研究目標を設定する。

研究項目1の高精度遅延測定は、フィールドで高精度に回路の遅延を測定する技術の開発を目的とする。DART 技術では、自己テスト・診断により回路内のパスの遅延測定を行い、劣化による故障の事前予測や故障検出を実現する。システムクロックに対し1-2桁小さい精度での遅延測定を実現し、劣化量を遅延の増加として測定し、劣化による障害を事前予測するシステムを実現する。

研究項目2のテスト制約対応では、適用対象ごとに異なるテスト時間、テストデータ量等の制約を満たす技術の開発を目的とする。表 2 で示す目標値は、製造テストでのテスト制約に比べ非常に厳しい制約であるが、これらを達成することにより、DART 技術導入によるシステムへの負荷を低減し、提案技術の実用化を可能にする。

研究項目3のシステム化対応は、システム稼働中でもテスト可能にする技術の開発を目的とし、DART 技術

をシステム適用可能にする。

研究項目4の実用化対応では、開発技術のIP/ツール化により多くのポテンシャルユーザが評価/導入可能にするとともに、企業連携による実システム適用を含むフィージビリティ検証で、提案するIP/ツールが実用的であることを実証する。さらに、組み込んだシステムからフィールドテストで実システム内部の遅延値などのデータの取得・解析が可能であることを実証し、本技術が VLSI のディペンダビリティ向上に有用な手法であることを示す。

表 2 研究項目と達成目標

研究項目	目標	効果と説明
1:高精度遅延測定	50ps 以内の遅延測定誤差	温度や電圧の変動をデジタル測定可能
	テスト時の温度変動 5℃以下	温度変動による誤差の低減
2:テスト制約対応	検出率95%以上	テスト品質の確保
	テストデータ量 3000 分の1以下	オンチップのメモリに搭載可能
	1 回のテスト時間 10~200ms	システム動作への影響を低減
3:システム化	論理 BIST による実現	既存回路の利用による付加回路量の低減
	非同期回路への対応	NoC への適用可能
	テスト履歴の活用	劣化判定と診断効率の向上
4:実用化対応 (発展テーマ提案)	開発技術の IP/ツール化	一般ユーザの評価/導入可能
	フィージビリティ検証による有効性・効果の実証	実システムへの組み込み/試作/シミュレーションによる実用性の実証(性能、精度、フィールドデータ取得、運用時の性能・動作環境モニタリング等)
	機能安全国際規格化	提案技術の標準化

③本研究のアプローチ

本研究は、フィールドで VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする手法を開発する。研究のアプローチとして、表2に示した4つの研究項目をさらにブレイクダウンして、図3で示すアプローチで研究を進める。

高精度な遅延測定を行うために、統計処理による量子化誤差の低減を行う。本研究では、フィールドでの VLSI の自己テストにより回路遅延を測定するが、回路の遅延は、劣化だけでなく、回路の電圧、温度の変動による環境にも依存する。そこで、測定誤差を低減するために、モニタ回路を利用した遅延測定値補正、テスト時温度安定化を行う。

適用対象ごとに異なるテスト時間、テストデータ量等の制約を満たすために、分割・巡回テスト技術、高品質遅延テスト集合技術、劣化検知テスト技術を開発する。分割・巡回テストでは、VLSI 全体のテストを複数回のテスト機会に分割して行うことで、1 回のテストのテスト時間・テストデータ量を削減する。高品質遅延テスト集合技術では、テスト時間、テストデータ量の制約に応じて遅延テストの品質を最適化する。劣化検知テスト技術では、劣化メカニズムを考慮したテスト対象の絞り込みを行い、特定の劣化メカニズムに特化したテストの最適化を行い、テスト時間、データ量を削減する。さらに、生産テストで利用される BIST 技術を改良し、ハードウェアによるテストデータ量の削減を行う。

システム化では、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを、提案するモニタ回路やテスト結果のログ機能と連動させてフィールドテストのためのテストアーキテクチャを実現する。生産テストの枠組みを再利用することで、ハードウェアオーバーヘッドを抑え、テスト品質を保証することを可能にする。

実用化では、開発技術を汎用化・標準化の観点で見直しIP/ツールとして実現するとともに、フィージビリティ検証では、企業と連携して実システムに本技術を組み込むことで、実用的なリソース(ハードウェアオーバーヘッド、テスト時間、テストデータ量)で、目標とする遅延測定精度を達成でき、本技術が実用化可能であることを実証する。そのほか、実システムに組み込めなかった項目については、チップ試作やシミュレーションで検証を行う。また、開発技術の有効性・効果を想定ユーザが容易に認識可能な形で示すために、機能安全国際標準規格の要件として本開発技術の採用を目指す。

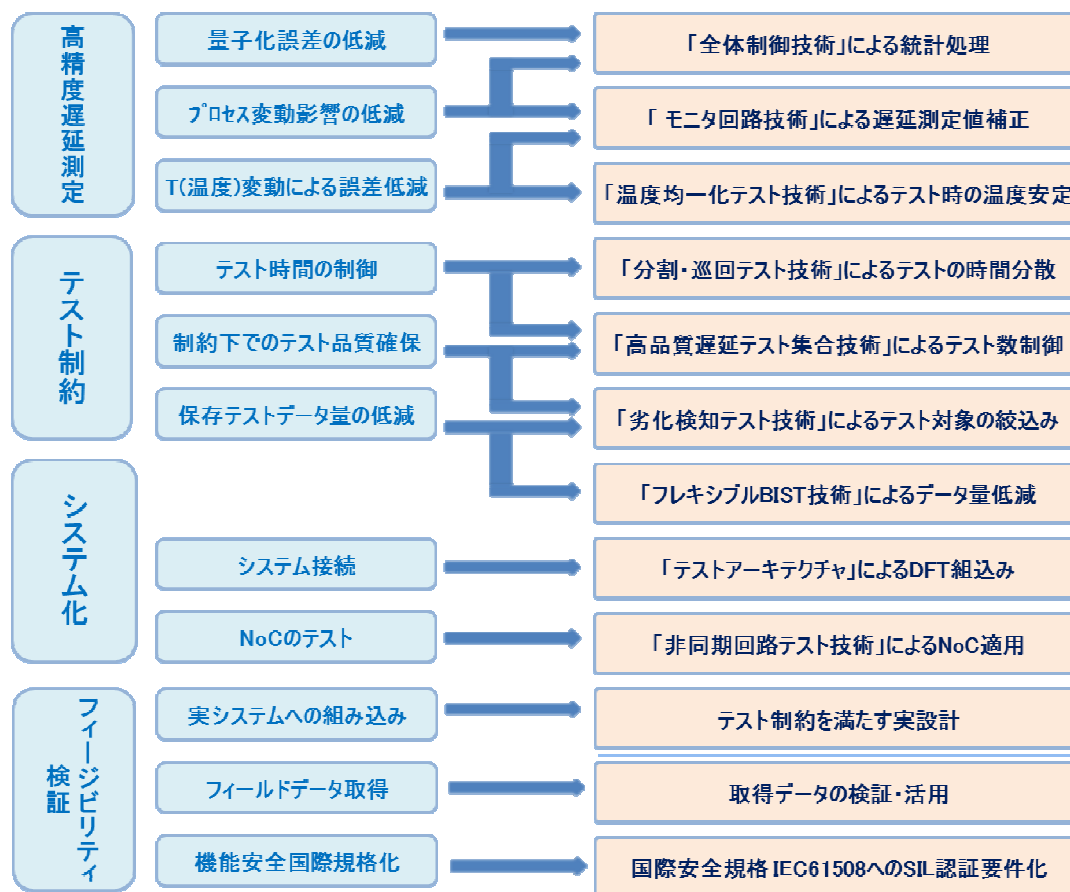


図 3. 研究のアプローチ

表3 本研究の利用目的と処理内容

利用方法	利用目的(適用効果)	内容
フィールドテスト (オンライン使用)	劣化による故障の事前検知	遅延マージン変化履歴解析
	誤動作時の診断情報提供	テスト箇所と遅延マージン取得
システムデバッグ (オフライン使用)	設計マージン・劣化度合いの把握	時間経過, 環境影響, 通常劣化, 加速劣化等のデータ取得
	システム診断情報提供	不良解析時に遅延情報取得
生産テスト (オフライン使用)	チップ品質向上	リソース制約下での遅延テスト品質最大化 非同期回路のテスト容易性向上

本研究で提案している方法・アイデアの適用効果、適用対象の広さ、優位性、独創性を以下に示す。

本研究では、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを利用して、フィールドテストを実現する。この手法は、フィールドでのシステム運用時のオンライン使用と、システム開発時やシステム休止時のシステムデバッグでのオフライン使用と、双方で利用可能である。オンラインでの使用は、定期的な遅延測定により劣化による遅延の増加を捕らえるため、フィールドでのシステムの信頼性向上に貢献する。一方で、オフラインでの使用は、出荷前のチップの遅延マージンおよび初期の劣化量を測定し信頼性の低いチップを事前に検出可能なほか、チップ内部の情報獲得手段を提供できるため、フィールドでのシステムのデバッグ効率向上に貢献する。さらに、本研究では、テスト時間、テストデータ量の厳しい制約の下で、テスト品質を最大化する技術、非同期回路テストおよびテスト容易化設計技術を提供する。これらの技術は、生産テストにも適用可能であり、同期回路、非同期回路、両者を混載する GALS (大域非同期局所同期) システムを含む VLSI チップの品質向上に貢献する。表 3 にオンラインとオフラインの利用における利用目的と処理内容を示す。

適用対象については、技術的な適用可能性よりコスト許容性により導入の可否が決定される場合が多い。本研究のアプローチは、表 1 に示した対象のうち、長期間の使用で冗長設計による高信頼化が許容されるプラント

制御・交通システム等に最も適合する。ネットワーク機器や性能選別が必要なサーバにも本研究のアプローチは適合する。一方で、車載LSIや民生用LSIは、技術的には適用可能であるが、外部ピンやチップ面積等のコスト制約が厳しいため、直ちに現製品への適用は困難であるが、次世代以降の必要技術として提案していく。

本研究は、類似の研究と比較して、以下の優位性を有する。

- ・ 適用対象が SoC、NoC、マルチコアと、広範な VLSI のアーキテクチャに対応できる。
- ・ LSI の他、FPGA を用いたシステムへの適用も可能である。
- ・ 生産テストで使用される DFT の枠組みを利用するため、システムへ与える影響が少なく、開発する技術は生産テストやシステムデバッグの効率化にも貢献する。

また、以下の独創性を有する。

- ・ 論理回路の動作マージンを高精度に測定可能
 - 遅延測定時の温度・電圧モニタと測定遅延値の補正機能
 - 温度・電圧モニタとして、標準ライブラリで構成可能な非劣化リングオシレータ回路を発明
 - テスト時の消費電力のみならず、温度も制御可能なテストパターン生成技術
- ・ 適用対象のテスト制約(テスト時間、メモリ量)に、フレキシブルに対応可能なテスト方式
 - フィールドでの複数回のテスト機会を活用
 - 効率的にテスト対象を抽出するテスト技術
- ・ 測定結果ログの記憶とシステム診断への適用

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本研究チーム運営において、以下の3つを基本方針としている。

方針1:世界トップレベルの研究成果

フィールドテスト技術によるシステムの高信頼化を達成するために、各個別技術に対して設定した数値目標をクリアすることを目指す。特に、精度の高い遅延測定とリソース制約下でのテスト生成には、これまでの研究を凌駕する成果を必要とする。技術の高さを立証するために、世界トップレベルの学術論文誌や国際会議での論文採択を目指す。また実システムでの評価や試作等による評価で有効性・効果を実証する。

方針2:企業連携による提案システムの実用化

企業調査により技術ニーズの明確化と要求項目の定量化を行い、さらに、企業と連携して、提案システムの実用化を目指す。本システムは、ディペンダビリティを必要とするシステムに組み込んで、システムのフィールド高信頼化を達成するため、実用化には本システムを組み込むシステムとの連携した開発を必要とする。この実用化のための開発で企業と積極的に連携し、実用化による本システムの有用性の立証を目指す。また企業連携の結果をフィードバックして、開発技術の汎用化・標準化を目指す。

方針3:機能安全標準化に向けた取り組み

LSI 劣化検知のためのフィールドテストは、微細化の進む LSI のフィールド高信頼化を達成する有効な手段になると考えている。劣化検知テストが機能安全標準化の要件となるよう働きかける。

上記方針に基づき、研究グループ間で連携して、研究開発を以下のように進めている。

- ・ 個別技術の研究は、それぞれ、グループ単独、または、複数グループで連携して研究を行っている。さらに、グループ内打ち合わせを設け、各研究成果のレビューを行うことで、研究成果の技術水準の向上を目指している。
- ・ 企業連携に関しては、全グループが共同で企業調査、企業連携による実用化を進めている。
- ・ システム全体のフィージビリティ評価については、全体で、項目・内容・評価方法を議論し促進する。
- ・ 機能安全標準化に向けては、まず、本提案システムの有用性の立証を行い、機能安全国際規格 IEC61508 への要件化への働きかけを行う。

2) 領域外部の企業等との連携

これまで、半導体及びシステム関連企業8社を訪問し、フィールド高信頼化技術に対する産業界のニーズ調査を行った。そのうち、システムメーカー1社とは、実製品への適用を検討し、共同での開発を行っている。さらに、1社が遅延測定技術に、2社が高品質遅延テストに、1社がテスト時電力・温度制御技術に興味を示している。企業連携においては、3社と NDA を締結して協議を行っており、そのうち1社とは、共同研究契約に至ってい

る。

海外の大学とは、現在、New Castle University (UK)、Nanyang Technological University (Singapore)と非同期インターコネクットの設計とテスト技術に関する共同研究により、現実的な設計技術に対応するテスト技術の開発を目指している。

3) 領域内他研究チームとの連携関係

非同期インターコネクットのテストに関して、実際に NoC の設計を行っている CREST/DVLSI 米田チームと連携している。ここでは、米田チームで試作中の NoC に搭載された、非同期チャンネルおよび非同期ルータに対するテスト容易化設計を行っている。試作チップへの適用も検討しており、実用化のための技術課題の抽出およびその解決を目指している。

2. 研究グループの研究の概要

(1)「九工大」グループ(研究代表者グループ)

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、チームが有する上記表 2 の3つの研究項目と達成目標に対し、下記の個別技術の研究開発を行っている。以下、チームの「高精度遅延測定」の研究項目に(a) (b)、「テスト制約対応」の研究項目に(c)、「システム化」の研究項目に(d)が対応する。

- (a) 補正を伴う劣化判定:「首都大」グループと連携して取り組んでおり、下記の「首都大」グループの研究課題(a)にその内容を示す。
- (b) SoC/NoC 温度制御:「奈良先端大」グループと連携して取り組んでおり、下記の「奈良先端大」グループの研究課題(a)でその内容を示す。
- (c) 品質・コスト制御インテグレーションとテスト時間制御:フィールドテストにおける様々なテスト制約(テスト時間、データ量、電力・ノイズ)を満たしながら目標のテスト品質を得ることを可能にするテスト生成回路やテスト印加手法の開発が課題となる。
- (d) 試作チップ設計・製造・評価: 上記(a)で得られた成果が実際の LSI 上で機能するかを、実チップにより評価することにより、提案手法の有効性を確認し、より良い手法に改善していくことが課題である。

②本研究グループの達成目標。

- (a) 補正を伴う劣化判定:「首都大」グループと連携して取り組んでおり、下記の「首都大」グループの研究課題(a)でその内容を示す。
- (b) SoC/NoC 温度制御:「奈良先端大」グループと連携して取り組んでおり、下記の「奈良先端大」グループの研究課題(a)でその内容を示す。
- (c) 品質・コスト制御インテグレーションとテスト時間制御:テストデータをオンチップのメモリに保存するため、テストデータ量を元のテストデータの 3000 分の1以下に圧縮する技術の開発、および、1 回当たりのテスト時間 10~200ms の制約に対応する技術の開発を目標とする。テスト品質を確保した上で、テスト時間やテストデータ量の制約を満たすことができる。さらに、テスト時の回路のトグル率を適性レベル(例えば 50%から 20%)まで削減する技術の開発も目標とする。これにより、テスト時の電流が低減し、ノイズによる遅延の変動が抑制され誤動作を防止できる。
- (d) 試作チップ設計・製造・評価: 高精度遅延測定の仕組みを、単にシミュレーションによる確認にとどまらず、実際にチップ試作することで動作検証する。

③研究のアプローチ

- (a) 補正を伴う劣化判定:「首都大」グループと連携して取り組んでおり、下記の「首都大」グループの研究課題(a)でその内容を示す。
- (b) SoC/NoC 温度制御:「奈良先端大」グループと連携して取り組んでおり、下記の「奈良先端大」グループの研究課題(a)でその内容を示す。
- (c) 品質・コスト制御インテグレーションとテスト時間制御:スキャンベースの BIST における故障検出率向上とテストデータ量削減は、生産テストにも適用でき、テストコスト削減に役立つ。テスト品質を考慮した分割テストによるテスト時間削減は、テスト機会が複数回あるフィールドテスト固有の技術であるが、本研究で始めて提案された新規の概念である。電力・ノイズを考慮したテスト手法として、トグル率を制御できる新

しい BIST 手法を開発する。

- (d) 試作チップ設計・製造・評価: 技術的な独創性と優位性は、(a)に示される内容である。上記(a)で得られた成果に基づいて、NBTI による劣化進行を抑えることのできる 3 種類の RO を用いて温度・電圧推定可能な回路を 180nm で設計し、VDEC でチップ試作を行う。実チップでの動作検証により、劣化の進行を観測できるようになり、設計や診断に関する新しい知見を得る。

④研究実施方法(研究チーム内外の連携関係など)

上記③の研究項目のうち、(a)は首都大グループと、(b)、(c)は奈良先端大グループと共同で研究している。「フィージビリティ検証」に関わる項目では、研究チームとして全グループが共同で企業調査、企業連携を行っている。

(2)「奈良先端大」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、チームが有する研究項目と達成目標に対し、各種個別技術の研究開発を行っている。以下、チームの「高精度遅延測定」に(a)、「テスト制約対応」に(b)、「システム化」に(c)、(d)、(e)が対応する。「フィージビリティ検証」では、全グループが共同で企業調査、企業連携を行っている。

- (a) SoC/NoC 温度制御:本研究では、フィールドでの自己テストを利用した回路遅延測定を行うことで、劣化検知、故障検出を実現する。回路遅延は、劣化のみならず、回路温度にも依存するため、回路温度による遅延変動の影響を軽減することが課題である。
- (b) 品質・コスト制御インテグレーション: フィールドテストでは、適用対象に応じて、テスト実行、テストデータ量の制約がある。厳しいテスト制約の下でもフィールドテストを実現することが課題である。
- (c) テストアーキテクチャ:本研究では、スキラン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを利用してフィールドテストを実現する。これら生産テストのための DFT と本研究で開発する技術を連携・制御するシステム機構の実現が課題である。
- (d) テストスケジューリング・アダプティブテスト:本研究では、パワーオン、パワーオフ時などのシステムの空き時間を利用して自己テストを行うことで劣化検知、故障検出を実現する。定期的に訪れる短いテスト時間を利用して、回路全体を網羅的に効率よくテストすることが課題となる。
- (e) インターコネクテスト:システムの大規模化に伴い、同期モジュール間を非同期インターコネクで相互接続する設計が主流となりつつある。システムのディペンダビリティのためには、同期モジュール内部だけでなく、非同期インターコネクのテスト技術の確立が課題である。

②本研究グループの達成目標。

- (a) SoC/NoC 温度制御:テスト時のチップ内位置による空間的温度差、および、同一位置の時間による時間的温度差を均一化することを目標とする。これにより、テスト時の回路温度による遅延変動を解消し、遅延測定の精度を向上させることができる。
- (b) 品質・コスト制御インテグレーション:適用対象によって異なるテストデータ量、テスト実行時間の制約下でテスト品質を最大化することを目標とする。テスト品質として、微小遅延検出能力を表す統計的遅延品質指標 SDQL を採用し、与えられたテストパターン集合からテストデータ量、テスト実行時間の制約下で SDQL を最小化するテストパターン集合の生成を目標とする。適用対象に応じたテスト制約の下で、高い品質のフィールドテストを実現できる。
- (c) テストアーキテクチャ:生産テストで利用される DFT と本研究で開発する技術を連携・制御するテスト制御回路とテストアクセス機構の提案を目標とする。これにより、生産テストのための DFT と本研究で開発する技術を統合して利用可能となる。
- (d) テストスケジューリング・アダプティブテスト:定期的に訪れる短いテスト時間を利用して、回路全体を網羅的にテストするには、回路全体を複数のテスト対象に分割し、1回のテストではテスト対象を限定する分割テストが有効である。分割された個々のテスト対象は、劣化の進行が均一であるとは限らないため、特定箇所の劣化を見逃さずテストを行うテストスケジューリング法の提案を目標とする。これにより、フィールドテストを利用して劣化検知、故障検出の品質を向上させることができる。
- (e) インターコネクテスト:非同期インターコネクに対するテスト技術の確立を目標とする。非同期インターコネクに対する高品質なテストを提供することで、同期モジュールと非同期インターコネクから構成される大規模システムのフィールド高信頼化を達成できる。

③研究のアプローチ

- (a) SoC/NoC 温度制御: テスト時の SoC/NoC の温度を空間的・時間的に均一化するために、各テストパターンの消費電力の空間的均一化による回路温度の空間的均一化、テストパターンの並び替えによる回路温度の時間的均一化を実現する手法を提案し、テスト時のチップ内位置による温度差を 10℃以内、同一位置の時間による温度差を 5℃以内に制御することを達成した。提案手法では、FF のトグル率を制御することで回路温度を制御するため、FF 数が十分大きい実用的な規模の回路に有効である。また、テスト精度向上のためのテスト時回路温度均一化という概念および解法を世界で初めて提案した点に優位性、独創性がある。
- (b) 品質・コスト制御インテグレーション: 与えられたテストパターン集合に対し、テストパターンを SDQL の改善率が最大となるよう並び替える手法を提案した。並び替えたテストパターンを先頭からテスト制約を満たす範囲で選択することで、テスト制約の下での SDQL の最小化を実現する。提案手法は、テスト制約の厳しいフィールドテストでのテスト品質を向上させるだけでなく、生産テストにおいてもコスト制約の下での遅延テスト品質の最大化に利用できる。提案手法は、統計的遅延品質指標 SDQL を採用した点に独創性があり、SDQL 値と相関が高い高速な評価手法に優位性がある。
また、SDQL を向上するために、複数のテストクロックを用いたテスト手法も提案した。提案手法では、各テストパターンにテストクロック、観測する FF を対応付け、単一テストクロックによるテストと比較して、SDQL 値を大幅に改善することができる。これにより、フィールドテストでの遅延測定の精度を向上させることができる。提案手法は、可変テストクロック生成と観測 FF の選択機能を提供することで、SoC、NoC、マルチコアと、広範な VLSI のアーキテクチャに適用できる。本提案手法は、複数のテストクロックを利用する既存手法に比べ、テストデータ量が小さいことに優位性がある。
- (c) 生産テストで利用される DFT と本研究で開発する技術を連携・制御するテスト制御回路とテストアクセス機構を提案した。生産テストで利用される DFT を回路内部から制御することでフィールドテストが可能になる。また、テスト時に、温度・電圧モニタ回路や可変テストクロック生成回路を同時に制御することで、精度の高い遅延測定を可能にする。提案手法は、フィールドテスト用の専用のテスト制御回路を組み込むため、SoC、NoC、マルチコアと、広範な VLSI のアーキテクチャに適用できる。
- (d) 過去のテスト結果を参考に、テスト対象をアダプティブに決定するテストスケジューリング法を提案した。(C)で提案したテストアーキテクチャを適用するシステムに適用可能な手法である。
- (e) 非同期回路に対するテスト容易化設計、およびテストパターン生成法を提案した。非同期回路中の組み合わせ回路部と順序素子の両方をテスト可能した点で既存手法に対して優位性を持つ。

④研究実施方法(研究チーム内外の連携関係など)

上記③の研究項目のうち、(a)、(c)は九工大グループと共同で研究している。また、(e)は大分大グループと共同で研究している。「フィージビリティ検証」に関わる研究項目では、チームとして全グループが共同で企業調査、企業連携を行っている。

(3)「首都大」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、チームが有する上述の研究項目と達成目標に対し、主に「高精度遅延測定」の研究項目に焦点を当て、以下の個別技術の研究を行っている。

- (a) 補正を伴う劣化判定: 本研究チームの主要課題では、フィールドでの LSI の劣化度合いを回路遅延時間の増加として検知することを目的としている。計測された遅延時間には、劣化成分と動作環境成分があるため、高精度で劣化による遅延時間成分を取り出すには、LSI の動作環境(温度、電圧)を既知にする必要がある。そのためにテスト対象 LSI について、簡易な方法で精度の高い温度と電圧の推定を行う仕組みの実現が課題となる。
- (b) 測定回路設計: 上記(a)を実現する回路構成を具体化するために、リング発振器(RO)を用いた温度・電圧センサの開発が課題である。広範な LSI に適用可能とすることと、RO 自体が耐劣化性を有する構成であることも課題となる。
- (c) 試作チップ設計・製造・評価: 上記(a)で得られた成果が実際の LSI 上で機能するかを、実チップにより評価することにより、提案手法の有効性を確認し、より良い手法に改善していくことが課題である。

②本研究グループの達成目標。

(a)と(b)の研究課題を合わせて、高精度な動作環境モニタ回路とデータ処理方法の開発を目標とする。通常のセルライブラリで構成可能な3種類の異なるROの利用と温度・電圧推定を簡易に処理できる方式を用いることで、実装が容易でかつ高精度な劣化検知のための遅延測定回路・方式を実現できる。

またこれらのROの発振停止中にMOSトランジスタの劣化(NBTI, PBTI, HCなど)を防止できる回路構成を通常のセルライブラリで実現できた。

(c) 試作チップ設計・製造・評価: 高精度遅延測定の仕組みを、単にシミュレーションによる確認にとどまらず、実際にチップ試作することで動作検証

③研究のアプローチ

(a) 補正を伴う劣化判定: 本研究では通常のセルライブラリを使用してROを構成するため、本研究課題以外にも温度・電圧センサとして広く適用可能である。またROを用いた温度・電圧センサは、サーマルダイオード等を利用した専用センサよりも応答速度が速く、短時間(数ms)での温度・電圧計測に適しているため、その適応範囲は広いと考えられる。また遅延測定時のLSIの温度・電圧を初回測定基準値との差分(相対値)としてデジタル処理することで、近似式による温度・電圧推定誤差の低減や測定回路の製造ばらつきの影響の低減をはかることができる。

(b) 測定回路設計: 劣化進行を抑えた回路構成にすることで、電源をオフにせずにRO自体の劣化を抑えることができる。また本RO構成を利用することで、一般のCMOS回路の劣化量の推定や劣化の補正にも適用可能であると考えられる。(国内特許出願済み)

(c) 試作チップ設計・製造・評価: 技術的な独創性と優位性は、(a)に示される内容である。上記(a)で得られた成果に基づいて、NBTIによる劣化進行を抑えることのできる3種類のROを用いて温度・電圧推定可能な回路を180nmで設計し、VDECでチップ試作を行う。実チップでの動作検証により、劣化の進行を観測できるようになり、設計や診断に関する新しい知見を得る。

④研究実施方法(研究チーム内外の連携関係など)

首都大では、ROの構成検討や温度・電圧推定精度検討はシミュレーションベースと試作チップ評価の両面で検討を進めている。九工大では、同じRO回路を用いたチップ試作を行い、実際の精度を確認している。温度精度に関しては目標達成を確認しており、現在、電圧精度を確認中である。またLSI回路自体の温度変動を少なくするため、奈良先端大グループの温度制御テスト生成技術の研究成果を取り入れて、より精度の高い推定を目指している。本研究成果は共同研究中の企業のLSIに、他の技術と一緒に搭載し評価を進めようとしている他、RO単体での評価に興味を示す企業もあり、現在、詳細を詰めている。

(4)「大分大」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、チームが有する上述の研究項目と達成目標に対し、主に「高精度遅延測定」および「システム化」の研究項目に焦点を当て、以下の個別技術の研究を行っている。

(a) SoC/NoC 温度制御: 本研究におけるフィールドでの劣化検知は、BISTを用いた回路遅延測定により行う。回路遅延は回路温度に影響されるため、BISTにおける温度変動の低減による測定精度の向上が課題である。

(b) インターコネクテスト: システムの大規模化に伴い、同期モジュール間を非同期インターコネクで相互接続するGALS設計が主流となりつつある。GALSシステム全体のディペンダビリティのため、同期モジュール内部だけでなく、非同期インターコネクのテスト技術の確立が課題である。

(c) SoC/NoC 診断: 本研究では、修復のための劣化や故障箇所などの診断情報を提供する。SoC/NoCシステム全体の診断のため、同期モジュール内部だけでなく、非同期インターコネクの診断技術の確立が課題である。

②本研究グループの達成目標。

- (a) SoC/NoC 温度制御: BIST 実行時のチップ内位置による空間的温度変化、および、同一位置の時間による時間的温度変化を低減することを目標とする。テスト時の空間的・時間的温度変動を低減することで、チップ内の限られた測定回路を用いてチップ全体の温度状況を把握可能になり、測定精度を向上できる。
- (b) インターコネクテスト: 非同期インターコネクテストに対するテスト技術の確立を目標とする。非同期インターコネクテストに対する高品質なテストを提供することで、大規模 GALS システムのフィールド高信頼化を達成できる。
- (c) SoC/NoC 診断: 非同期インターコネクテストに対する診断技術の確立を目標とする。非同期インターコネクテストに対する診断情報を提供することで、非同期インターコネクテストの修復が可能になる。

③研究のアプローチ

- (a) SoC/NoC 温度制御: これまでに、疑似ランダムパターンを用いた BIST 実行時には同一位置の時間的な温度変化はほとんど生じないことが確認された。空間的な温度差削減を実現するため、チップをブロック分割し、ブロック間の温度差を低減する方法を開発する。ブロックの温度は、その消費電力に依存するため、ブロック内の FF の出力ゲーティング技術を用いてスキャンシフト中の論理回路部のスイッチング電力の有無を制御することにより消費電力を制御するアプローチをとる。本アプローチでは、テストパターンの変更やスキャンクロックを止める必要がなく、テスト時間やテスト品質に影響を与えないという特徴を持ち、BIST だけでなく外部テストにも用いることができる。これまでに BIST における温度制御に関する技術はまだ提案されておらず、優位性、独創性がある。
- (b) インターコネクテスト: 組合せ回路部分および順序回路部分の両方の論理故障に対して完全な故障検出率を得るためのテスト容易化設計法およびテスト生成法を提案した。本手法は、完全な故障検出率を達成する手法の中で最小の面積・遅延オーバーヘッドであり、既存手法に対して優位性を持つ。また、順序回路部分のテストを可能にした点が既存手法に対して優位性、独創性を持つ。平成 22 年度に国内特許出願し、本年度にはより一般的な非同期式回路へ対象を拡張して国際特許出願を行った。本手法は論理故障に対して完全な故障検出率を達成したが、遅延オーバーヘッドはまだ改善の余地があり、また、遅延故障を扱う必要がある。今後、故障検出率が高く遅延オーバーヘッドの小さな手法および遅延テスト手法を開発する。
- (c) SoC/NoC 診断: (b)で開発したテスト容易化設計技術を応用し、非同期回路の故障診断手法を開発する。構造テストに基づくアプローチをとることにより、非同期インターコネクテスト内の故障したルータやチャネルの特定の他、一般の非同期回路の故障解析の効率化にも寄与する。

④研究実施方法(研究チーム内外の連携関係など)

③の研究項目(a),(b)は奈良先端大グループと共同で研究してきた。特に(b)については、非同期式回路の設計技術はまだ研究段階であるものが多く、今後の設計・テストトレンドを創成していくためには、内外の研究機関との連携が不可欠である。そのため、国立情報学研究所米田教授チームと連携して、これまでの研究成果実用化のためのノウハウの蓄積を兼ね、米田チームの試作する非同期ルータのテスト設計を共同開発してきた。オーバーヘッドの小さなテスト容易化設計法の研究開発においては、超低消費電力／高信頼チップの研究を行っている Nanyang Technological University (Singapore)の Gwee Bah Hwee 教授らの研究グループから回路および情報提供を受け、Gwee 教授らの試作チップのテスト設計の共同開発を開始した。また、Newcastle University (UK)の Alex Yakovlev 教授らの研究グループからは、これまでに提案した技術の適用先に関するアドバイスをいただくとともに、Yakovlev 教授らの開発する非同期式 FPGA のテストへの応用を検討している。今後、他研究機関の試作チップなどへの適用によってノウハウを蓄積し、テスト機構の IP 化や、テスト容易化設計法のツール化を検討する。

§ 2. 研究実施体制

(1)「九工大」グループ

① 研究分担グループ長:梶原 誠司 (九州工業大学情報工学研究院、教授) (研究代表者)

② 研究項目

- ・ 劣化検知箇所選定・テスト生成
- ・ 補正を伴う劣化判定
- ・ SoC/NoC 温度制御
- ・ 品質・コスト制御インテグレーション
- ・ テスト時間制御
- ・ 試作チップ設計・製造・評価

(2)「奈良先端大」グループ

① 研究分担グループ長:藤原 秀雄 (奈良先端科学技術大学院大学情報科学研究科、教授) (主たる共同研究者)

② 研究項目

- ・ SoC/NoC 温度制御
- ・ 品質・コスト制御インテグレーション
- ・ テストアーキテクチャ
- ・ テストスケジューリング・アダプティブテスト
- ・ インターコネクトテスト

(3)「首都大学」グループ

① 研究分担グループ長:三浦 幸也 (首都大学東京システムデザイン学部、准教授) (主たる共同研究者)

② 研究項目

- ・ 補正を伴う劣化判定
- ・ 測定回路設計

(4)「大分大」グループ

① 研究分担グループ長:大竹 哲史 (大分大学工学部、准教授) (主たる共同研究者)

② 研究項目

- ・ SoC/NoC 温度制御
- ・ インターコネクトテスト
- ・ SoC/NoC 診断

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

(1) 研究の成果と自己評価

(A) 成果1.「劣化検知フィールドテスト機構」(九工大グループ・奈良先端大グループ・首都大グループ)

① 内容

BIST によりフィールドで回路の遅延測定する機構を開発した。測定値に対し、フィールドでの遅延測定で問題となる温度・電圧の変動を補正し、劣化による遅延の増分を測定可能にした。VDEC を利用したチップ試作により、測定機構の基本回路の動作検証を行った。

② 有用性

研究の主目的であったフィールドでの劣化検知に有用である。さらに設計マージン・劣化度合いを実チップから直接把握できること、さらには、誤動作が発生したときに有益な診断情報を与えることができることは、有用性が高い。

③優位比較

回路の劣化に対応するための Stanford 大で行われている研究や一般的に行われているマージン設計と比較して、本研究は劣化の進行度合いのより精確な推定を可能にし、過剰なマージン設計とフィールドテストによる障害発生回避の点で優れており、世界水準にあるといえる。一方で、一般的なマージン設計と比較すると、測定回路と測定値の保存によるオーバーヘッドが発生することが劣っている。

他にも、カナリヤフリップフロップ等の特殊なフリップフロップの使用によるオンラインでの劣化検知手法も知られているが、それらと比較して、本研究は既存のテストの枠組みに含まれる通常のスキャン回路と BIST 回路を利用するため、面積オーバーヘッドや回路性能のオーバーヘッドが小さくなる。

(B) 成果 2. 「高品質遅延テスト」(奈良先端大グループ)

①内容

高精度な遅延測定に利用可能な高品質遅延テスト手法を提案した。提案手法では、テストパターンが活性化される各パスの遅延を考慮し、パスの遅延に応じてテストクロックを設定することで、より微小な遅延欠陥の検出を可能にする。1 テストパターンで複数のパスを活性化する場合は、それぞれのパスの遅延に応じて、複数のテストクロックでテストを行うことで、遅延テスト品質を向上する手法である。図 4 に、既存法(original)と提案法(proposed)の Slack 分布を示す。ここで、Slack は検出できる最小の遅延欠陥サイズを意味し、想定故障箇所 Slack の分布を示している。すなわち、小さな Slack の頻度が大きいほど、遅延テスト品質が高いことを意味する。提案法は、1 テストパターンに対し、複数のテストクロックでテストを実行する場合があるため、テスト実行時間が長くなることがある。提案法では、テスト時間とテスト品質のトレードオフを考慮して、3つの手法(min slack, max delay, min test)を提供する。[B-1]

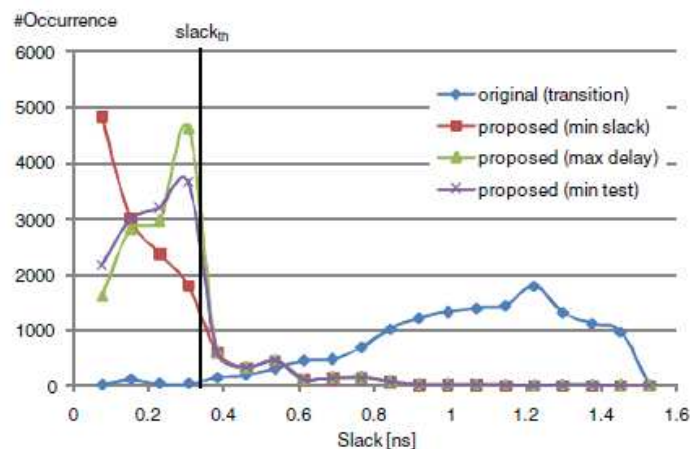


図 4. 既存法と提案法の Slack 分布

②有用性

通常の遅延テストでは、各テストパターンで活性化されたパスの遅延が、システムクロックを超えていないかをチェックする。提案手法では、想定故障箇所の微小な遅延増加を検出することができる手法であるので、劣化による遅延増加の検知に効率的に利用できる。

③優位比較

システムクロックより短いクロックを用いたテスト手法はいくつか提案されているが、テスト時間の増大が問題であった。提案手法は、各テストパターンに対して、必要最小限のテストクロックを設定することで、テスト時間の増加を最小限に抑えることができている。例えば、テストクロックが 10 種類利用可能な場合、単純に各テストパターンをすべてのテストクロックでテストするとテスト時間が 10 倍になるが、提案手法では、同じテスト品質を維持しながらテスト時間の増加を 183%に抑えることができる。すなわち、テスト時間の増加を抑えつつ、テスト品質を向上させる点で他の手法に対し優れている。

(C) 成果 3. 「アダプティブテストスケジューリング」(奈良先端大グループ, 九工大グループ)

①内容

パワーオン・オフ時やシステムアイドル時を利用するフィールドテストでは、各テスト機会でのテスト時間が厳しく制限されるが、定期的にテスト機会があるという特徴がある。そこで、全体のテスト集合を複数のサブテスト集合に分割し、各テスト機会の一部のサブテストのみのテスト実行を行う分割テストが提案されている。提案手法では、分割テストにおける各テスト機会でのテストを実行するサブテストを決定するテストスケジューリング法を提案する。提案法では、テスト機会ごとにこれまでのテスト結果のログを考慮して、警告誤りを起こさないテストスケジューリングを行う。ここで、警告とは、パスの遅延がシステムクロックに十分に近づいたときに出される信号であり、警告誤りとはあるパスの遅延が、そのパスに警告を出す前にシステムクロックを超えることを意味する。[C-1]

②有用性

フィールドテストのための分割テストは新しい概念であり、そのためのテストスケジューリング手法もまだあまり研究されていない。提案法は、フィールドテストにおいて、限られたテスト時間を有効に用いるテストを実現するために有用な手法である。

③優位比較

分割テストにおけるアダプティブなテストスケジューリング法を初めて提案した手法である。

(D) 成果 4. 「温度・電圧モニタリングオシレータ回路の設計」(首都大グループ, 九工大グループ)

①内容

複数回路構成からなるリングオシレータ(RO)の発振周波数より温度・電圧をモニタ可能な回路。このモニタ回路は、電源をオフにしなくても劣化進行を抑えることができる特別な回路構成法を有するので、劣化の影響を受けずに使用することが可能である。

②有用性

本回路よりなる IP をチップ内の BIST による遅延測定を行う回路に埋め込んでおき、テスト時に起動させることにより、テスト時の温度・電圧をモニタ可能である。温度・電圧は、カウンタにより記憶された複数の RO 発振周波数を線形計算することにより求めることができる。本回路は以下の特徴を有する。

- ・通常のデジタル標準ライブラリに含まれるセルで構成可能。
 - ・劣化防止のための電源切断等の特別な電源構成機能が不要。
 - ・アナログセンサ等で必要なレファレンス電圧が不要。
 - ・プロセス変動モニタ目的の RO を兼用可能なため、実質的オーバーヘッドを少なく出来る。
 - ・発振周波数をデジタル処理で温度・電圧に変換可能なため簡易なソフト処理やデジタル回路で実現可能。
- これらの特徴により、広範なデジタル LSI に用いることができる。

③優位比較

通常の RO は電圧、温度あるいは遅延等の一個のパラメータを測定する目的に用いられ、他のパラメータは一定にしておく必要がある。本回路では、温度・電圧の 2 個のパラメータを同時にモニタ可能で、しかも専用のアナログ回路を用いずに簡易に実現できることから、極めて実用性が高いと思われる。更に劣化の影響を防ぐ回路構成を取っており、長期の運用においても精度への影響が少ない。

(E) 成果 5. 「テスト時間制御と品質・コスト制御インテグレーション」(九工大グループ)

①内容

分割テストとは、与えられたテスト時間の制約を満たすためテストパターンを分割して一回のテストで印加するテストパターン数を少なくする手法である。分割後のテストの印加順序を含め、障害回避のためのテスト品質の尺度を定義し、その尺度の下で巡回テスト手法を確立する。また、フィールドテストにおけるテスト実行時間、テスト品質維持、テスト時消費電力削減を考慮した BIST 手法を開発する。[E-1]

② 有用性

適用分野ごとに異なるテスト制約(ここでは特にテスト実行時間、データ量、テスト時消費電力に着目)下で

の目標テスト品質実現を可能にする。フィールドテストにおけるテスト時間の短縮のみならず、オフラインでのシステムデバッグの効率化にも有用である。テスト分割は、要求されるテスト時間の上限に基づいて分割数を定めることができるため、テスト実行時間の問題を根本的に解決できる。また、テスト時消費電力の削減により、BIST におけるテスト結果の誤判定を回避できる。

③ 優位比較

従来の遅延増加率の見積もり手法は、多くの回路に対して過剰な見積もりとなる一方、局所的には危険な箇所が見逃されている可能性があった。本研究の成果は、劣化後に故障を起こしやすいパスを従来より正確に見積もることができる。また、テスト分割によるテスト時間制御は、適用対象ごとに異なるテスト時間要求に対して、単純にテストパターンを分割するのではなく、提案手法は分割によるテスト品質最大化も考慮している。スキャンベース BIST 構造を採用したテスト容易化において、キャプチャ時の消費電力の低減は容易ではなく、既存の研究もなかなか見つけることが出来なかったが、それを可能にした。

(F) 成果 6. 「非同期式回路のテスト生成法」(大分大グループ、奈良先端大グループ)

①内容

非同期式回路は遅延変動に耐性があるため、同期式设计における製造ばらつきや劣化などの問題解決する 1 つの設計手法と考えられおり、同期式の回路を非同期式に変換する手法が提案されている。本手法では、変換前の同期式回路の情報を用いて、効率よく変換後のテストパターンを生成する手法である。[F-1]

②有用性

これまでに同期式から非同期式への変換手法が複数提案されており、変換された非同期式回路に対するテストパターン生成を行う必要がある。非同期式回路に対する効率の良いテスト生成ツールは存在しないため、同期式回路向けのテスト生成ツールを利用することができる本手法は有用である。

③優位比較

非同期式回路は、C 素子などの非同期記憶素子を多数持つため、これまでに提案されている完全スキャン設計に基づく非同期式回路のテスト容易化設計を用いた場合、高品質のテストを実現できる反面、大きなハードウェアオーバーヘッドが生じる。提案手法では、特定の構造をもつ回路部分は C 素子があっても組合せ回路と同等の機能を実現していることに着目し、順序回路のままテストする。これにより大幅にハードウェアオーバーヘッドを削減でき、優位性がある。また、類似する手法として Kondratyev らの手法があるが、提案法ではこの手法における検出対象外故障に対する検出性を保証しており、優位性がある。

(G) 成果 7. 「組込自己テストにおけるテスト時温度均一化」(大分大グループ、奈良先端大グループ)

①内容

組込自己テストにおける回路温度の空間的・時間的の温度差を低減するテスト容易化設計法である。スキャンフリップフロップの組合せ回路への出力にマスク回路を挿入し、回路温度が空間的・時間的に均一になるマスク回路の有効化・無効化の制御スケジュールを決定する手法である。[G-1]

②有用性

LSI の遅延は回路温度に依存するため、高精度な遅延テストを行うためには回路温度の制御が重要である。フィールドテストにおいては環境から温度制御を行うのは難しく、また、組込自己テストが用いられるため、テストパターン発生器で生成されるパターンでも温度制御できる本手法は有用である。これまでに、組込自己テストにおける温度均一化手法は提案されておらず、本件研究チームが世界で始めて提案した。

③優位比較

外部テスト方式の温度均一化手法として、奈良先端大グループが世界に先駆けて開発した技術があるが、テストパターンの変更を伴うため、疑似ランダムパターンを用いた組込自己テスト方式には適用できない。本提案手法では、この手法と同等以下の温度差を実現しており、優位性があると言える。提案手法はテストパターンの変更を伴わないため、外部テスト方式に用いても、従来法との併用によりさらに温度差を低減できることが期待できる。

(2) 上記(1)のうち、特筆すべき成果

(1) 特に顕著な成果(科学や技術の新しい分野の展望など)

成果1の劣化予測フィールドテスト機構は、パワーオン・オフ時のシステムアイドル時間を利用してフィールドテストにより LSI の劣化予測を行う手法である。成果 2～6 は、成果 1 を実用的な品質とコストで実現するための要素技術である。各要素技術に関するこれまでの成果により、下記のように提案する劣化予測フィールドテスト機構を実用化可能レベルに到達させることができた。

- 成果 4「温度・電圧モニタリングオシレータ回路の設計」： 温度・電圧モニタ回路として、3 種類の RO の構成と推定方法を考案し、温度推定誤差 3℃以内、電圧推定誤差 40mV であることを回路シミュレーションで確認した。これにより試作チップレベルにおいて劣化検知の測定系全体の遅延計測精度として、100～200ps を見込むことができ、劣化予測に必要な測定精度を達成する見通しがついた。また、劣化進行を抑えた回路構成にすることで、電源をオフにせずに RO 自体の劣化を抑えることができる RO 構成を提案した。これにより、提案する劣化予測フィールドテスト機構を製品使用時に長期間に渡り利用することが可能になる。

上記の結果より、成果1で提案する劣化予測フィールドテスト機構の実用的な品質とコストでの実現できる見通しが立ったことは大きな成果である。その結果、研究の加速を企業側から依頼され、実製品に対する DART 技術の適用に向けて、具体的な開発を企業と連携して行っている。具体的には、共同研究企業が実製品レベルで評価した結果、実用的なハードウェア量、テストデータ量、テスト品質、テスト時間であることが確認でき、現在、実製品への本劣化予測フィールドテスト機構の適用を進めている。本提案機構の適用により、製品出荷後のシステムのディペンダビリティが大きく向上することが期待できる。

また企業側との議論の中で、DART 技術が、当初目的のフィールド高信頼化のみならず、システム開発(デバッグ)効率向上や製造した遅延マージン把握によるチップの性能選別にも適用できることが判明し、次世代の LSI に対する DART 技術の利用価値を広めることができた。

(2) 当初計画で想定外であった重要・新規な展開

研究成果の評価・実証と相まって、成果を広く社会に知らしめ適用するために、機能安全規格 IEC61508 に代表される規格へ反映すべく標準化活動を推進する。機能安全に関する国際標準規格 IEC61508 において、本研究で開発する技術は、チップ内に冗長系を有するシステムの共通原因故障(Common Cause Failure)対策に有効であることがわかった。特に、チップ全体の温度上昇の検出や劣化の検出は、IEC61508 で規定される安全度水準(SIL: Safety Integrity Level)の SIL3 を獲得するための技術になる可能性があり、さらに厳しい安全度水準 SIL4 の要件としても有望な技術である。そこで、IEC61508 メインテナンスチーム国際エキスパートの金川氏(日立)と連携して、SIL3 以上の安全度水準の要件となることを目標に活動を行うことになった。

§ 4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

- [G-1] T. Yoneda, M Nakao, M. Inoue, Y. Sato, H. Fujiwara, "Temperature-Variation-Aware Test Pattern Optimization," *IEEE European Test Symposium*, May 2011. doi: 10.1109/ETS.2011.45.
- [B-1] T. Yoneda, K Hori, M. Inoue and H. Fujiwara, "Faster-than at speed test for increased test quality and in-field reliability," *Proc. of IEEE International Test Conference*, 2011. doi: 10.1109/TEST.2011.6139131.
- [C-1] H. Yi, T. Yoneda, M. Inoue, Y. Sato, S. Kajihara and H. Fujiwara, "A failure prediction strategy for transistor aging," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol.PP, no.99, pp.1-9, doi: 10.1109/TVLSI.2011.2165304.
- [E-1] Y. Sato, S. Kajihara, H. Yamaguchi and M. Matsuzono, "Multi-Cycle Test with Partial Observation on Scan-Based BIST Structure," *IEEE Asian Test Sym.*, pp.54-59, Nov. 2011.

(4-2)知財出願

- ① 平成23年度特許出願件数(国内 1 件)
- ② CREST 研究期間累積件数(国内 7 件)