

小野寺 秀俊

京都大学 大学院情報学研究科・教授

ロバストファブリックを用いたディペンダブル VLSI プラットフォーム

§1. 研究の概要

1. チーム全体の研究の概要

①本研究の背景、社会や産業に存在する問題と本研究の課題

微細化の限界に近づくにつれ、VLSI の製造性が急速に劣化するとともに、デバイス特性のばらつきが顕在化してきた。動作にともなう特性の劣化も深刻化している。回路中の電荷量の減少により雑音や宇宙線への耐性が低下している。これらの要因で発生する物理的、自然現象的フォールトは VLSI のディペンダビリティを毀損する深刻な原因である。ITRS2009 ロードマップにおいても、設計部門(Design)における総合課題(合計 5 項目)の 2 項目(製造容易化設計:design for manufacturability と信頼性:reliability)において、これらへの解決策探求の重要性が指摘されている。

ディペンダビリティ以外にも、VLSI システムの持続的発展を阻害する要因として、マスクコストなどの NRE コストの急騰が問題となっている。この問題を解決する有力候補が再構成可能 VLSI である。同一のチップで、要求されるディペンダビリティの異なる多様なアプリケーションを効率よく実現することが、産業上強く求められている。

本研究では、素子寸法の極限的な微細化に伴って問題となってきたデジタル VLSI の製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびに一過性雑音事象(ソフトウェア)によるディペンダビリティ低下を克服することを目的とし、搭載回路の再構成と特性の適応的調整が可能な VLSI プラットフォームを開発する。

VLSI プラットフォームの開発にあたり、高信頼プロセッサと再構成可能アレイ部から構成される VLSI プラットフォームのハードウェアに加えて、C 言語で記載されたアプリケーションを開発 VLSI プラットフォーム上で実行させるためのソフトウェア環境を整備する。

②本研究チームの達成目標

本研究の目標は、①で説明した微細化に伴う製造性の劣化、特性のばらつきと劣化、ソフトウェアといった物理的・自然現象的フォールトに対して高い耐性を有する再構成可能 VLSI プラットフォームを明らかにすることである。本プラットフォームでは、製造性を強化し特性ばらつきに対する靱性を高めたロバストファブリックを構成要素とすることにより製造性劣化や特性ばらつきに対応し、特性ばらつき量を等価的に半減することを目標とする。ソフトウェアや特性劣化に対しては、必要とされる信頼性に応じた冗長化構成やホットスワップが実現可能な粗粒度再構成可能アーキテクチャを開発し、宇宙空間においても 100FIT の故障率を達成することを目標とする。プラットフォームのハードウェアと共に、C 言語記載のアプリケーションが実行可能なソフトウェア環境を整備することにより、アプリケーション開発者自身がプラットフォームの評価を行うことが出来る環境を提供する。

③本研究のアプローチ

本研究では、表 1 に示すディペンダビリティ阻害要因を対象として、回路技術からアーキテクチャまでの階層横断的取り組みにより各阻害要因を排除する技術を研究し、要求されるディペンダビリティに応じた回路を実現

できる再構成可能 VLSI プラットフォームを開発する。本プラットフォームは、再構成可能アレイとプロセッサで構成する。回路技術、再構成可能アーキテクチャ技術、設計自動化技術、プロセッサ構成技術の総合的取組により、要求されるレベルに応じたディペンダビリティを提供する組込みシステム用 VLSI プラットフォームを構築する点に特徴がある。各要素技術についても、以下に示すように高い独自性と有用性を有している。ロバストファブリックの回路技術は、ばらつき耐性や放射線耐性の高いライブラリ構成技術そのものであり、一般的なセルベース設計に広く活用できる。再構成可能アーキテクチャは、様々な信頼性をハードウェアレベルで設定可能な世界初の再構成可能回路であり、通信回路や暗号処理などの様々なアプリケーションに適用できる。アプリケーションを再構成可能プラットフォームにマッピングする設計自動化技術では、機能仕様としてディペンダビリティを与え、それを実現する回路を自動構成する計画であるが、ディペンダビリティを考慮したマッピング技術の開発は世界初の試みである。C 言語からプラットフォームへのマッピング手段を提供することにより、プラットフォームの実課題への適用可能性評価がユーザサイドで可能となる。プロセッサ構成技術についても、要求される信頼性に応じて、パイプラインステージ毎に誤り検出や訂正が実施可能な世界初のアーキテクチャを明らかにする。

表1. ディペンダビリティ阻害要因と、対応する技術要素および阻害要因排除手法

ディペンダビリティ阻害要因		製造性劣化	物理的揺らぎ	一過性雑音	特性劣化
階層	技術要素				
ソフトウェア	—				
アーキテクチャ	再構成可能アーキテクチャ			○	○
プロセッサ	再構成プロセッサ			○	○
設計自動化	マッピング技術			○	○
回路技術	ロバストファブリック	○	○		○
デバイス技術	—				
阻害要因排除手法		製造容易構造	自己調整	適応的冗長化	自己修復

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本件チームは、表1に示す各要素技術を担当する「ロバストファブリック」「再構成アーキテクチャ」「再構成プロセッサ」「マッピング技術」の各グループに加えて、H23年の6月より加わった「C設計ツール技術」と、本プラットフォームのアプリケーション展開に向けた「評価・実用化検討」グループで構成されている。各グループは担当課題の開発を主導するとともに、チーム全体としての階層横断的な取り組みによりディペンダブル VLSI プラットフォームの実現を目指す。すなわち、ロバストファブリックグループはディペンダブル VLSI プラットフォームを実現するためのライブラリを提供する。マッピング技術グループは、当該粗粒度再構成可能アーキテクチャを対象としたアプリケーションのマッピング技術を開発する。評価・実用化検討グループは、ディペンダブル VLSI プラットフォームの動作検証環境を整えると共に、具体的な応用課題をプラットフォーム上に実現し、そのディペンダビリティを評価する。C設計ツール技術グループは、アプリケーションのC言語記述よりディペンダブル VLSI プラットフォームの機能・構造・動作記述を生成する。更に、DRP/STPといった動的再構成可能ハードウェア用のソフトウェア開発や多様な VLSI システムの開発を通じて獲得した粗粒度再構成可能アーキテクチャに関する豊富な知見に基づき、再構成可能アレイのアーキテクチャやプロセッサとの連携方式などに関する検討に積極的に参加する。

2) 領域外部の企業等との連携

再構成可能アーキテクチャを中心としたディペンダブル VLSI プラットフォームに関する情報交換を、ルネサスエレクトロニクス社と NEC 社において動的再構成デバイスの商品化開発を担当するグループと実施している。再構成可能アーキテクチャならびにソフトウェア対策技術に関する情報交換を、日立製作所生産技術研究所において高信頼化技術を担当しているグループと実施している。宇宙衛星用組込みシステムに関する要件調査と意見交換ならびにソフトウェア対策技術に関する技術討論を、JAXA の総合技術研究本部および宇宙科学研究本部の研究者と実施した。衛星搭載用組込みシステム設計技術に関する情報交換を、NEC 東芝スペースシステム社と実施している。また、JAXA の総合技術研究本部の協力のもと、耐放射線フリップフロップのソフトウェア耐性を評価するための重イオンを用いた加速テストを実施した。ソフトウェアに焦点を絞った技術討論会を9月に京都工芸繊維大学で開催し、JAXA、日立製作所、富士通セミコンダクタ、ルネサスエレクトロニクスなどに

所属する日本を代表するソフトエラー関係の研究者と情報交換するとともに、今後の連携可能性について協議した。さらに SpaceWire ユーザー会に参加し、公開頂いた SpaceWire IP を用いたリアルタイム動画転送への適用を市販 FPGA ボードを用いて評価し、再構成可能 VLSI プラットフォームへの統合を進めた。

3) 領域内他研究チームとの連携関係

昨年度まで実施してきた「VLSI ディペンダビリティの物理・デバイス・回路レベルテスト構造フォーラム」は、今年度の開催は見送った。一方、上記 2) で説明したソフトエラーに関する技術討論会を開催し、安浦チームや吉本チームなど領域内でソフトエラーに関する研究を行っているチームからの参加者も得て、ソフトエラーに関する技術討論と研究連携に関する議論を行った。

2. 研究グループの研究の概要

(1) 「ロバストファブリック」グループ (研究代表者グループ)

① 本研究グループの研究課題、ならびに所属する研究チームの課題との関係

ロバストファブリックは、ディペンダブル VLSI プラットフォームを構成する基本回路要素である。スタンダードセルを対象として、プロセスの微細化に伴う製造性の劣化や特性ばらつきならびに特性劣化に対処するための設計技術を開発する。現時点での最新 Edition である ITRS2009 の Design Chapter に掲げられている 5 総合課題中の 2 課題である「製造容易化設計」と「信頼性」が、本グループが取り組む研究課題となっている。すなわち、本研究グループは、製造容易性が高くデバイス特性のばらつきに対して高い耐性を持つ論理ゲートの設計法を明らかにすることと、デバイス特性の劣化を防止する、もしくは劣化の影響を削減する設計技術を明らかにすることである。

② 本研究グループの達成目標。

ITRS ロードマップにおいては製造性の劣化や閾値ばらつきなどにより回路特性に生じるばらつき量の許容最大値が目標として掲げられている。例えば、ITRS2009 においては、2011 年の段階では 60% が目標値であることと、その目標値を達成する実用化技術が存在していないことが示されている。本グループの達成目標は、ばらつき耐性を高める設計技術や回路特性の適応的調整技術により、回路特性のばらつき量を等価的に半減させることを目標とする。この目標は、先に述べた研究課題に対する直接的な解決目標となっている。

③ 研究のアプローチ

製造性劣化への対策と、特性ばらつきならびに特性劣化への対策について、それぞれ説明する。

製造性劣化に対しては、レイアウトの単純化と規則性の導入により露光性を向上させることにより対処する。日本国内で最も微細な 40nm プロセスを対象として、ポリやメタルなどのレイヤー毎に必要な規則性を保ちつつプリミティブセル全体のレイアウト面積を最小化するセルレイアウト生成技術を開発する。本技術により、製造性・性能・コストが高い次元で両立したライブラリを構築でき、一般的なセルベース設計全般に対して効果がある。

特性ばらつきならびに特性劣化に対しては、ばらつきならびに劣化の正確な分析とモデル化を行う。特性ばらつきは、微細デバイスが内在する原子レベルの揺らぎによるランダムな成分や、チップ毎に変動する成分などで構成される。ランダムばらつきに対してはランダム性を前提とした統計的設計技術により対処する。チップ内の場所に依存したばらつきやチップ間ばらつきについては、基板バイアス電圧印加などにより動作特性を調節し、ばらつきの補償を行う。

④ 研究実施方法(研究チーム内外の連携関係など)

ロバストファブリックはチップ設計における基本ライブラリである。再構成アーキテクチャグループや再構成プロセッサグループのチップ実装に使用するライブラリならびに設計フローを提供する。また、再構成プロセッサグループと連携し、回路レベルにおける高信頼化設計技術の開発に取り組む。

製造性向上技術、特性ばらつきや劣化のモデル化と補償技術のいずれにおいても、理論的な検討に留まらず、実シリコンにおける特性と実回路における効果の実証を重視する。そのため、シャトルサービス等でのデバイス試作とともに、デバイスメーカーとの意見交換や各種試作支援プロジェクトに積極的に取り組み、実用化技術

への展開を図る。

(2)「再構成アーキテクチャ」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、ディペンダビリティ阻害要因をアーキテクチャレベルで排除することを研究課題としている。ソフトウェアによる回路誤動作、経年劣化によるタイミング故障など、VLSI のディペンダビリティを阻害する要因は多岐にわたるが、これらを排除しディペンダビリティを担保するために許容されるコストは、アプリケーションおよびその動作環境に依存する。このため、VLSI 設計時に必要に応じて適切な信頼性を考慮することが求められていた。本研究グループでは、適応的冗長化と機能交換を可能とする粗粒度再構成可能アーキテクチャを開発し、同一のチップで、要求されるディペンダビリティの異なる多様なアプリケーションを効率よく実現するという産業界における実用的課題に取り組む。

②本研究グループの達成目標。

本研究グループでは、FPGA 等の既存デバイスよりも遙かに高い信頼性を実現し、構成要素毎に信頼性を可変にできる粗粒度再構成可能アーキテクチャを提案することを目標としている。また、経年劣化に基づく遅延故障やハードウェア故障を起している回路をスペア回路と交換する機構を確立することも本研究グループの目標である。これらの目標の達成により、要求されるVLSIのディペンダビリティに応じて、許容される面積コストを考慮しながら柔軟な高信頼構成でアプリケーションを効率よく実現することができる。

この目的のため、本年度は実用的なアプリケーションが搭載可能な粗粒度再構成可能アーキテクチャへの発展、ハードウェア故障を回避する方式とその効果の定量的評価、ハードウェア故障につながる経年劣化の抑制技術、ならびに組み合わせ回路に生じるソフトウェアの特性評価を課題とする。

③研究のアプローチ

本研究グループでは、従来の再構成可能アーキテクチャで回路の仮想化に利用されてきたマルチコンテキスト構造をディペンダビリティ確保に利用することにより、構成要素毎に柔軟な冗長構成を実現することを可能とする粗粒度再構成可能アーキテクチャ FRRARY (Flexible Reliability Reconfigurable Array) を確立する。FRRARY は、SRAM 型 FPGA に対して構成情報量が少なく済むため、格段に高いソフトウェア耐性を実現することができる。また、耐放射線 FPGA であるアンチフューズ型 FPGA に対しては、FRRARY は先端 CMOS プロセスを用いて実装できるため、高い性能と集積度を確保することができる。

実用的なアプリケーションが搭載可能な粗粒度再構成可能アーキテクチャとするため、レジスタやメモリの実装、制御回路やビット演算の実現方式、ならびに宇宙での利用を見越した SpaceWire との連携方式の検討を行った。開発している粗粒度再構成可能アーキテクチャに適した故障回避機構を明らかにするため、ハードウェアサポートによる故障回避と再構成による故障回避の代表的な方式について、同一の論理的機能をもつアレイに複数の同一アプリケーションをマッピングすることにより、その効果を初めて定量的に比較評価した。回路のスタンバイ時にスキランチェーンを通じて回路をランダムにゆっくりと動作させることにより、極めて小さなハードウェアオーバーヘッドで NBTI による経年劣化が回避できることを示した。粗粒度再構成可能アーキテクチャを適切なオーバーヘッドで実装するためには、メモリ素子と組み合わせ回路に生じるソフトウェアの割合を評価する必要がある。組み合わせ回路のソフトウェア評価には、一つの中性子により複数のパルスが生じることを考慮する必要があることを、初めて実験的に評価した。

④研究実施方法(研究チーム内外の連携関係など)

評価・実用化検討グループおよび再構成プロセッサグループと密に連携し、出口戦略を見据えたシステムアーキテクチャの検討を通じて、SpaceWire の位置づけを考えた。C設計ツール技術グループとの連携を通じて、制御回路やビット演算の実現方式を開発した。また、マッピング技術グループと連携し、必要なディペンダビリティを考慮したアプリケーションマッピングを可能とするアーキテクチャへの改良を行った。これにより、提案する再構成可能アーキテクチャの構成要素毎に信頼性を設定することができるという特長を最大限に活かしたアプリケーションマッピングが可能となり、要求されるディペンダビリティを高い面積効率で実現することが可能となる。

(3)「再構成プロセッサ」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、プロセッサのアーキテクチャレベル/回路レベルでのディペンダビリティの確保を研究課題としている。集積回路の微細化にともない、ソフトウェアなどによるプロセッサの誤動作が頻発するようになる。ソフトウェア対策なしでは、誤動作が頻発し、自動車のような信頼性の必要な機器はもとより、携帯電話などの電子機器においてもその対策が必須となる。この信頼性の追求において、産業界からは高信頼性のためのコスト(回路面積/電力など)に対する削減要求があるため、その問題の緩和についても解決策を示す。

②本研究グループの達成目標。

本研究グループでは、信頼性を可変にできるプロセッサ・アーキテクチャ(DARA)ならびに、冗長化 FF を用いたソフトウェアに強い回路構造を提案することを目標としている。これらの目標の達成により、電子機器のソフトウェア耐性が大幅に高まることが期待される。また、動的に信頼性を可変にしたことによる適応的多重化実行により、高信頼性のためのコスト(特に電力コスト)の削減が期待できる。

本年度は、DARA の α 線照射による実評価と、冗長化 FF をプロセッサ・レベルの大規模回路に用いた場合の評価を目指した。最終年度に設計するディペンダブル VLSI プラットホームの SoC 設計を進めるため、DARA を SoC に混載するための設計変更を進めた。さらに、冗長化 FF のソフトウェア耐性評価のため、従来の α 線、中性子線に加え重イオンによる評価も行った。

③研究のアプローチ

α 線照射による、DARA の故障耐性の実評価と、冗長化 FF をプロセッサ・レベルの大規模回路に用いた場合の評価を行うために、Rohm 180nm プロセスでチップ試作を行う。試作チップには通常 FF を用いて実装した DARA と冗長化 FF を用いて実装した DARA を搭載する。冗長化 FF をプロセッサ・レベルの大規模回路に用いた場合の評価は、それぞれの実装においてアーキテクチャレベルの耐故障手法をオフ状態で α 線を照射し、エラー発生状況を比較することで確認できる。DARA の故障耐性の実評価は、通常 FF を用いて実装した DARA において、アーキテクチャレベルの耐故障手法のオン状態/オフ状態におけるエラー発生状況を比較することで確認できる。

DARA の SoC 混載のための設計変更は、DARA の外部バスを SoC で用いる WISHBONE バスに変更と割り込み周りの修正/追加が中心となる。

④研究実施方法(研究チーム内外の連携関係など)

DARA 試作チップは 7 月にテープアウト、11 月に納品が行われ、アーキテクチャレベルの耐故障手法が有効に機能していること、プロセッサ・レベルの大規模回路の FF を単純に冗長化 FF に置き換えるだけでも耐故障性が向上することは確認されている。現在は、エラー発生統計を取るためなどの、詳細な評価を進めている。チップ試作と平行して、DARA の機能向上の研究も進めており、三重化パイプラインを利用した、冗長実行を行う 1.5-way スーパーパスカ構成についての研究を進めた。

冗長化 FF については、昨年度試作を行った結果が IEEE Transactions on Nuclear Science に掲載された。本論文では、レイアウト構造により面積オーバーヘッドなしでエラー耐性を高める手法の提案と評価を行っている。

DARA の SoC 混載のための設計変更は、予定通り WISHBONE バスを用いる構成への変更と割り込み周りの修正/追加を終了した。バス周りについては、再構成アーキテクチャグループ(阪大)や、その適用先を検討する評価・実用化検討グループ(ASTEM)と連携し、WISHBONE バス以外に、動画処理時のための高バンド幅インターフェースも同時に実装する形として設計を進めている。

(4)「マッピング技術」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

VLSI の微細化に伴い、動作にともなう特性の劣化や、雑音や宇宙線への耐性低下等が問題となっており、これらに対するディペンダビリティの確保が課題となっている。他方、VLSI システムの持続的発展を阻害する要因として、マスクコストなどの NRE コストの急騰が問題となっており、この問題を解決する有力候補として再構成可能 VLSI へのニーズや期待が高まっている。このため、高いディペンダビリティを持った再構成可能 VLSI の開発が急務となっており、再構成アーキテクチャグループがこの課題に取り組んでいるが、再構成可能 VLSI の性能

やディペンダビリティを最大限に引き出すためには、アプリケーションを最適にマッピングする環境が不可欠である。

②本研究グループの達成目標

動作仕様から脆弱性の高い箇所を特定して要求されるディペンダビリティに応じた冗長化回路構成を導き、C 設計ツール技術グループの開発するツールと連携して再構成可能アレイにマッピングする技術を確認する。これにより、再構成アーキテクチャグループの開発した再構成可能 VLSI の性能やディペンダビリティを最大限に引き出すことが可能となる。

③研究のアプローチ

本研究グループでは、与えられた再構成可能アーキテクチャに与えられたアプリケーションをマッピングする機能と、アプリケーションがマッピングされた再構成可能アーキテクチャにソフトウェアを挿入してシミュレーションベースでディペンダビリティを評価する機能を持った設計環境を構築する。前者は様々な粗粒度再構成可能アーキテクチャに適用可能なマッピングツールになっており、これにより特定の再構成可能アーキテクチャのマッピングをするだけでなく、様々なアーキテクチャの比較をも可能とする。後者は、ソフトウェアを自動で挿入してサイクルベースシミュレーションを行い、脆弱性に関する様々な情報を取り出すことができる。

④研究実施方法(研究チーム内外の連携関係など)

動作仕様から具体的な再構成可能 VLSI アーキテクチャにマッピングするプロセスを、脆弱性の高い箇所を特定して要求されるディペンダビリティに応じた冗長化回路構成を導くプロセスと、これに基づいて実際にハードウェアにマッピングするプロセスの2段階に分割する。前者のプロセスは再構成可能なアーキテクチャには独立なプロセスであり、特にディペンダビリティを動作仕様レベルで考慮する方法の開発に注力する。後者のプロセスは、更に C 言語から RTL を合成するプロセスと、RTL から配置配線を含むマッピングを行うプロセスに分けられ、前半は C 設計ツール技術グループが、後半は本研究グループが開発する。また、再構成アーキテクチャグループが開発したアーキテクチャの評価を行う際は、再構成アーキテクチャグループや C 設計ツール技術グループと密に情報交換し、相互にフィードバックをかけながら実験や評価を遂行する。

(5)「C 設計ツール技術」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

粗粒度再構成可能デバイス上で性能や面積を最適化したアプリケーションを実装するためには、対象とする粗粒度アーキテクチャに特化した設計支援環境が必須である。特に、実用的なアプリケーションを対象とする場合には、単純なデータストリーミング処理だけではなく複雑な制御処理も合わせて実装できることが重要である。本研究チームでは、再構成アーキテクチャグループが開発している信頼性可変粗粒度再構成可能アレイ向けの設計支援環境として、マッピング技術グループで配置配線・マッピングツールの開発とアプリケーションの動作仕様レベルでの部分的多重化技術の研究を行っている。しかしながら、部分的多重化を考慮しながらアプリケーションの動作仕様レベルからマッピングの入力となる RTL へ変換するための設計支援環境は未整備であり課題である。

②本研究グループの達成目標

動作仕様レベルの C 言語記述を再構成可能アレイ向けの RTL 記述へ自動変換する技術に関する研究を行う。本技術により、C 言語記述を再構成アレイで高速に実行でき、さらに部分的多重化技術によりディペンダビリティを向上した RTL の記述を自動合成可能とする。

③研究のアプローチ

NEC が保有する C 言語動作合成ツール CyberWorkBench を基盤ツールとして、本プロジェクトの再構成可能アレイ向けの C 言語コンパイラを作成する。具体的には、動作仕様レベルの C 言語記述から RTL 記述を合成する際に、マッピンググループで研究中的部分的多重化を実現する機構を作成する。また、部分多重化を実現する方法として、故障にも適用可能な空間的多重化、主にソフトウェア対策に有効な時間的多重化の双方を実現可能とする技術を実現する。但し、本多重化は、再構成可能チップのアーキテクチャの詳細によって、その実現方法が大きく変化する(再構成可能チップ自体が多重化をどの程度ハードウェアサポートするかによって C コン

パイラの役割、合成 RTL は大きく変化する)ため、技術確立後の C 言語からの自動ツールフローの実現は来年度の目標となる可能性がある。

また、本グループは、再構成可能アレイのアーキテクチャやマッピング技術の最適化を助力するため、複数のサンプルの C 記述から、様々な RTL を合成し、再構成アレイの詳細アーキテクチャや全体構成の構築のための事例を提供し、共同で最適化をすすめることも行う。さらに、基盤ツールとして CyberWorkBench をチームに対し無償で提供することで、プラットフォームの最適化に貢献する。

④研究実施方法(研究チーム内外の連携関係など)

マッピンググループのマッピングツール開発及び部分的多重化技術研究と連携を行いながら、C 言語動作合成ツールでの部分的多重化対応に取り組んでいる。また、再構成アーキテクチャグループが開発している再構成可能アレイについて、マッピンググループを含めた三グループでの議論を通じて、アーキテクチャの改良についてコンサルティングを行っている。

(6)「アプリケーション展開のための評価・実用化検討」グループ

①研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループは、再構成アーキテクチャの粗粒度再構成アレイと、宇宙用通信規格の SpaceWire による高速データ転送機能を組み合わせることにより、宇宙用途だけでなく CCTV (Closed-Circuit Television) やアレイ信号処理といった民生分野にも有望な展開が可能であることを示し、提案している再構成可能 VLSI プラットフォームの適用先を開拓を行った。

また再構成アーキテクチャグループ、再構成プロセッサグループと連携して、再構成可能 VLSI プラットフォームの RTL の IP の整備を行った。整備された RTL を基に次年度にチップ試作を行い、提案プラットフォームの有効性をデモンストレーションすることを目指している。

今後は、試作したチップの動作確認を進めつつ、デモンストレーションを通してさらなるアプリケーションの開拓を目指す。また市販 FPGA を用いて IP の検証を進め、再利用性の向上を図る。研究成果の実用化に向け、提案 VLSI プラットフォーム技術のさらなる確立を図り、技術移転を実施することを目指す。

②本研究グループの達成目標。

研究成果の再構成可能 VLSI プラットフォームの適用先の候補となるアプリケーションに対して、ディペンダビリティ要件を具体的に調査し、耐故障化や誤動作への耐性強化の指標を明確化する。研究成果の実用化に向け、ディペンダビリティ評価技術の確立を図り、技術移転を実施する。

③研究のアプローチ

再構成可能アレイ部とプロセッサからなるプラットフォームが効率よく動作するように、チップ外部との入出力(メモリもしくは通信)部分を中心とした設計を行った。また外部入出力ピン数によりバンド幅が制限されることを解消するため、SpaceWire を用いた高速シリアル通信方式の導入を検討した。さらに再構成可能アレイと SpaceWire 通信の組み合わせによる、新たな民生用途への展開の検討を行い、リアルタイム画像処理や信号処理への適用が可能であることを確認した。整備した RTL 記述については、前年度までに整備した市販 FPGA ボードを用いた動作検証環境を用いて、検証を進めている。

④研究実施方法(研究チーム内外の連携関係など)

再構成アーキテクチャグループならびに再構成プロセッサグループと緊密に連携し、再構成可能アレイ部とプロセッサが協調動作するプラットフォームの IP (RTL 記述)を整備した。本グループは、プラットフォームの入出力部分の設計を専ら担当した。

§ 2. 研究実施体制

(1) 京大グループ

①研究分担グループ長:小野寺秀俊(京都大学大学院情報学研究科、教授)(研究代表者)

②研究項目

- ・ロバストファブリック
- ・再構成可能ディペンダブル VLSI へのマッピング技術

(2) 阪大グループ

①研究分担グループ長:尾上孝雄(大阪大学大学院情報科学研究科、教授)(主たる共同研究者)

②研究項目

- ・ディペンダブル VLSI プラットフォーム用再構成可能アーキテクチャ

(3) 京都高度技術研究所グループ

①研究分担グループ長:神原弘之(京都高度技術研究所、主任研究員)(主たる共同研究者)

②研究項目

- ・ディペンダブル VLSI プラットフォームのアプリケーション展開に向けた評価・実用化検討

(4) 奈良先端グループ

①研究分担グループ長:嶋田創(奈良先端科学技術大学院大学情報科学研究科、准教授)(主たる共同研究者)

②研究項目

- ・再構成プロセッサ

(5) 京都工繊大学グループ

①研究分担グループ長:小林和淑(京都工芸繊維大学大学院工芸科学研究科、教授)(主たる共同研究者)

②研究項目

- ・ディペンダブル VLSI プラットフォーム信頼性向上技術の検討

(6) 高知工科大学グループ

①研究分担グループ長:密山幸男(高知工科大学システム工学群、講師)(主たる共同研究者)

②研究項目

- ・ディペンダブル VLSI プラットフォーム用高信頼性インタフェースの研究

(7) NEC グループ

①研究分担グループ長:若林一敏(NEC システム IP コア研究所、主幹研究員)(主たる共同研究者)

②研究項目

- ・再構成アレイ向け合成ツール
- ・部分的多重化技術
- ・全体コンサルティング

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

(1) 研究の成果と自己評価

(1) 成果1. 「グリッド制約を満足し製造性を確保したスタンダードセルレイアウト生成手法の開発」(ロバストアプリケーショングループ)

①内容

40nm といった最先端プロセスのレイアウトにおいては、微細パターンの露光性確保が最優先の課題となる。そのため、パターンの寸法や配置位置として、限られた離散的な値や場所のみに制限される(グリッド制約)。また、これらの離散的な値は、レイヤー毎に異なる。これらの厳しいグリッド制約を満足しつつ、レイアウト面積の最小化を図るスタンダードセルレイアウトの生成手法を開発した。このような厳しいレイアウトルールに対応したレイアウト生成は、世界初の試みである。実際に 40nm プロセスのスタンダードセルレイアウト生成に適用し、実シリコンで生成セルの特性を評価した。

本技術を用いて 2 種類のフリップフロップを生成した。面積最小化を図った回路(Normal)と、動作特性ばらつきへの耐性を高めた回路(Robust)について、動作可能周波数や回路面積ならびに消費電力などを図 1、表 2 に示す。図 1 は、試作したフリップフロップ 840 個の最大トグル可能周波数(任意単位)の分布である。表 2 は、面積や消費電力および最大トグル周波数を既存の回路(Conv.)と比較した結果である。いずれの量も既存回路(Conv.)の値で正規化した。なお、消費電力量はシミュレーション値である。既存回路と比較して、Normal は消費電力が 7%大きい面積は 4%小さい。最大トグル周波数の平均値は 29%大きく、特性ばらつきも 37%小さい。Robust は平均で 45%速く、特性ばらつき量もほぼ半減した。

また、低電圧でさらに顕著となる特性ばらつきの影響と特性ばらつきの経時変動についても予備的な検討[13]と試作による評価[14][27]を実施している。

②有用性

今回開発したスタンダードセル生成手法により、競争力のあるスタンダードセルライブラリが開発できることを実シリコンにおいて実証した。40nm といった先端プロセスに対応可能なレイアウト生成手法はこれまで報告されていない。本手法により生成したライブラリは、そのままスタンダードセルとして使用可能であることを、テストチップの試作により確認した。

③優位比較

既存の回路に対する優位性は、図 1 や表 2 より明らかである。前年度の研究成果でも明らかなように、フリップフロップのタイミング特性は、チップ内ばらつきに対して脆弱である。今回の成果で示したように、面積、消費電力や動作速度とそのばらつき耐性の異なる複数のフリップフロップを用意し、適材適所で使い分けることが重要である。

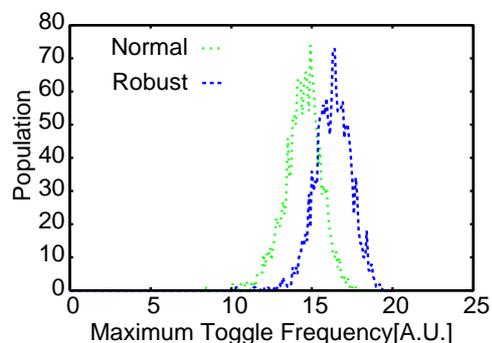


図1 最大トグル可能周波数の分布

表 2. 既存のフリップフロップ(Conv.)と開発技術を用いて作成したフリップフロップ(Normal, Robust)との比較

回路	面積	消費電力	最大トグル周波数	
			平均 μ	ばらつき σ/μ
Conv.	1	1.	1	1
Normal	0.96	1.07	1.29	0.63
Robust	1.08	1.29	1.45	0.52

(2) 成果2. 「セルベース設計におけるばらつき耐性ならびに信頼性向上技術の開発(ロバストファブリックグループ)」

①内容

デバイス構造の原子レベルのゆらぎや欠陥などにより、微細デバイスの動作特性には本質的にばらつきが存在する。これらのばらつきには、製造ばらつきのように時間的に変化しない成分以外にも、ランダムテレグラフノイズのように動作中に変動する成分や、NBTIのように動作に伴って徐々に特性劣化が進行する成分などが含まれる。電源電圧の低下に伴い、デバイス特性のばらつきが回路特性のばらつきに及ぼす影響が顕著になる。ディペンダブルな VLSI システムを実現するために、ばらつきへの耐性を高め信頼性を向上させる設計技術の開発に取り組んだ。

製造ばらつきへの対策として、デバイス特性のチップ間ばらつきをオンチップ診断する回路[1]と、動作特性補正を行うための省面積低消費電力な基板電圧発生回路[16]を開発した。また、チップ内ばらつき特性を正確に評価するための診断回路として、再構成可能リング発振回路[18]と非均質リング発振回路[23]を開発した。

時間的に変動するばらつきであるランダムテレグラフノイズに関しては、セルベースで実現した通常の LSI においても動作特性変動として表れることを初めて示した[4,19]。経年劣化現象である NBTI については、その正確なモデル化を行うために回復特性の高速評価回路を開発した[2]。多数のデバイスの効率的測定法を考案し、劣化特性のばらつき評価を可能にした[14,27]。更に、NBTI の回復現象を活用した LSI の長寿命化法を示した[10]。チップ内電源の変動量を測定する回路[24]や、低電圧動作におけるばらつき考慮設計技術[13]を明らかにした。

②有用性

今回の研究成果は、設計回路のばらつき耐性と信頼性の向上に直結する技術である。設計対象のアプリケーションを問わずに、全ての回路に対して有効であり、極めて有用性が高い。

今回開発したチップ間ばらつきのオンチップ診断回路と動作特性補正用の基板電圧発生回路は、占有面積が極めて小さい。そのため、チップ内を小領域に分割し、各領域ごとにばらつきを補正してチップ内の位置依存ばらつきを補償する方式への展開が可能である。

③優位比較

特性ばらつきへの対策技術として、時間的な変化のない製造ばらつきのみならず、時間的な特性変動であるランダムテレグラフノイズや、経年劣化現象である NBTI までを対象とした総合な取組は他に例を見ない。セルベース LSI において、ランダムテレグラフノイズ起因の動作特性変動の観測や、NBTI 回復現象を利用した長寿命化法の提案は、本研究のオリジナルな成果である。

(3) 成果3. 「制御処理実現に向けた再構成可能アーキテクチャの改良」

①内容

昨年度までに開発した粗粒度再構成可能アーキテクチャはデータストリーミング処理の高速化を目指していたため、高速化できる C プログラムが限定されていた。そこで、C 設計ツール技術グループと密に連携し、条件分岐などの制御構造を含むより大きなプログラムに対応できるように再構成可能アーキテクチャの改良を行った。制御回路やビット演算の実現方式について検討し、制御回路を実現する細粒度演算クラスタ、状態遷移機械による制御を可能とする粗粒度演算クラスタ、レジスタやメモリを実装する粗粒度記憶クラスタで構成される再構成可能アーキテクチャを開発した。

②有用性

データストリーミング処理だけでなく条件分岐などの制御処理を実現できるようになり、対象アプリケーション領域が大幅に拡大され、より実用的なアプリケーションが搭載できるようになった。さらに、C 設計ツール技術グループが開発する C 言語動作合成ツールとの連携により、状態遷移機械の導入によるリソース共有を効率的に実現できるようになり、必要なリソース量の削減が可能になった。

③優位比較

状態遷移機械による粗粒度再構成可能演算器アレイの制御が可能であることに加えて、制御処理などを

実現する細粒度構成要素を導入することで状態遷移機械やビット演算も再構成可能アレイ上で実現できる粗粒度再構成可能デバイスは他に例がない。さらに、C 言語動作合成ツールを用いた C 言語設計が可能となることで、従来の粗粒度再構成可能アーキテクチャと比較して対象アプリケーション領域が広がっている。

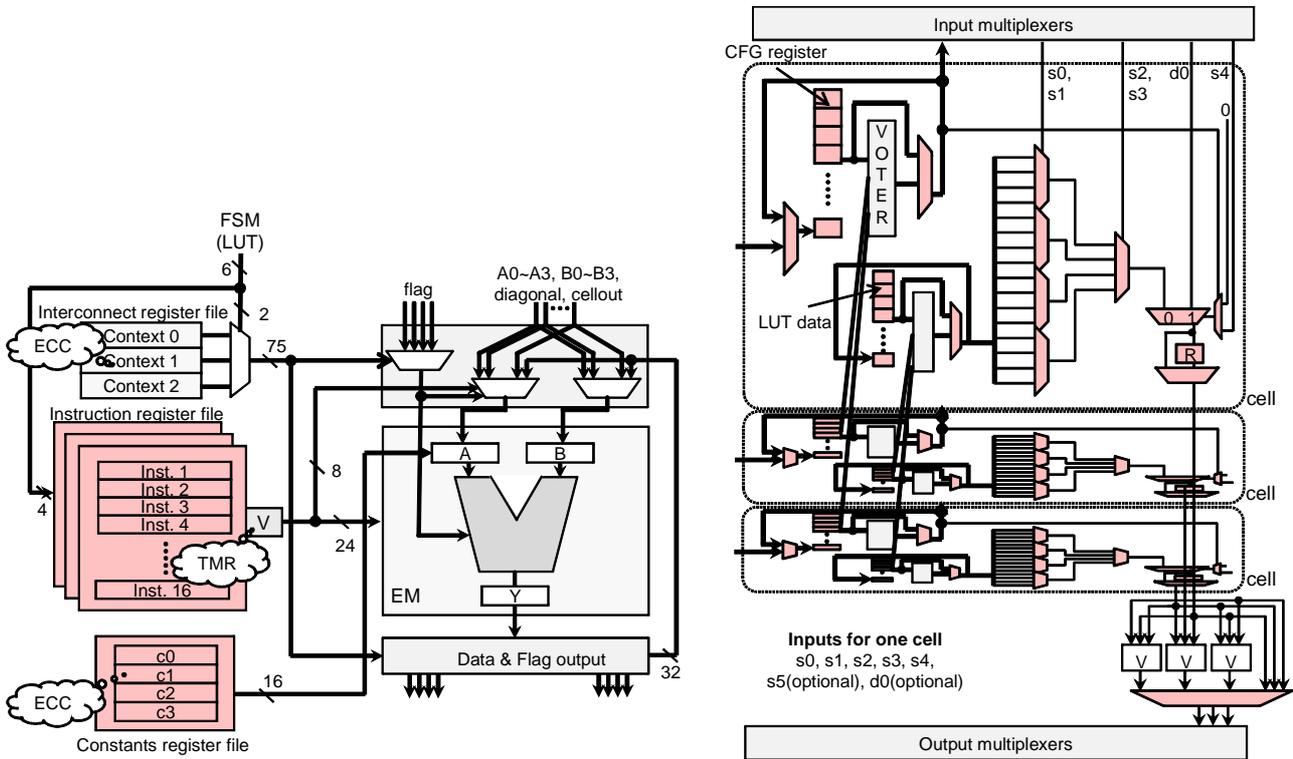


図 2: 粗粒度再構成可能アーキテクチャの構成要素 (左: 状態遷移機械による制御が可能な改良版 ALU クラスタの構成セル、右: 制御処理系やビット演算を実現する LUT クラスタ(新規))

(4) 成果4. 「再構成可能アーキテクチャ向け故障回避機構の定量的信頼性評価」

①内容

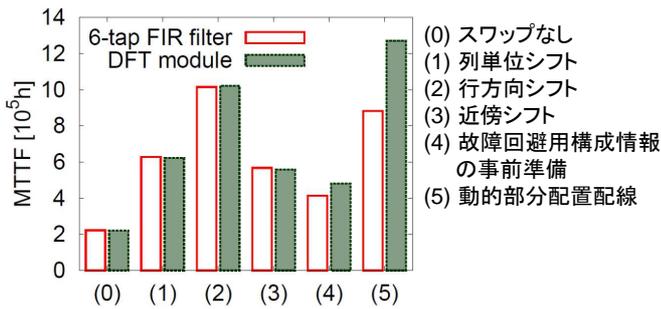
再構成可能アーキテクチャにおいて、その再構成機能を利用した故障回避機構がいくつか提案されている。しかし、これらの機構の定性的な比較はあるものの、定量的な比較は十分に行われていない。開発している粗粒度再構成可能アーキテクチャに適した故障回避機構を明らかにするためには、定量的な比較・評価が不可欠である。そこで、代表的なハードウェアサポートによる故障回避の 3 方式と、再構成による故障回避の 2 方式に注目し、同一の論理的機能をもつアレイに複数の同一アプリケーションをマッピングすることにより、その効果を初めて定量的に比較評価した[11]。動的なディペンダビリティの実現に向けて、回路の動作履歴と NBTI 劣化との関係を明らかにするとともに[22]、回路のスタンバイ時にスキャンチェーンを通じて回路をランダムにゆっくりと動作させることにより、NBTI による劣化進行が抑制できることを示した[12]。さらに、回路の適応的な速度制御に取り組み、有効性を試作チップの動作で実証するとともに[6][8][25]、セキュアシステム向け真性乱数生成のためのゆらぎ増幅回路を考案し、その有効性を実証した[7]。

②有用性

回路寿命と故障回避数には強い相関が見られること、方式によって予備回路の使用効率が大きく異なること、寿命延長効果を最大化するためには、予備回路を劣化から守る必要があること、スキャンチェーンを通じて回路をゆっくり動作させることによって経年劣化を抑制できること、などの高信頼アーキテクチャ設計に有益な評価結果を得た。

③優位比較

定性的な比較にとどまっていた従来の評価と比べ、具体的な論理的に同一なアーキテクチャに同じアプリケーションを実装し、さらに広範な故障回避方式を同一土俵で定量的に比較した結果は初めてである。



	スペア・未使用 BE 数	平均故障回避数	スペア使用効率
(1) 列単位シフト	18	3.00	16.6 %
	8	2.00	25.0 %
(2) 行方向シフト	18	11.77	65.4 %
	8	5.23	65.4 %
(3) 近傍シフト	8	4.09	51.1 %
	4	2.32	58.0 %
(4) 故障回避用構成情報の事前準備	20	2.00	10.0 %
(5) 動的部分配置配線	20	7.63	38.2 %

図3: 5つの故障回避方式におけるMTTF, 平均故障回避数, スペア使用効率の評価結果

(5) 成果5. 「中性子起因ソフトウェアの特性評価」(再構成アーキテクチャグループ)

①内容

中性子起因のソフトウェアにおいて、一つの中性子が Si 基板に衝突したときに複数のメモリ素子の値反転が問題視され、多く評価されてきた。一方で、組み合わせ回路に発生する複数のパルスが生じる現象(Single Event Multiple Transients; SEMT)や、低電圧動作時の SRAM ソフトエラー発生メカニズムについて、直接的な測定結果に基づく評価はこれまでなかった。本研究では、組み合わせ回路に発生する SEMT を観測する回路を新たに考案し、65nm プロセスで試作したテストチップを用いた中性子照射加速試験により、0.7V 動作では 40%のイベントに対して、複数のパルスが発生している事実を明らかにした[5]。SRAM の超低電圧動作時のソフトウェア耐性を評価するため、10T 型の SRAM テストチップを開発し、中性子照射加速試験により 0.3V 動作時には 1V 動作と比べて 8 倍のソフトウェア率となることを明らかにした[9] [26]。

②有用性

SEMT の測定において、センシティブノードの距離と同時パルス数の関係を明らかにすることができた。これは冗長化回路のソフトウェア耐性を確実なものとする実装において、大変貴重な評価指標となる。SRAM の測定では、今後の微細化や低電圧化によってクリティカルチャージが小さい SRAM を先取りした評価結果であり、今後はプロトンに起因する 1 ビットエラーが急増することを明らかにした。これにより、今後の SRAM 設計で考慮すべき新たな設計課題を示した。

③優位比較

これまで、デバイスシミュレーション等による SEMT の可能性は報告があったが、実際のデバイスでの観測結果は世界初の報告である。これまでの SRAM のソフトウェア耐性は 0.7V 程度までであり、0.3V でのソフトウェア評価は世界初である。

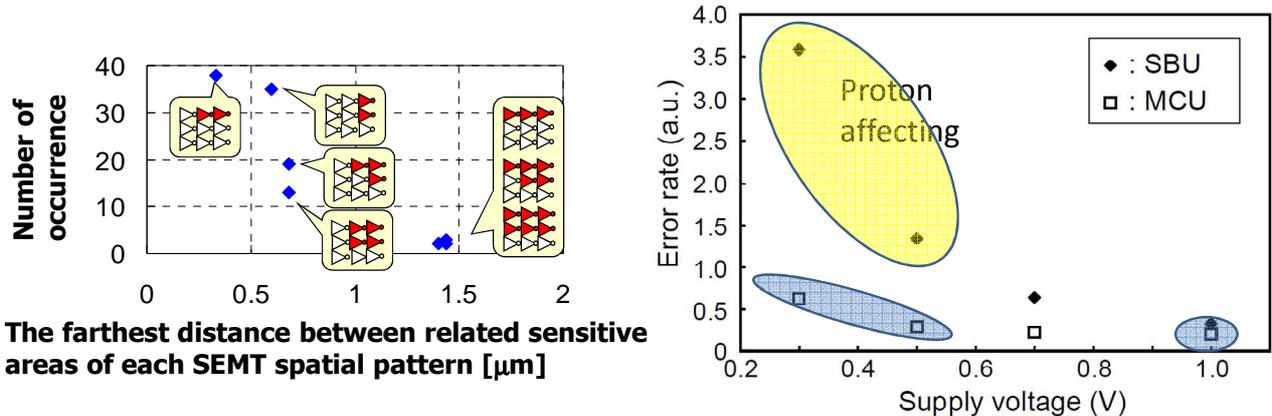


図4: ソフトエラー測定結果 (左: SEMT の空間形状別発生数とセンシティブノード間距離の関係, 右: SRAM ソフトエラーの電圧依存性) (SBU: single bit upset, MCU: multiple cell upsets)

(6) 成果6.「適応的多重化を行うプロセッサのチップ試作と α 線耐性評価」(再構成プロセッサグループ)

①内容

通常 FF を用いて実装した DARA と冗長化 FF を用いて実装した DARA を搭載するチップを試作して α 線照射を行い、DARA の故障耐性の実評価と、冗長化 FF をプロセッサ・レベルの大規模回路に用いた場合の評価を行った。

②有用性

通常 FF を用いて実装した DARA に対し、耐故障動作を有効化/無効化して動作を行わせつつ α 線を照射する実験において、耐故障動作を無効化した場合はソフトエラーによるものと思われる異常動作が発生したのに対し、耐故障動作を有効化した場合はソフトエラーの挿入を発見して再実行による回復を行なっていることが動作ログより確認できた。また、冗長化 FF を用いた実装では、短期間の評価では耐故障動作を無効化した場合においてもエラー発生を観測することは無く、冗長化 FF はプロセッサ・レベルの大規模回路においても有用であることが示せた。

③優位比較

DARA の細粒度の耐故障動作により、故障発生率が非常に高い状況においても、ソフトエラーの検出/再実行による回復を行えることを確認した。また、通常 FF を用いて実装した DARA(2 パイプライン)の面積である 5.09mm^2 と、冗長化 FF を用いて実装した DARA(2 パイプライン)の面積である 8.51mm^2 を比較することにより、現実の大規模回路で冗長化 FF を利用する場合の面積オーバーヘッドの目処を示すことができた。

(7) 成果7.「一時故障に強靱な冗長化フリップフロップ」(再構成プロセッサグループ)

①内容

回路レベルとレイアウトレベルで一時故障によるエラー耐性を強化したフリップフロップを 65nm プロセスにて試作し、中性子ビームでソフトエラーの耐性を評価した。レイアウトレベルでの対策をする前とした後でのソフトエラー数の比較を下図に示す。ツインウェル上の提案 FF(BCDMR FF)はエラー0 と通常の FF の 100 倍以上のエラー耐性となった。

②有用性

従来は、Intel 社などが利用している DICE ラッチが高性能プロセッサに用いられてきた。DICE ラッチは面積効率が良いものの、エラー耐性はクロックを加えていない場合でも、高々 10 倍程度と低い。提案 FF は、100MHz でもエラー0 となった。クロック周波数が高くなると FF 内部と外部で発生したエラーパルスを取り込む可能性が高くなる。

③優位比較

従来のエラー耐性の評価はラッチを用いており、クロックを与えずに行っている。先にのべた通り Intel 社の冗長化ラッチはエラー耐性は 10 倍程度、富士通の SEILA と呼ばれる DICE 型ラッチも、我々のアプローチと同様、レイアウト構造を変更することによりエラー耐性を 100 倍程度向上させている。しかし、その評価はクロックなしで行われており我々の 100MHz での評価は有用性が高い[21]。さらに、BCDMR はその構造からばらつきにも強く、既存の BISER 型 FF と比べて、ツインウェルで 3/4, トリプルウェルで 1/2 となることを実測により求めた[20]。

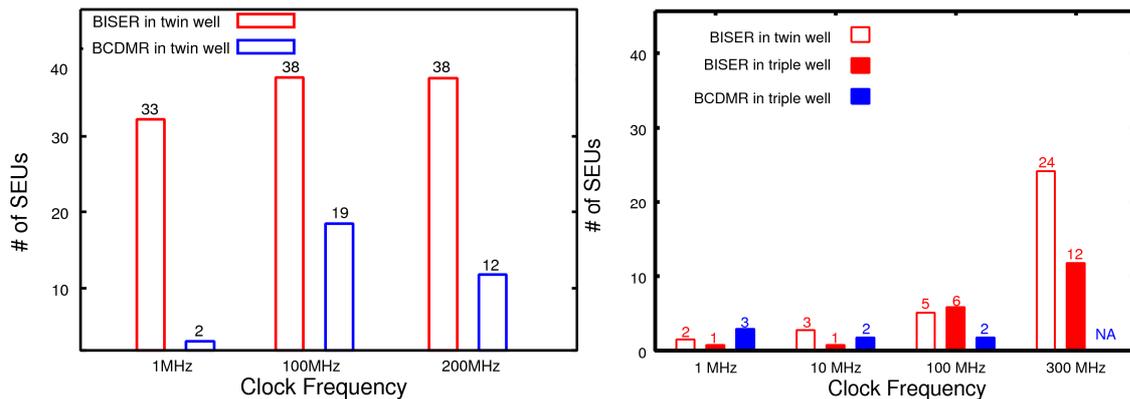


図5: 中性子ビームによる 360kbit のFFのソフトエラー測定結果 (左:通常構造の耐ソフトエラーFFのエラー数, 右: レイアウト構造を変更した耐ソフトエラーFFのエラー数)

その他、記憶素子の反転の根本的要因である SET パルスについても、[3], [15]にて、明らかにしている。[3]では、SET パルス長を正確に測定する技術を提案した。[15]では、冗長化 FF で大きな問題となる MCU とウェル電位変動との関係を明らかにし、MCU とウェル電位変動との相関はほぼ 100%であることを突き止めた。ウェル電位の変動は、提案の省面積なセンサーを用いることで効率的に捕えることができる。

(8) 成果8.「粗粒度再構成可能アーキテクチャ向け選択的三重化の最適化手法の開発」(マッピング技術グループ)

①内容

粗粒度再構成可能アーキテクチャと選択的三重化に注目し、与えられた回路面積等の制約のもとで、ソフトエラー耐性を最大化すべく、三重化を適用する箇所を自動的に選択する手法を開発した。ソフトエラー耐性の正確な評価には、アプリケーションの配置配線や故障挿入シミュレーションによる信頼性評価が必要になるが、これらには多くの時間を要する。そこで本研究グループでは、配線資源の信頼性モデルを利用して、アプリケーションの DFG から配置配線結果を推定することで、最適な三重化の適用箇所の探索をヒューリスティックにより加速した。また、これまでに構築してきた自動配置配線ツールを含む信頼性評価環境を用いて、提案手法の有用性を示した。右図に示すように、開発したヒューリスティックによってほぼ理想的な設計空間探索が可能になっている。

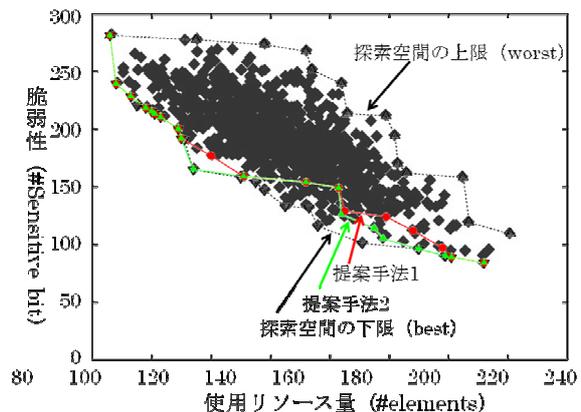


図6: 信頼性と面積のトレードオフのための設計空間探索の高速化ヒューリスティック

②有用性

選択的三重化は与えられた信頼性制約下で最もリソース使用量の少ない回路実装を行う上で極めて有用であり、これを適用するためには三重化すべき箇所を最適に選択することが必要である。そのための第一段階として、ヒューリスティックにより探索が高速化できることを示唆する結果を得たことの意義は大きく、今後の研究への大きな足がかりとなる。

③優位比較

粗粒度再構成可能アーキテクチャとこれに向けた配置配線ツールは先行研究事例が少なくないが、多重化を導入する等、ディペンダビリティを考慮したツールは見られない。

FPGA を対象とした Sensitive bit の評価および部分的三重化の導入は Los Alamos 研究所などで研究が行われているが、粗粒度再構成可能アーキテクチャを対象としたものは見られない。

(9) 成果9.「C 言語動作合成ツールを利用した再構成可能アレイアーキテクチャの評価と改良案の提言」(C 設計ツール技術グループ)

①内容

再構成可能アレイのアーキテクチャ向けに対応させた C 言語動作合成ツールを利用し、いくつかの C 言語記述のアプリケーションを再構成可能アレイ向けに合成して性能及びリソース量を定量的に評価することで、実アプリケーションによる現アーキテクチャの評価を行った。評価の結果、現アーキテクチャで制御処理を実現する際の性能とリソース量の問題点を明らかにした。問題解決のためにアーキテクチャの改良案として、細粒度再構成可能要素の追加と有限状態機械の導入による時間方向のリソース共有の実現を提言し、アーキテクチャの一般化に貢献した。

②有用性

提言した改良案が実現されることで、従来のアーキテクチャが得意としていたデータストリーミング処理系だけでなく、不得意としていた制御処理系のアプリケーションの性能が向上し、再構成可能アレイが有用なアプリケーション領域が拡大される。また、C 言語動作合成ツールが得意とする時間方向のリソース共有を行った合成結果のマッピングが行いやすくなり、アプリケーション実現時のリソース量削減が実現される。

③優位比較

ルネサステクノロジー社の粗粒度再構成可能アレイDRPと比較すると、設計支援環境に関してはDRPと同様にC 言語での設計が可能となる見込みであり、適用可能なアプリケーション領域は同程度に引き上げられる。さらに、本研究チームの再構成可能アレイで追加が検討されている細粒度再構成要素が実現された場合、適用可能なアプリケーション領域は DRP より広範囲になることが期待される。

(10) 成果10.「粗粒度再構成可能アレイとプロセッサが協調動作する IP の整備」(アプリケーション展開に向けた評価・実用化検討グループ)

① 内容

再構成アーキテクチャグループならびに再構成プロセッサグループと連携し、粗粒度再構成可能アレイとプロセッサが協調動作する再構成可能 VLSI プラットフォームの設計を行い、RTL (レジスタトランスファレベル) の HDL 記述による IP として整備した。

②有用性

「リアルタイム画像処理」と「(高速フーリエ変換等の) 信号処理演算」の2種類のアプリケーションへの適用を念頭に、再構成可能 VLSI プラットフォームの設計を行った。試作予定のチップの入出力ピン数の制限を考慮しながら、メモリアクセスもしくは入出力の速度の上限がアプリケーション実行速度のボトルネックとならないように外部仕様の策定を行った。設計結果については、市販 FPGA (ALTERA) ボードを用いた検証を継続して行い、高い再利用性を持つ IP として他者に提供できるようにすることを目指している。

③優位比較

プロセッサ単体であれば、すでに様々な IP が提供されているが、再構成可能アレイとプロセッサを統合し、画像処理あるいは信号処理の分野で、性能と信頼性のトレードオフを変更できる VLSI プラットフォームを IP として提供できる環境を構築したことが、本研究独自の取り組みである。

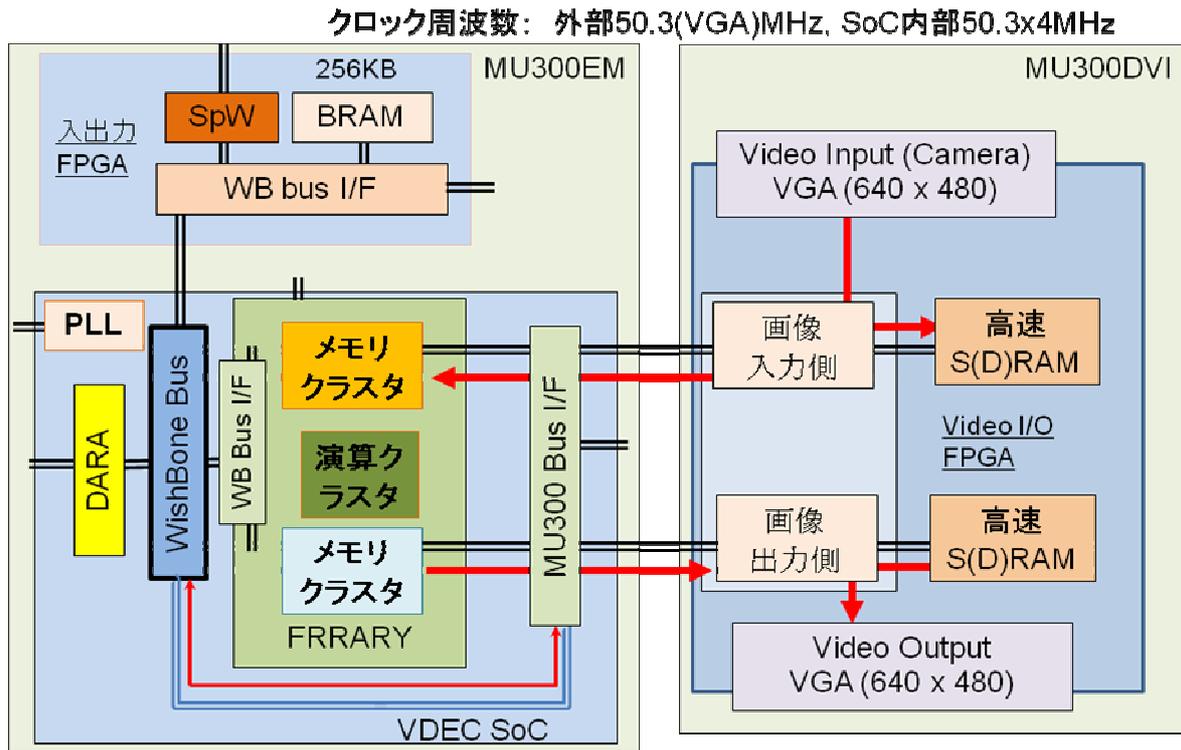


図7:粗粒度再構成可能アレイとプロセッサからなるIPとその動作環境のブロック図

(2) 上記(1)のうち、特筆すべき成果

(1) 特に顕著な成果(科学や技術の新しい分野の展望など)

上記(1)にて説明した成果は、いずれもディペンダブルVLSIプラットフォームの実現に不可欠なマイルストーンを達成する内容となっている。これらの中で、本プロジェクトを超えたより広範な学術領域に貢献しうる成果としては、ソフトウェアに関する一連の理論的および実験的な検討結果(成果5、6、7)を挙げることができる。

例えば成果5では、0.3 V という低い電源電圧におけるソフトウェア現象を世界で初めて評価した。その結果、プロトン起因の1ビット反転が急増する事や、複数ノードに跨るパルス発生頻度とノード間距離の関係などの貴重な実験データを収集することができた。成果7においても、複数ビット同時反転現象の観測と解析に基づき、従来の回路より格段にソフトウェア耐性を高めたフリップフロップを開発した。更に、複数ビット同時反転を除去するためのレイアウト設計ガイドラインを示しその効果を実験的に確認しており、回路レベルでソフトウェア耐性を高めるための重要な知見を得た。

(2) 当初計画で想定外であった重要・新規な展開

今年度の重要かつ新規な展開として、粗粒度再構成可能アーキテクチャ FRRARY の改良(成果3、9)が挙げられる。当初計画では、FRRARY ではストリーミング処理の高速化を実現し、条件分岐などの制御処理は高信頼プロセッサで実現する方式を想定していた。しかしながら、DRP などの粗粒度動的再構成可能アレイの開発を主導したC設計ツール技術グループの新規加入に伴い、プロセッサとFRRARYの処理分担に関する精査を行った。その結果、制御構造をもたないデータ処理系部分のみをFRRARYにて処理するだけでは、高速化できるCプログラムがGPGPUのようなSIMD系プロセッサと同様の狭い範囲に限定されてしまうことが判明した。そこで、条件分岐などの制御構造を含むより大きなプログラムをFRRARYで実行できるように、アーキテクチャや設計環境を大幅に変更した。これにより、GPGPUでは加速できないような判断を多く含む処理の高速化も可能となった。また、本変更によりCPUとの通信量を削減するようなSW-HW(FRRARY)分割が可能となるため、更なる高速化

が図れる。通信制御等に適用することも可能となった。

ビット処理や論理演算などの細粒度処理機能についても改良を施した。その結果、FPGA等の細粒度再構成可能アーキテクチャの利点(ビット処理や論理演算処理が高効率)と、STP等の粗粒度再構成可能アーキテクチャの利点(算術演算が高効率)の双方を両立させたアーキテクチャにすることができた。

FRRARY用のC言語コンパイラも、実績のある既存の動作合成ツール(CyberWorkBench)を改良する方向へ変更したため、当初計画と比べ格段に実用的な回路への適用が可能となった。FRRARYが大規模化した場合を想定して、非常に複雑な実用レベルのCプログラムをFRRARYで実行した場合の性能等も予測できるようになる。その過程の合成実験を通じ、動作合成と論理合成ツールの役割分担、アーキテクチャとの連携、デバッグ性、テスト容易性の議論等、実用的な利用方法に関する議論が進んだ。

これらの改良により、FRRARYの用途が格段に汎用化し、ディペンダビリティを担保しつつ高速高性能化を図るという方向性への端緒をひらくことができた。

§ 4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. Islam A.K.M Mahfuzul, Akira Tsuchiya(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), "Variation-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variation," Proceedings of 2011 IEEE International Conference on Microelectronic Test Structure(ICMTS), pp. 153-157, April 2011. DOI: 10.1109/ICMTS.2011.5976878
2. Takashi Matsumoto, Hiroaki Makino(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), "A 65 nm Complementary Metal-Oxide-Semiconductor 400 ns Measurement Delay Negative-Bias-Temperature-Instability Recovery Sensor with Minimum Assist Circuit," Japanese Journal of Applied Physics, vol. 50, 04DE06, April 2011, DOI: 10.1143/JJAP.50.04DE06b
3. Jun Furuta(Kyoto Univ.), Chikara Hamanaka, Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), "Measurement of Neutron-induced SET Pulse Width Using Propagation-induced Pulse Shrinking," Proceedings of 2011 IEEE International Reliability Physics Symposium, pp. 5B2.1-5B2.5, April 2011, DOI:10.1109/IRPS.2011.5784520
4. Kyosuke Ito, Takahi Matsumoto, Shinichi Nishizawa, Hiroki Sunagawa(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), "The Impact of RTN on Performance Flucuation in CMOS Logic Circuits," Proceedings of 2011 IEEE International Reliability Physics Symposium, pp. CR.5.1-CR.5.4, April 2011, DOI:10.1109/IRPS.2011.5784563
5. R. Harada (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), "Neutron Induced Single Event Multiple Transients with Voltage Scaling and Body Biasing," Proceedings of International Reliability Physics Symposium (IRPS), pp. 253--257, April 2011, DOI: 10.1109/IRPS.2011.5784485.
6. H. Fuketa (Univ. of Tokyo), D. Kuroda, M. Hashimoto, and T. Onoye (Osaka Univ.), "An Average-Performance-Oriented Subthreshold Processor Self-Timed by Memory Read Completion," IEEE Transactions on Circuits and Systems II, vol. 58, no. 5, pp. 299--303, May 2011, DOI: 10.1109/TCSII.2011.2149110.
7. T. Amaki, M. Hashimoto, and T. Onoye (Osaka Univ.), "An Oscillator-Based True Random Number Generator with Jitter Amplifier," Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), pp. 725--728, May 2011, DOI: 10.1109/ISCAS.2011.5937668.

8. M. Hashimoto (Osaka Univ.) and H. Fuketa (Univ. of Tokyo), "Adaptive Performance Compensation with On-Chip Variation Monitoring (Invited)," Proceedings of International Midwest Symposium on Circuits and Systems (MWSCAS), August 2011, DOI: 10.1109/MWSCAS.2011.6026381.
9. H. Fuketa (Univ. of Tokyo), M. Hashimoto (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), and T. Onoye (Osaka Univ.), "Neutron-Induced Soft Errors and Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM," IEEE Transactions on Nuclear Science, vol. 58, no. 4, pp. 2097--2102, August 2011, DOI: 10.1109/TNS.2011.2159993.
10. Takashi Matsumoto, Hiroaki Makino (Kyoto Univ.), Kazutoshi Kobayashi (Kyoto Institute of Tech.), Hidetoshi Onodera (Kyoto Univ.), "Multi-core LSI Lifetime Extension by NBTI-Recovery-bases Self-healing," Proceedings of International Conference on Solid State Devices and Materials, pp. 1045-1046, September 2011.
11. H. Konoura (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), "Implications of Reliability Enhancement Achieved by Fault Avoidance on Dynamically Reconfigurable Architecture," Proceedings of International Conference on Field Programmable Logic and Applications (FPL), pp. 189--194, September 2011, DOI: 10.1109/FPL.2011.108.
12. T. Kameda, H. Konoura (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), "NBTI Mitigation by Giving Random Scan-In Vectors during Standby Mode," Proceedings of International Workshop on Power And Timing Modeling, Optimization and Simulation (PATMOS), pp. 152--161, September 2011, DOI: 10.1007/978-3-642-24154-3_16.
13. J. Kawashima, H. Tsutsui, H. Ochi, and T. Sato (Kyoto Univ.), "A Design Strategy for Sub-Threshold Circuits Considering Energy-Minimization and Yield-Maximization," Proc. of 2011 IEEE International SOC Conference (SOCC), pp. 57 - 62, Sep. 2011, DOI: 10.1109/SOCC.2011.6085076.
14. T. Sato, T. Kozaki, T. Uezono, H. Tsutsui, and H. Ochi, "A Device Array for Efficient Bias-Temperature Instability Measurements," Proc. of 2011 European Solid-State Device Research Conference (ESSDERC), pp. 143 - 146, Sep. 2011, DOI: 10.1109/ESSDERC.2011.6044214.
15. Jun Furuta (Kyoto Univ.), Ryosuke Yamamoto, Kazutoshi Kobayashi (KIT), Hidetoshi Onodera (Kyoto Univ.), "Correlations between Well Potential and SEUs Measured by Well-Potential Perturbation Detectors in 65nm," Proceedings of 2011 IEEE Asian Solid-State Circuits Conference, pp. 209-212, November 2011,
16. Norihiro Kamae, Akira Tsuchiya, and Hidetoshi Onodera (Kyoto Univ.), "An Area Effective Forward/Reverse Body Bias Generator for Within-Die Variability Compensation," Proceedings of 2011 IEEE Asian Solid-State Circuits Conference, pp. 217-220, November 2011,
17. Hidetoshi Onodera (Kyoto Univ.), "Dependable VLSI Program in Japan -- Program Overview and the Current Status of Dependable VLSI Platform Project --," Proceedings of 2011 Asian Test Symposium, pp. 492 - 495, November 2011, DOI: 10.1109/ATS.2011.56
18. Bishnu Prasad Das, Hidetoshi Onodera (Kyoto Univ.), "Reconfigurable Array-Based Area-Efficient Test Structure for Standard Cell Characterization," Proceedings of 2011 International Workshop on RTL and High Level Testing, pp. 113-118, November 2011.
19. T. Matsumoto (Kyoto Univ.), K. Kobayashi (Kyoto Institute of Tech.), and H. Onodera (Kyoto Univ.), "Impact of RTN and NBTI on Synchronous Circuit Reliability," IEEE/ACM Workshop on Variability

Modeling and Characterization, San Jose, CA, USA, Nov. 2011

- 20.C. Hamanaka, R. Yamamoto(Kyoto Institute of Tech.), J. Furuta(Kyoto Univ.), K. Kubota, K. Kobayashi(Kyoto Institute of Tech.), and H. Onodera(Kyoto Univ.), “Variation-Tolerance of a 65-nm Error-Hardened Dual-Modular-Redundancy Flip-Flop Measured by Shift-Register-Based Monitor Structures,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E94-A, no.12, pp. 2669–2675, Dec. 2011, DOI: 10.1587/transfun.E94.A.2669.
- 21.R. Yamamoto, C. Hamanaka(Kyoto Institute of Tech.), J. Furuta(Kyoto Univ.), K. Kobayashi(Kyoto Institute of Tech.), and H. Onodera(Kyoto Univ.), “An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets,” IEEE Trans. on Nuclear Science, vol.58, no.6, pp. 3053 – 3059, Dec. 2011, DOI: 10.1109/TNS.2011.2169457
- 22.H. Konoura (Osaka University), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “Stress Probability Computation for Estimating NBTI-Induced Delay Degradation,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E94-A, no. 12, pp. 2545--2553, December 2011, DOI: 10.1587/transfun.E94.A.2545.
- 23.Shuichi Fujimoto, Takashi Matsumoto, Hidetoshi Onodera(Kyoto Univ.), “Inhomogenous Ring Oscillator for WID Variability and RTN Characterization,” Proc. 25th IEEE International Conference on Microelectronic Test Structures, pp.25–30, March 2012.
- 24.Shinichi Nishizawa, Hidetoshi Onodera(Kyoto Univ.), “Ring Oscillator with Calibration Circuit for Accurate On-Chip IR-drop Measurement,” Proc. 25th IEEE International Conference on Microelectronic Test Structures, pp.3–8, March 2012.
25. H. Fuketa (Univ. of Tokyo), M. Hashimoto (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), and T. Onoye (Osaka Univ.), “Adaptive Performance Compensation with In-Situ Timing Error Predictive Sensors for Subthreshold Circuits,” IEEE Transactions on VLSI Systems, vol.20, no.2, pp. 333–343, Feb. 2012, DOI: 10.1109/TVLSI.2010.2101089.
- 26.R. Harada (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “SET Pulse-Width Measurement Eliminating Pulse-Width Modulation and Within-Die Process Variation Effects,” Proceedings of International Reliability Physics Symposium (IRPS), to appear.
27. Takashi Sato, Hiromitsu Awano, Hirofumi Shimizu, Hiroshi Tsutsui, and Hiroyuki Ochi, “Statistical observations of NBTI-induced threshold voltage shifts on small channel-area devices,” Proc. International Symposium on Quality Electrical Design (ISQED), pp.306–311, March, 2012.

(4-2) 知財出願

- ① 平成23年度特許出願件数(国内 0 件)
- ② CREST 研究期間累積件数(国内 3 件)