

「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」
平成21年度採択研究代表者

H22 年度 実績報告

大毛利 健治

筑波大学大学院数理物質科学研究科・准教授
(早稲田大学ナノ理工学研究機構・准教授)

ナノデバイスのピコ秒物理の解析による揺らぎ最小化設計指針の開発

§1. 研究実施の概要

第2年次である平成22年度は、本研究課題の最も大きな目的である「ピコ秒領域の物理構築」において、実験／理論／シミュレーションの各グループが、どのようにアプローチし、且つお互いのグループの結果をどのようにフィードバックするかの指針を明確にすることに重点をおいた。その結果、実験とシミュレーションのグループは、雑音スペクトルの周波数ドメインで1GHzという周波数をそれぞれ低周波及び高周波側からアプローチし、その前後を理論グループが古典と量子のクロスオーバーをキーワードに包括するという、平成23年度以降に注力できる方針を定めることが出来た。

§2. 研究実施体制

(1) 「実験」グループ

- ① 研究分担グループ長:大毛利 健治 (筑波大学大学院数理物質科学研究科、准教授)
- ② 研究項目(ナノデバイスにおけるピコ秒領域のキャリア伝導観測と解析)
 - (1-1) 静特性ばらつきと雑音特性の相関
 - (1-2) 雑音特性に与えるキャリア伝導機構の影響
 - (1-3) 金属/high-k 絶縁膜トランジスタにおける雑音特性

(2) 「理論」グループ

- ① 研究分担グループ長:白石 賢二 (筑波大学大学院数理物質科学研究科、教授)
- ② 研究項目(ピコ秒・ナノスケールの物理の構築とナノデバイス設計指針)
 - (2-1) オーミック接触の新しい物理モデルの提案
 - (2-2) ピコ秒領域の伝導の光測定による検出
 - (2-3) 量子古典クロスオーバー系の伝導機構の検討

(3) 「シミュレーション」グループ

- ① 研究分担グループ長:渡邊 孝信 (早稲田大学理工学術院、准教授)
- ② 研究項目(大規模シミュレーションによるナノデバイス伝導機構の検証と提案)
 - (3-1) EMC-MD 法によるナノサイズ・ピコ秒領域の電流揺らぎの解析
 - (3-2) トンネル FET の電気特性評価
 - (3-3) 分子動力学法による Si ナノ構造中のフォノンの解析

§3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

研究項目1(実験ナノデバイスにおけるピコ秒領域のキャリア伝導観測と解析)

研究実施内容(1-1) 静特性ばらつきと雑音特性の相関 ①

MOSFET のゆらぎはデバイスの微細化・高性能化にとって、最も懸念される問題の一つである。ゆらぎは、多数のトランジスタ間の静特性ばらつきと、単一トランジスタの時間ゆらぎ(雑音)に分けることができる。

図1は、静特性のばらつき(Pelgrom plot)である。不純物濃度が小さい方が傾きが小さく、不純物離散化によるばらつきが小さいことがわかる。図2は、 $L/W = 190 \text{ nm}/2\mu\text{m}$ のトランジスタに対するドレイン電流の静特性ばらつき(σ_{Id}/Id)のゲートオーバードライブ電圧依存性である。どちらの基板不純物濃度においても、 σ_{Id}/Id の値はサブスレッショルド電圧近傍で大きな値を持つが変化が少なく、ゲート電圧が大きくなりしきい値近傍からキャリア数が増大する事により単調に減少する。この変化は、MOSFET のチャネル伝導がしきい値前後で拡散伝導からドリフト電流に変化する事とよく合致している。また着目すべき点として、基板不純物濃度が小さい方が、しきい値での傾きが大きいことが挙げられる。

図2で用いたものと類似の寸法(L, W)のMOSFETに対して、雑音測定を行った。図3はドレイン電流で規格化した雑音スペクトルのゲートオーバードライブ電圧及び基板電圧への依存性である。基板不純物濃度が高いときは、移動度の低下を反映して雑音が大きくなる。さらに、基板不純物濃度が小さい方が、その傾きが大きい。この事は、静特性ばらつきでも観測された様に、しきい値前後でのキャリア伝導機構の変化と密接に関わっていると考えられる。

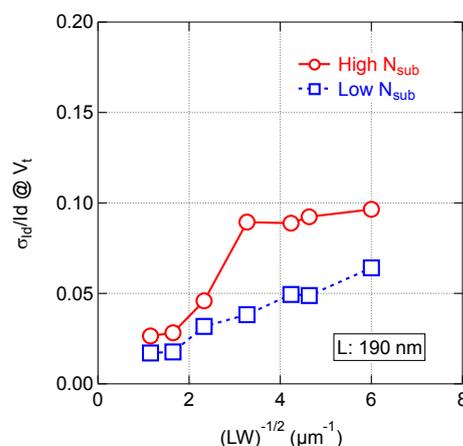


図1 N-MOSFET の静特性ばらつき(ペルグロムプロット)。しきい値でのドレイン電流値のばらつきの大きさを評価した。ゲート長190nm のトランジスタに対して、ゲート幅を変化させた。

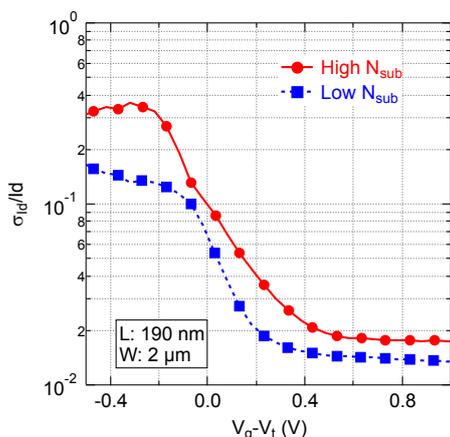


図2 I_d - V_g 特性のミスマッチスイープ。ドレイン電流ばらつきのゲート電圧依存性。ばらつきはしきい値前後で大きく変化していることがわかる。

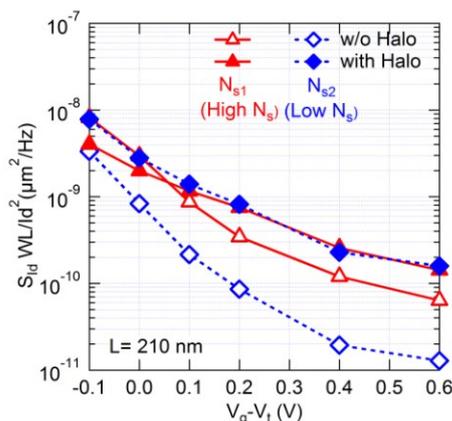


図3 規格化した雑音パワースペクトル強度。ゲート絶縁膜はいずれも3nm厚のSiO₂膜であるが、ゲート電圧依存性はチャネル不純物の濃度と分布に依存する。

以上、多数のトランジスタ測定によって得られる静特性のばらつきと一つのトランジスタ計測から得られる雑音特性のばらつきを比較し、キャリア伝導機構の見地から考察した結果、その共通の依存性を見いだすことが出来た。

研究実施内容(1-2) 雑音特性に与えるキャリア伝導機構の影響

図3で述べた様に、規格化した雑音スペクトル強度のゲートオーバードライブ電圧依存性はチャネルの作製条件(基板不純物濃度、ハロー注入の有無、ゲート長)に依存する。しきい値前後の雑音強度とトランジスタのチャネルにおける伝導機構を詳細に比較した結果、図3におけるしきい値での雑音強度の変化(傾き)は、デバイスのサブスレッショルド・スロープに依存する事が明らかになった(図4)。しきい値前後においてドレイン電流の伝導機構は、それぞれ拡散及びドリフト伝導である事を考慮すると、この結果は、雑音特性がキャリアの伝導機構に依存する事を示唆している。すなわち、サブスレッショルド近傍では、本来拡散電流が支配的であるが、微細MOSFETにおいては短チャネル効果等に寄ってドリフト成分が増加する。これを以下に抑制するかが、S値の低減に欠かすことができない。しかしながら拡散電流はそのランダム性の高い伝導機構から雑音強度が高く、特性はトレードオフの関係にあると考えられる(図5)。

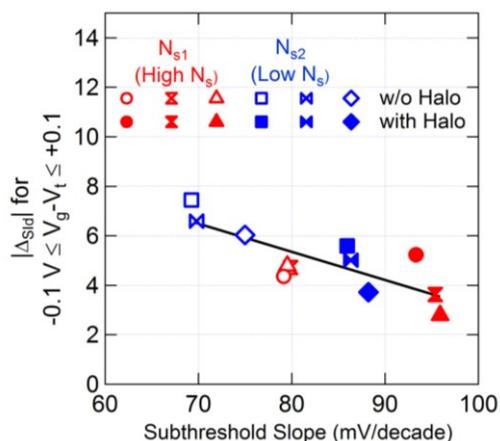


図4 閾値近傍の雑音強度の変化(傾き)とS値の関係。作製条件(基板不純物濃度、ハロー注入の有無、ゲート長)を変えたMOSFETに対して計測した。

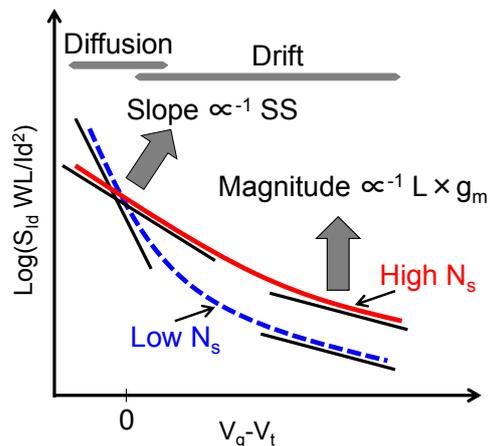


図5 ノイズ強度のゲート電圧依存性の模式図。

研究実施内容(1-3) 金属/high-k絶縁膜トランジスタにおける雑音特性

金属/high-k絶縁膜は極薄化する絶縁膜に伴うトンネルリーク電流を抑制する材料として用いられているが、新規材料の導入は新たなばらつきやゆらぎの原因となり得る。特に等価絶縁膜厚低減に有効な手法である窒化処理はトラップ密度を増大させる事が懸念されている。図6に示す様に、窒化処理の方法によってはトラップが増加し、ノイズの増大に寄与する。窒化処理は、high-k絶縁膜中の欠陥を低減させるとともに、界面層の欠陥密度を増加させる。PBTI(positive bias temperature instability)測定を行った結果、窒化処理によって寿命の低下が観測された(図7)。その結果、図8に示す様にノイズ増大に寄与するトラップはシリコンに近い界面層側に存在する事が明らかになった。

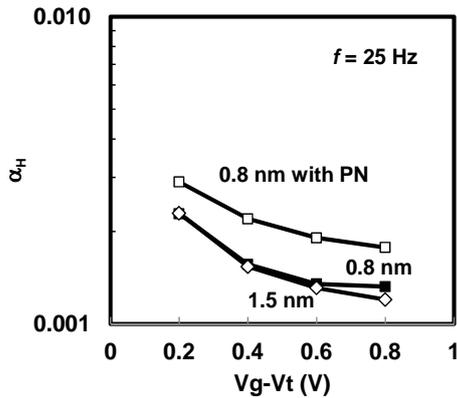


図 6 Hooge パラメータ (α_H) のゲート電圧依存性。界面層の厚さは 0.8 及び 1.5 nm。プラズマ窒化処理により、雑音特性の劣化が見られる。

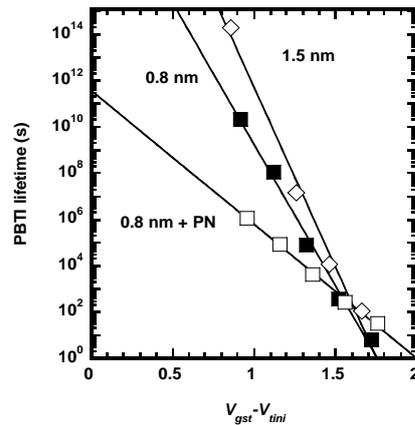


図 7 界面層の異なる MOSFET の PBTI 寿命。Vgst 及び Vtini は、それぞれストレスゲート電圧と、ストレス前のしきい値電圧。

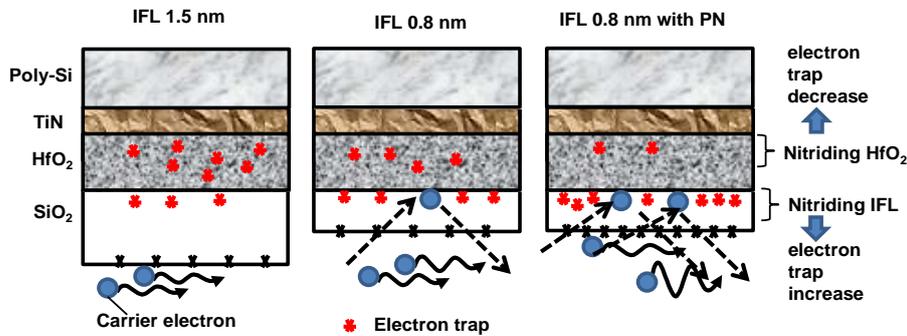


図 8 雑音及び PBTI 寿命に影響を与える電子トラップ形成の模式図。

研究項目2(理論:ピコ秒・ナノスケールの物理の構築とナノデバイス設計指針)

ナノスケールの金属/半導体コンタクト等、ナノレベルで電子の Flexibility が異なる界面での伝導を制御しオーミック接合を実現するために必要な物理モデルの構築等を行うことを手始めに、異次元系のキャリアダイナミクスを支配する物理の解明に着手した。また同時に、Flexibility の異なる界面での伝導の時間依存性に示唆を与える実験も同時に行い、ナノサイズ・ピコ秒領域の学理の構築に本格的に開始した。

研究実施内容(2-1)オーミック接触の新しい物理モデルの提案④

金属と半導体のオーミック接触形成は、様々なデバイスや量子ホール効果等の物性実験において欠かせない技術である。特に、将来の LSI に導入が期待されている金属ソース/ドレインの作製のためには金属とシリコンの界面にナノスケールのオーミック接触を作る必要があり、このとき仕事関数の制御が次の技術的な難題である。これまでオーミック接触は、ショットキー障壁高さを制御することによって達成されていると考えられてきた。しかしながら、これまでの界面物理の知見は、金属と半導体の界面でフェ

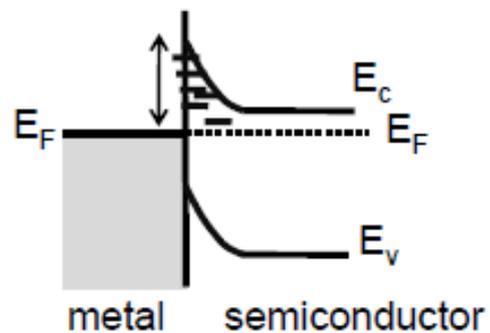


図 9 本研究で提案した新たなオーミック接触のモデル。

ルミレベルピンング現象が起こるため、ショットキー障壁高さの制御が困難であることを示している。そのため、従来のオーミック接触のバンドダイアグラムはフェルミレベルピンング現象との矛盾を含んでいると考えられる。このような観点から、本研究では実験で得られるオーミック接触と第一原理計算で考察した金属/半導体界面のフェルミレベルピンング現象の双方に矛盾のない、新たなオーミック接触のモデル(図 9)を提案した。このモデルでは、ショットキー障壁の広い範囲のエネルギー領域に多数の欠陥レベルが存在しており、電子はこの欠陥レベルを介した共鳴トンネルによる伝導によってオーミック接触が達成されていると考えている。さらに詳細について、今後の研究で本モデルの適用妥当性も含めて検討してゆく予定である。

研究実施内容(2-2) ピコ秒領域の伝導の光測定による検出^{2,5)}

発光顕微分光法は電気測定では困難な、半導体中のキャリア分布の空間分解・時間分解が可能である。そこで本研究では、Si ナノワイヤ FET の光学的評価を目的とし、シリコンナノ構造の代表的な例である Si ナノワイヤの発光顕微分光測定を行い、そのアニーリング温度依存性を調べた。図 10 に水素アニール温度 350 度の試料からの発光スペクトルを示す。発光の積分強度は、図 11 のように水素アニール温度が 350 度の試料が最も高く、水素処理をしない試料(as-depo)は最も低かった。このことは、水素アニーリングの有無またはアニーリング温度に依存した Si ナノワイヤの界面準位密度の変化を光学的に検知することができた。

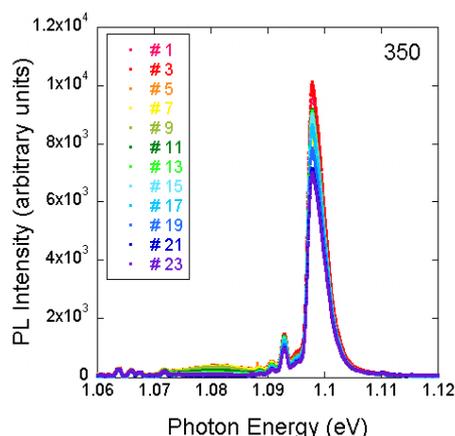


図 10 4.4K における Si ナノワイヤの発光スペクトル。

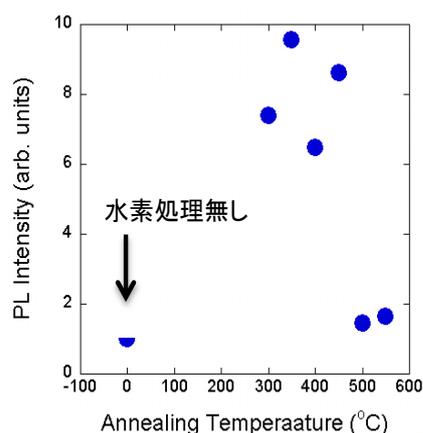


図 11 発光強度の水素アニール温度依存性。

研究実施内容(2-3) 量子古典クロスオーバー系の伝導機構の検討

ナノスケール・ピコ秒領域での物理現象においては量子論的な描象に起因する物理現象と古典的な描象による物理現象が共存すると考えられ、本研究課題における目標はこのようないわゆる量子-古典クロスオーバー現象の基本的な理解である。

その出発点として、チャンネル中の不純物ポテンシャルの効果量子力学的な側面から調べることでランダムな値の抵抗網における回路の全抵抗のサイズ依存性の結果と比較を行った。問題設定は一次元の井戸型ポテンシャルに平面波が入射した場合の透過率を調べた。井戸型ポテンシャルとして不純物ポテンシャルを想定したガウス分布に従う空間的に離散化した井戸型ポテンシャルを用い、不純物の位置をガウス分布の中心とし、ポテンシャルの中心をランダムに配置した。透過率の計算は転送行列を用いて計算した。

図 12(a)は中心位置をランダムに配置したポテンシャルにおいて電子が $x < 0$ の領域から $x = 10$ まで透過した場合、図 12(b)は $x < 0$ の領域から $x = 20$ まで透過した場合の透過確率の入射電子のエネルギー依存性をそれぞれ示した。ただし、エネルギーの値は相対値である。図 12(a), (b)共に入射粒子のエネルギーが 0.4 近傍にピークが表れる。ポテンシャル障壁よりも低い入射エネルギーである 0.4 近傍の粒子でも高い透過率を示し、図 12(a)からポテンシャルの長さが図 12(b)の様に

変化してもあまり減衰しない。この結果より次元ランダム井戸型ポテンシャルの問題ではランダムな抵抗網の場合とは違いオームの法則に従わないことを確認した。

さらに、量子古典クロスオーバー領域のマイクロな起源を検討するために、電子が粒子と波の双方の性質をもつ場合の典型的な例である波束ダイナミクスの計算を行った。その結果、波束ダイナミクスにおいては通常の基底状態の物理では考慮しなくてもよい高エネルギー状態の寄与が過渡的状態に出現することをアンダーソンモデルを例として明らかにした(図 13)。

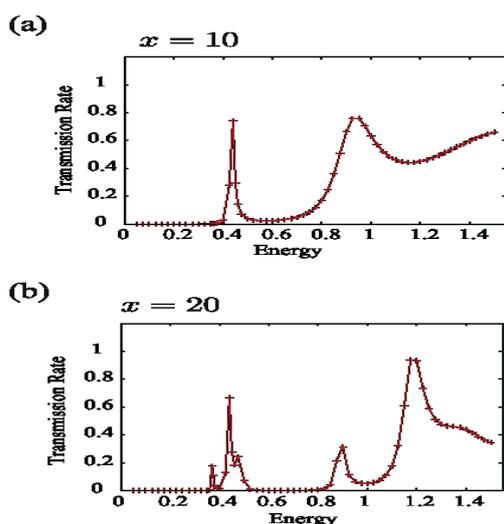


図 12 (a) $x=10$ 及び(b) $x=20$ での透過率の入射粒子のエネルギー依存性。

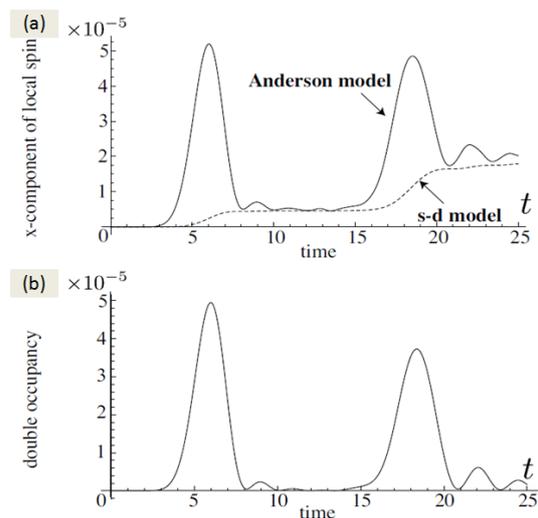


図 13 アンダーソンモデルにおける局在電子サイトの 2 電子占有状態の時間発展、非常にエネルギーの高い 2 電子占有状態の寄与が時間発展のスパイクとして出現する。

研究項目3(シミュレーション:大規模シミュレーションによるナノデバイス伝導機構の検証と提案)

アンサンブル・モンテカルロ法と古典分子動力学法を融合させた EMC-MD 法を用いて、実デバイススケールの大規模キャリア輸送シミュレーションを実現し、ナノサイズ・ピコ秒領域のキャリアダイナミクスに関する物理的描像の構築を目的とする。

研究実施内容(3-1)EMC-MD 法によるナノサイズ・ピコ秒領域の電流揺らぎの解析

H21 年度に準備した EMC-MD シミュレーション手法を用いて、ナノサイズの Si を流れる伝導電子の系統的な解析を実施した。不純物イオンを含まない狭チャネル中の電流を解析したところ、チャネルの幅方向の両端に電子が集中する様子が観察された。このような不均一なキャリア分布は、電子間 Coulomb 反発エネルギーを抑制するために生じたと考えられる。ただし、この不均一な分布が平均電流や与える顕著な影響は確認されなかった。図 14 に示す様に、シミュレーションで得られた電流の時系列データを用いて雑音のパワースペクトラムを計算したところ、10THz 以上の周波数帯域で温度に依存しない雑音成分が現れ、この雑音成分が立ち上がる周波数にチャネル幅依存性があることも確認された。この時間領域はフォノン散乱による緩和時間よりも短く、チャネル中を流れる電子の離散性が顕在化する領域であるため、電流振幅の量子化によるノイズであると考えられる。

また、ソースからチャネルに向かってチャネル幅が広がるホーン形状のシミュレーションを実施したところ、電子の運動量が前方集束を起こすコリメーション効果が現れ、平均電流値が上がり、電流揺らぎが抑制される傾向があることが確認された(図 15)。

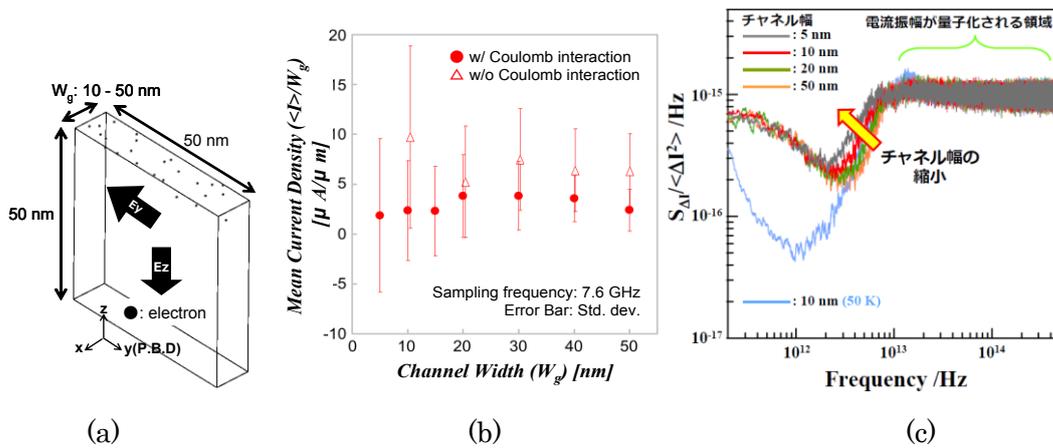


図 14 EMC-MDシミュレーションによるナノチャンネル中のキャリア輸送シミュレーション(a)シミュレーションに用いたナノワイヤモデル。(b)電流密度とチャンネル幅の関係。(c)パワースペクトル密度。

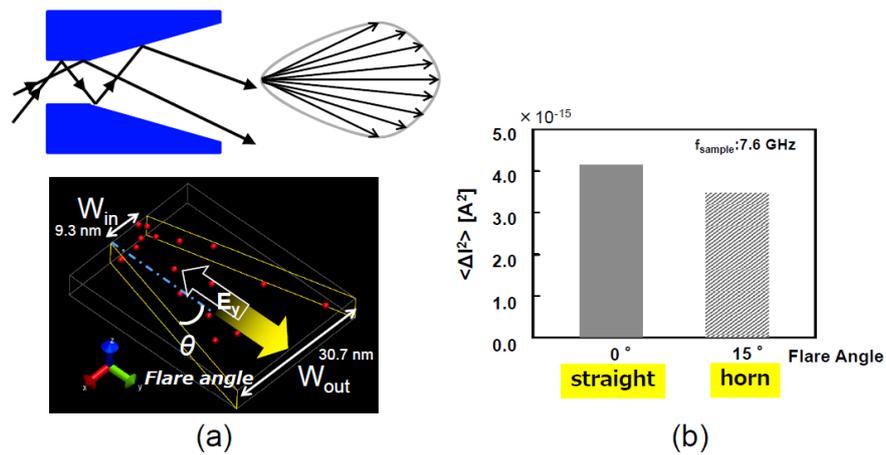


図 15 EMC-MDシミュレーションによるホーン型ナノチャンネル中のキャリア輸送シミュレーション(a)シミュレーションに用いたホーン型ナノチャンネルモデルとコリメーション効果の模式図。(b)ホーン形状の開き角(Flare Angle)と電流揺らぎの関係。

研究実施内容(3-2)トンネル FET の電気特性評価

トンネル電流を用いる FET では、ソース中のキャリア間のフェルミ相関や量子パーティションノイズのトンネル透過率依存性の効果で、電流ノイズが抑制される可能性が考えられる。Band-to-bandトンネルを用いる Si トンネル FET はオン電流が低く実用化は期待できないが、ショットキー障壁を介したトンネル電流を制御するショットキー障壁トンネル FET(SBTFET)では、ある程度のオン電流が確保される。そこで、さらなるオン電流密度の向上が期待される、ゲートオールアラウンド構造(GAA)のナノワイヤ型 SBTFET について、TCAD シミュレーションで電気特性を評価した(図 16)。その結果、SBTFET はナノワイヤ径が減少しても幅で規格化した電流密度はほとんど変わらないか、若干増える傾向があることが明らかとなった。同形状の従来型 MOSFET ではワイヤ径が小さくなるほど電流密度が減少し、直径約5nm 以下では、SBTFET のオン電流が従来型 MOSFET のそれを超える。SBTFET はソースとドレインが非対称であるという短所はあるものの、

加工揺らぎの抑制や不純物揺らぎの回避に有効であり、揺らぎが小さい静かなデバイスの候補として検討する価値があると考えられる。

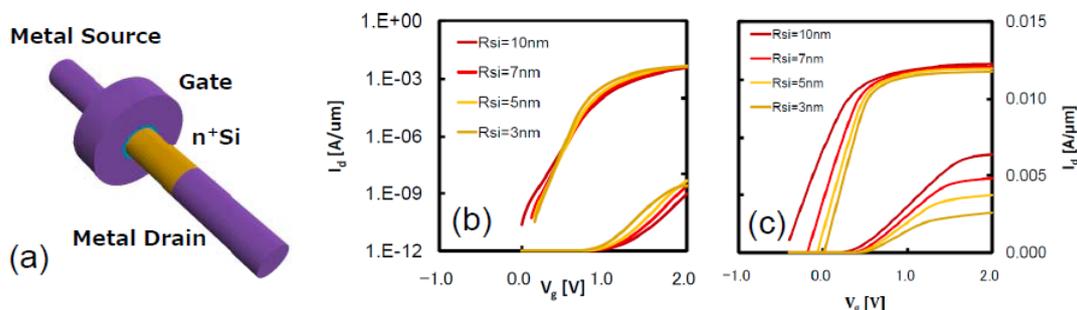


図 16 TCAD シミュレーションで計算した GAA-SBT FET の電流-電圧特性。(a)解析に用いた SBT FET モデル。(b)SBT FET の電流-電圧特性。左軸は対数、右軸は線形。Rsi は Si チャネルの直径を表す。(c)GAA 型の従来型 MOSFET の電流-電圧特性。

研究実施内容(3-3)分子動力学法による Si ナノ構造中のフォノンの解析

ナノサイズでの半導体では、フォノンの振る舞いがバルクのものから変化し、キャリア輸送に影響を与えることが考えられる。そこで、SiO₂膜に覆われた Si 結晶の分子動力学計算を実施し、フォノンの緩和時間と結晶サイズの関係性を調査した。ホットエレクトロンの注入で生じる LO モードのフォノンの緩和過程を調べたところ、Si 結晶層が薄層化するほど緩和時間が短くなる傾向が確認された(図 17)。これは、フォノンの発生源と SiO₂/Si 界面が接近した結果、界面におけるフォノンの緩和が促進されたことが原因と考えられる。今後、時空間フーリエ解析を実施し、ナノ構造中におけるフォノン分散関係の全様を明らかにする。

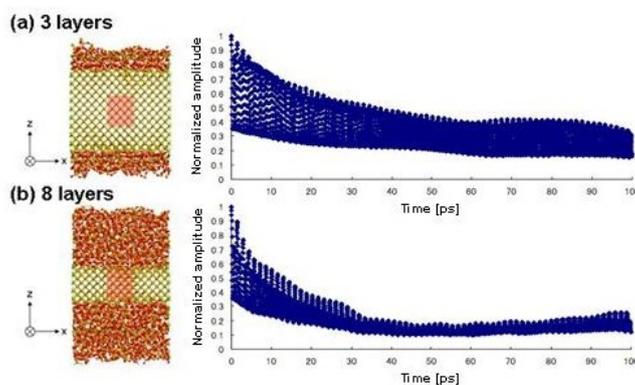


図 17 分子動力学計算で再現した LO フォノン振幅の時間変化。(a)SiO₂膜が 3 層のモデル。(b) 8 層のモデル。

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. Kenji Ohmori, Kenji Shiraishi, Keisaku Yamada,
“Influences of carrier transport on drain-current variability of MOSFETs”
Key Materials Engineering **470** (2011) pp. 184-187.
2. Y. Sakurai, S. Nomura, K. Shiraishi, K. Ohmori, and K. Yamada,
“Photoluminescence Characteristics of Ultra-Thin Silicon-on-Insulator at Low Temperatures”
Key Materials Engineering **470** (2011) pp. 39-42.
3. Yukihiro Takada, Masakazu Muraguchi, Tetsuo Endoh, Shintaro Nomura, and Kenji Shiraishi
“Investigation of the New Physical Model of Ohmic Contact for Future Nanoscale Contacts”
ECS Trans. **28** (1) (2010)pp. 73-79.
4. Y. Sakurai, S. Nomura, Y. Takada, K. Shiraishi, M. Muraguchi, T. Endoh, M. Ikeda, K. Makihara and S. Miyazaki
“Electron Tunneling Between Si Quantum Dots and Two Dimensional Electron Gas under Optical Excitation at Low Temperatures”
ECS Trans. **28** (1) (2010) pp. 369-374.
5. Kenji Shiraishi, Takuji Hosoi, Heiji Watanabe, and Keisaku Yamada
“Control of Gate Metal Effective Work Functions and Interface Layer Thickness by Designing Interface Thermodynamics”
Based on Heteroatom Incorporation into High-k HfO₂ Gate Dielectrics
ECS Trans. **33** (6) (2010)pp. 479-486.

(4-2) 知財出願

- ① 平成22年度特許出願件数(国内 1件)
- ② CREST 研究期間累積件数(国内 1件)