

尾辻 泰一

東北大学電気通信研究所・教授

グラフェン・オン・シリコン材料・デバイス技術の開発

§1. 研究実施の概要

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術の開拓のために、独自のアイデアに基づくグラフェン・オン・シリコン (GOS: Graphene On Silicon) 材料・プロセス技術の開発を通し、相補的スイッチングデバイス (CGOS) 技術、及びプラズモン共鳴テラヘルツデバイス (PRGOS) 技術の開発を行うものである。具体的には、まず、Si 基板上に SiC をエピタキシャル成長させその最上面をグラフェン化するというアイデアで、GOS の実現を図る。次に、この GOS プロセス技術を既存 CMOS プロセス技術に導入して新しい CGOS (Complementary GOS) と呼ばれる超高速・低消費電力の相補型トランジスタロジックを実現し、シリコンテクノロジーによる 1THz 以上の電流遮断周波数と超 100GHz クロック動作の実現をめざす。さらには、電子輸送に基づく CGOS の動作限界をさらに 1 桁以上超えうるプラズモン共鳴と呼ばれる新たな動作原理に基づくテラヘルツ帯信号処理デバイス (PRGOS: Plasmon Resonant GOS) を CGOS プロセスに完全整合するシリコンテクノロジーにより実現する。最終的には、CGOS と PRGOS を融合した新しい集積デバイス技術を開発し、電子輸送限界を超えた超高周波帯域の開拓をめざすものである。

本年度は、第4年次にあたり、GOS 材料デバイス技術の研究開発を一層深化させることをめざし、以下の成果を上げた。

第一に、GOS 材料技術においては、第一に、エピタキシャルグラフェンの積層構造及びエッジ終端構造の Si 基板面方位による制御に成功した。第二に、21 年度に X 線光電子分光から存在が示唆されたグラフェン電子構造の結晶面方位依存性を、角度分解光電子分光によるバンド分散測定により直接確認することに成功した。第三に、グラフェンの更なる高品質化の検討を行い、欠陥密度 90% 減少に成功した。第四に、水素を用いたグラフェン電子構造制御技術の構築に向け、GOS 表面への水素吸着・脱離の制御法を、昇温脱離法等を用いて検討した。

第二に、GOS デバイスプロセス技術において、トップゲート GOSFET の特性向上のためのオーミック電極形成技術、ゲートスタック形成技術の開発を推進した。前者では、金属種の選択と水素アニール処理の導入によってコンタクト抵抗の低減を果たした。後者では、ゲートスタックとして新たに HDMS ガス CVD による SiCN および光電子制御 CVD (多元研・高桑教授研究室の技術協力) による DLC (ダイヤモンドライクカーボン) の導入に挑戦し、各々良好なキャパシタンス特性

とゲート変調特性の確認に成功した。これらのゲートスタックによるゲート長 100nm 級トップゲート型 GOSFET の試作を進めた。また、CGOS 実現のための 2 水準しきい値電圧の GOSFET 論理素子形成技術の検討を行った。

第三に、CGOS 論理回路設計技術において、40Gbit/s 級回路動作実現を可能にする論理ゲート基本速度性能の実現をめざし、20 年度検討・考案した CGOS 論理ゲート構成法に基づいてトップゲート型 CGOS 論理ゲートのテスト要素回路 (TEG) を設計・試作した。

第四に、GOS デバイスマデリング技術において、単層グラフェン・ナノリボン FET、ならびに 2 層グラフェンチャネル FET のユニバーサルな DC/AC モデルの構築と動作特性の高精度解析を実現した。また、トランジスタ動作に最適なグラフェンデバイス構造を検討し、GOSFET, PRGOSFET, CGOS の回路シミュレーション用デバイスモデルの構築を進めた。

第五に、PRGOS デバイス技術において、グラフェンチャネルの THz 帯プラズモン共鳴特性のモデリングならびに測定実験を推進し、理論予測したグラフェン・プラズモンの THz 帯共鳴特性の実証に成功した。

第六に、20 年度に続き、グラフェンデバイスに関する第 2 回国際シンポジウムを主催し、内外の第一線研究者による最新の研究成果を共有するとともに、本 CREST 研究課題で推進する GOS 材料・デバイス技術のアクティビティを広報し世界におけるプレゼンスを高めるとともに、国際的な成果の位置づけを明らかにした。

担当者の努力によって、難航したゲートスタック技術によりやがて光明が射してきた。今後は、GOS 材料・デバイス技術の確立に向けて、第一に短ゲート GOSFET の試作評価による速度性能優位性の検証、第二に GOS の積層・総数制御技術の向上によるバイレイヤー GOSFET による高 On/Off 比の実現、第三にゲートスタック制御による閾値制御の実現とその CGOS への応用、第四に CMOS に対する CGOS 性能優位性の比較検証、第五に PRGOS による THz 信号処理機能の実証を、それぞれ推進する。

§ 2. 研究実施体制

(1)「GOS／PRGOSデバイス(尾辻泰一)」グループ

① 研究分担グループ長:尾辻 泰一 (東北大学・電気通信研究所、教授)

② 研究項目

- ・研究開発統括
- ・GOS デバイスの設計・プロセス・評価技術の開発
- ・PRGOS デバイスの設計・プロセス・評価技術の開発

(2)「GOS プロセス(末光眞希)」グループ

① 研究分担グループ長:末光 眞希 (東北大学・電気通信研究所、教授)

② 研究項目

- ・グラフェン・オン・シリコン GOS 材料の結晶成長・評価技術の開発

(3)「GOSモデリング(リズィー ヴィクトール)」グループ

① 研究分担グループ長:リズィー ヴィクトール (会津大学・コンピュータ理工学部、教授)

② 研究項目

- ・ディラックフェルミオン・キャリア輸送型 GOS デバイスマデリング
- ・ディラックフェルミオン・プラズモン共鳴型 PRGOS デバイスマデリング

(4)「CGOSロジック(佐野 栄一)」グループ

① 研究分担グループ長:佐野 栄一 (北海道大学・量子集積エレクトロニクス研究センター、教授)

② 研究項目

- ・CGOS 論理のデバイス・回路モデリング
- ・CGOS 論理回路の設計と評価

§3. 研究実施内容

(文中に参考文献番号がある場合は(4-1)に対応する)

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術の開拓のために、独自のアイデアに基づくグラフェン・オン・シリコン (GOS: Graphene On Silicon) 材料・プロセス技術の開発を通し、相補的スイッチングデバイス (CGOS) 技術、及びプラズモン共鳴 THz デバイス (PRGOS) 技術の開発を行うものであり、GOS 形成、GOSFET デバイスプロセス、デバイスモデリング、CGOS 論理ゲート、および PRGOS デバイスプロセスの主要課題に対して、独自技術の開発に挑むものである。

GOS 形成技術に関しては、本年度の主たる成果は、以下の 3 つである

[1] グラフェン積層構造が、Si 基板面方位により制御可能であることを LEED 測定により明らかにした[3]。(図 1)この界面構造制御により GOS の成長制御が原子レベルで可能となったため、

①グラフェン積層構造

②エッジの化学構造 (armchair vs zigzag edge)

の制御をも可能となってきた。

②は、例えば、Si(111)微傾斜基板上に off-axis SiC(111)薄膜の形成が可能となれば、armchair 型のグラフェン・ナノリボンの形成が原理的には可能なことを示唆する結果である。

[2] 上記の知見は、電子・光デバイス特性を決める大きな要因であり、Si 基板面方位による適用デバイスの適切な選択が可能となる。すなわち、

(i) FET logic => SiC(111)/Si(111)面上に成長させたグラフェン

(ii) THz デバイス => SiC(100)/Si(100)面上に成長させたグラフェン

が適していると予想される。この点に関して、現在尾辻グループと緊密な連携を図って研究を進めているところである [5]。

[3] SiH₄前処理によるSiC表面の欠陥密度の低減及びグラフェン膜の高品質化(欠陥密度30%減少、結晶性:50%増加)に成功した(図 2) [9]。さらに、グラフェン化条件の改善により、グラフェンの高品質化に成功した(欠陥密度 90%減少)。

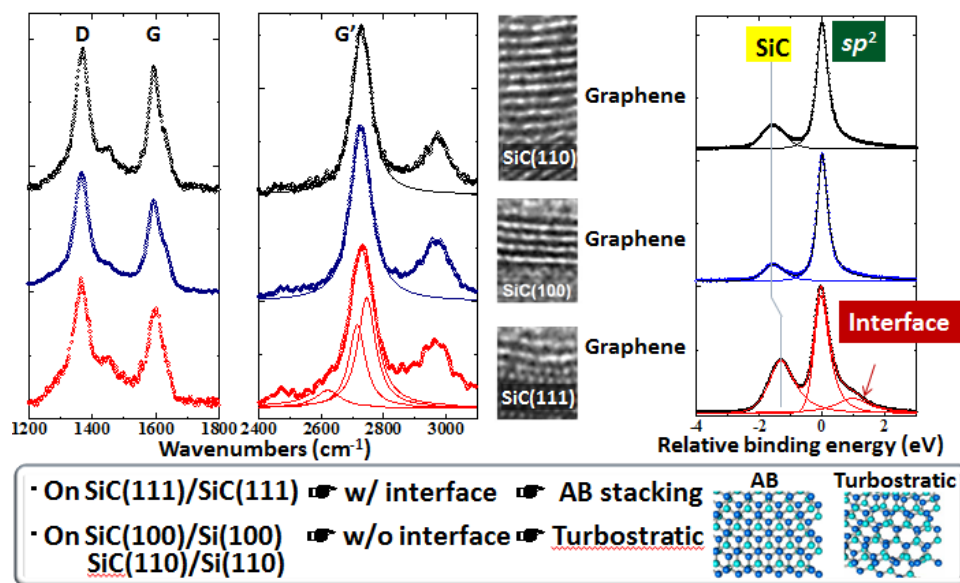


図 1. グラフェン積層様式の Si 基板面方位依存性. FET 応用へのバンドギャップ開口には AB スタックの SiC(111)/Si(111)が、テラヘルツ光デバイス応用にはギャップレス・線形分散なグラフェンの積層化が可能な SiC(100)/Si(100), SiC(110)/Si(110)が適しており、これらの選択成長が可能であることを示した画期的な成果である。

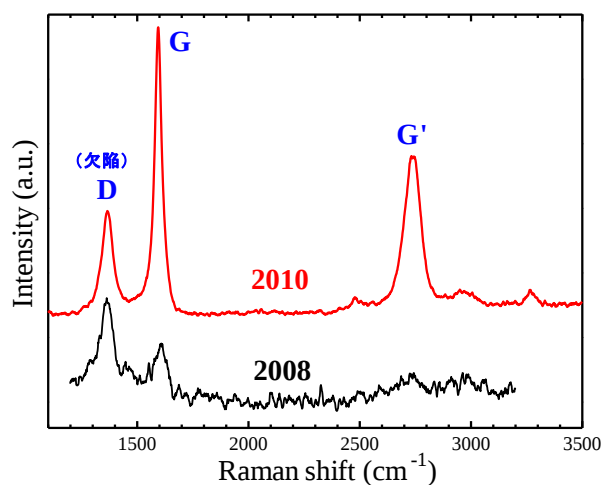


図 2. 研究当初(2008 年)と現在(2010 年)のグラフェンの Raman スペクトルの比較。欠陥密度が 90%低減されたことが、D バンドと G バンドの強度比から明らかとなった。G' バンドの強度が強くなったことは、グラフェンの二次元結晶性が飛躍的に向上したことを示唆する。

GOSFET デバイス技術に関しては、グラフェンをチャネルとした FET を実現するための要素技術確立し、Si-CMOS を凌駕する FET 特性とそれを利用した論理素子の実現へと展開する。本年度の主たる成果は以下の 2 つである。

- ・ソース・ドレインオーミック電極の極めて高いコンタクト抵抗が、光露光後の残留レジストによることを AFM 観察でつきとめ、低温 H₂ アニールングによって大幅に改善できることを見出した。一

層の低抵抗化を進める予定 [4, 5]。

- ゲートスタックとして新たに HDMS ガス CVD による SiCN および光電子制御 CVD (多元研・高桑教授研究室の技術協力) による DLC (ダイヤモンドライクカーボン) の導入に挑戦し、各々良好なキャパシタンス、ゲート変調特性を確認した。

CGOS 論理ゲートの開発に関しては、GOSFET[1, 2, 4, 5]の最適化構成法の検討と Si-CMOS に対する速度性能優位性の検証、ならびに研究分担者・佐野栄一と研究代表者・尾辻泰一のオリジナルによる CGOS 論理ゲートの構造設計を行う。本年度の主たる成果は、以下の2つである。

- CGOS の CMOS に対する速度優位性の予測を立てるために、180 nm CMOS の移動度と飽和速度を変えてインバータの回路シミュレーションを行った。その結果、CGOS は CMOS の約 15 倍高速動作が期待できること、ソース・ドレイン抵抗の低減が重要であることを示した。また、弾道輸送が期待されるゲート長領域について、化合物半導体のモンテカルロ解析結果を参考に CGOS インバータの遅延時間を見積もった結果、17 nm ゲートにおいて 0.3 ps 弱の可能性を示した(図 3)。今後、GOS 構造についてモンテカルロ解析を行い、詳細な予測を行う。
- 昨年度試作したトップゲート型 GOSFET[5]の2段縦積構成による CGOS インバータの特性評価とベンチマークを行った。現在、外部機関より報告されているグラフェン FET によるインバータ論理動作では、(1)入出力インターフェイスが整合しておらず、論理振幅が 10 V 以上と不完全かつ 3K での極低温動作(F. Traversi, et al., Appl. Phys. Lett. 94, 223312 (2009); R. Sordan, et al., Appl. Phys. Lett. 94, 073305 (2009))、(2)入出力レベル整合は取れているものの大きな貫通電流と 77K での極低温動作(S.-L. Li et al., Nano Lett. 10, 2357(2010))なのに対し、入出力レベルが完全整合する 0.1~0.5 V の微小論理振幅動作を室温下で得ることができた。今後は、上記提案のしきい値制御によって、ノイズマージンを確保した完全相補動作を果たす。(図 4)

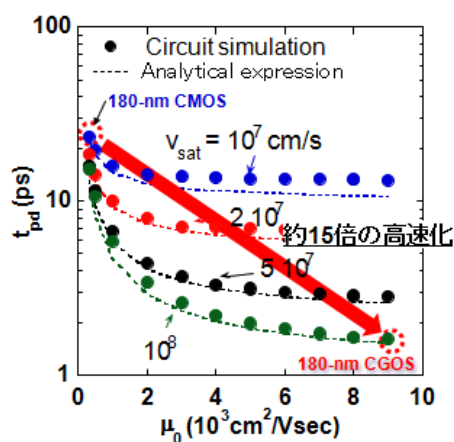


図 3. CGOS 動作速度の予測.

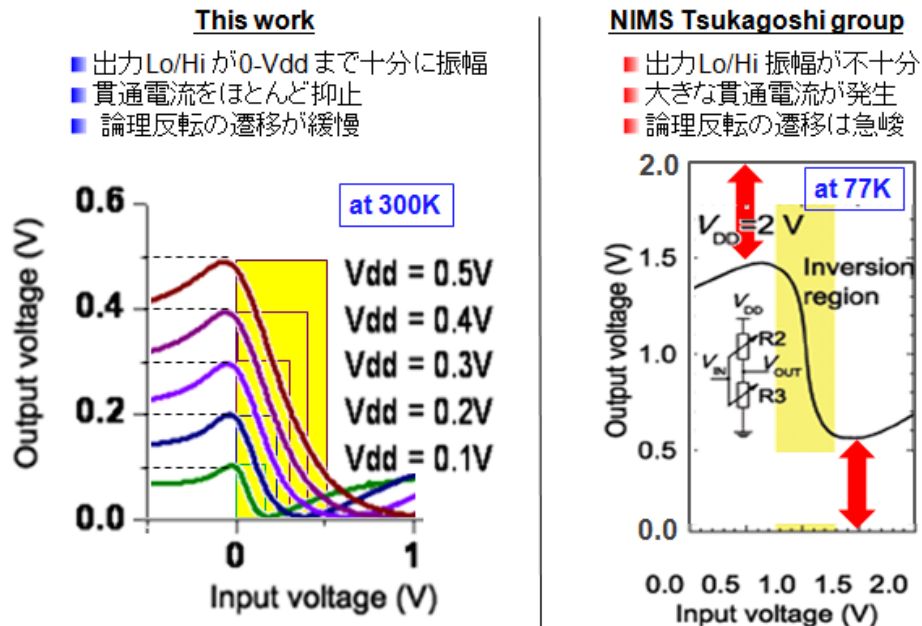


図4. GOSFETによるCGOSインバータ動作(左)。トップゲートによるしきい値制御は施していない。Vddを-0.5Vから+0.5Vまでの範囲内で論理反転動作が実現できている。右:外部機関で唯一入出力整合が取れているインバータ動作(NIMS 塚越グループ, S.-L. Li et al., Nano Lett. 10, 2357(2010))

PRGOS デバイスの開発に関しては、キャリア輸送型電子デバイスの速度性能限界を打破しうるプラズモン共鳴という新しい動作原理に立脚したプラズモン共鳴型デバイスに、質量消失効果を有するグラフェンチャネルを導入することにより、従来不可能であったシリコンベースの室温動作THz 帯電磁波発生デバイスを開発する。今年度の代表的な成果は、以下のとおりである。

- ・Ryzhii グループによって定式化されたグラフェンチャネルの THz 帯プラズモン共鳴特性の実験的な検証のための試料設計・作成を行った。グラフェンの高い移動度を考慮して、室温でも共鳴特性が観測可能なミクロンオーダーの共振器サイズとしてグラフェンリボンをパターンニング加工した。
- ・フェムト秒レーザーで励起した非線形光学材料: CdTe からの THz 電磁波放射パルスを本 GOS リボンに照射し、GOS リボン表面からの反射 THz 電磁波を時間分解計測し、そのフーリエスペクトルを観察したところ、グラフェンリボン内のプラズモンモードに対応した明瞭な吸収スペクトルの観測に成功した。今後は、GOSFET を基本構造とするプラズモン共鳴型 THz エミッターの試作評価を進める。

デバイスモデリングに関しては、研究分担者・リズィー ヴィクトールのオリジナルによりディラックフェルミオン・キャリア輸送型デバイスモデリングの開発を進めるとともに、研究分担者・佐野栄一グループの協力を得て、バンド構造解析ならびにプラズモン共鳴型デバイスのモデリングも行い、デバイス・回路設計のための基盤技術構築を図るとともに、デバイス・回路シミュレータへと展開する。今年度の代表的な成果は、以下の3つである。

- 単層グラフェン・ナリボン FET、ならびに 2 層グラフェンチャネル FET のユニバーサルな DC/AC モデルの構築と動作特性の高精度解析を実現した[8]。具体的には、短ゲート効果およびドレイン誘起バリア効果の電流電圧特性およびトランスコンダクタンスへの影響を明らかにするとともに、多層グラフェンにおける電子・ホール密度のトップゲート電圧による制御性を解析し、層数が10程度以下であればゲートによる制御が十分できることを明らかにした[6]。
- 光学励起によって反転分布状態にあるグラフェン表面に励起される表面プラズモンのテラヘルツ帯応答特性を解析した結果、負性導電率領域において、利得増強効果が得られることを発見した[11]。(図 5)
- 光学励起によって反転分布状態にあるグラフェン表面に金属メッシュを施した構造におけるテラヘルツ帯電磁波の透過特性を FDTD 解析した結果、グラフェン単体に比して高い利得増強効果が得られることを明らかにした。PRGOS の新しい素子構造への導入が期待できる。(佐野栄一グループの成果)(図 6)

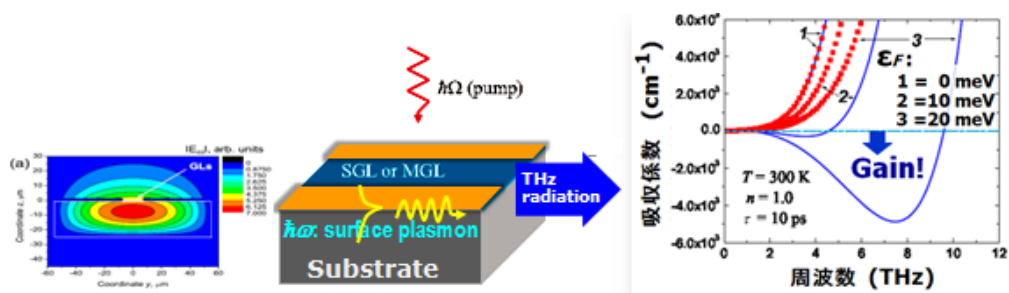


図 5. 光学励起によって反転分布状態におかれたグラフェンに励起された表面プラズモンのテラヘルツ帯利得増強効果。テラヘルツ帯導波路は放射損と自由キャリア吸収が大きく低損失化が困難であり、量子カスケードレーザーでも高温動作化の障壁となっている。本成果はその導波路自体に利得増強効果が得られることを示したもの。[11]

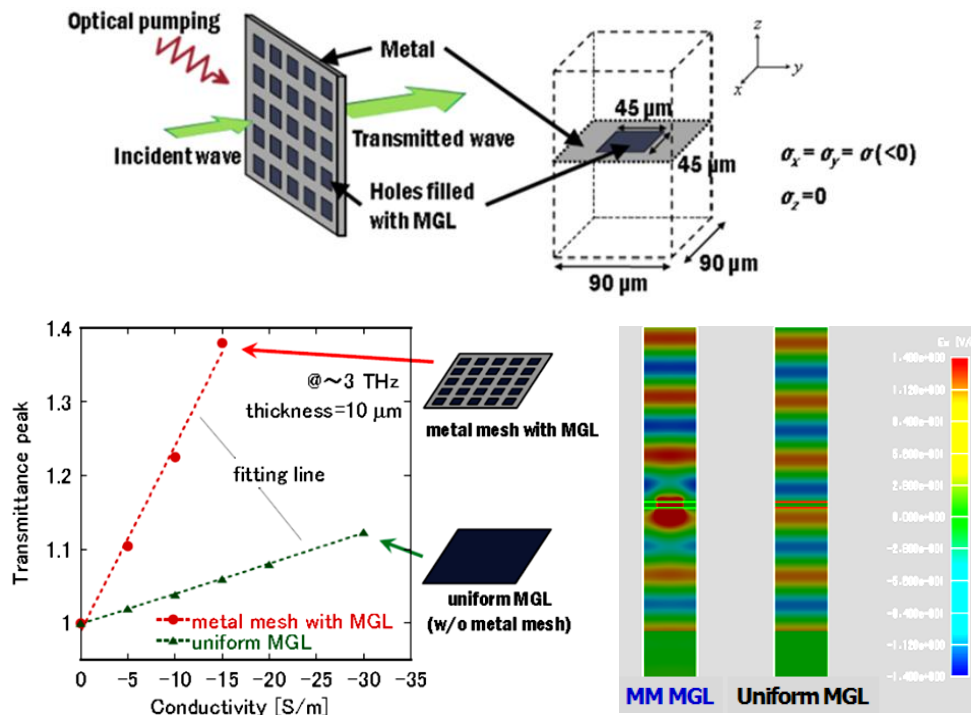


図 6. 光学励起によって反転分布状態におかれたグラフェンに金属メッシュ構造を施した場合に得られるテラヘルツ波透過励における利得増強効果。単純平面グラフェンに比して高い増幅効果が得られる。

当初の計画では想定されていなかった新たな展開・成果として、以下が上げられる。

- Ryzhii グループが主導して理論的に予測した光励起グラフェンにおける THz 帯負性導電率ならびに THz 帯利得の実験的実証に成功した。フェムト秒赤外レーザーで GOS ならびに GOS 直上に設置した CdTe 非線形光学結晶を励起した。GOS のグラフェンでは生成した光電子正孔対が光学フォノンを超高速に放射するバンド内緩和を経て、再結合(直接遷移)し、THz 帯フォトン放射する。一方、CdTe 結晶では非線形光学効果によって THz 波が放射される。21 年度までに、この放射 THz 波が GOS からの THz 放射を誘導し、コヒーレントな放射が得られる。これを時間分解計測した結果、THz 負性導電率による利得増幅効果の検証に成功している[7]。今後は、本 CREST 研究計画とは切り離して、室温 THz レーザー動作の実証へと進める。

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

- [1] H.-C. Kang, R. Olac-vaw, H. Karasawa, Y. Miyamoto, H. Handa, T. Suemitsu, H. Fukidome, M. Suemitsu, and T. Otsuji, "Extraction of drain current and effective mobility in epitaxial graphene channel FETs on silicon substrate," Jpn. J. Appl. Phys., Vol. 49, iss. 4, 04DF17 (5 pages), 2010.
- [2] R. Olac-vaw, H.-C. Kang, H. Karasawa, Y. Miyamoto, H. Handa, H. Fukidome, T. Suemitsu, M. Suemitsu and T. Otsuji. "Ambipolar behavior in epitaxial graphene based field-effect transistors on Si substrate," Jpn. J. Appl. Phys., vol. 49, iss. 6, 06GG01 (5pages), 2010.
- [3] 半田浩之、宮本優、斎藤英司、吹留博一、末光眞希、「Si(111), Si(110), Si(100)基板上 3C-SiC 薄膜の熱改質によるグラフェン・オン・シリコン形成」、表面科学、vol. 31, pp. 352-358, 2010.
- [4] H.-C. Kang, H. Karasawa, Y. Miyamoto, H. Handa, T. Suemitsu, M. Suemitsu, and T. Otsuji, "Epitaxial graphene field effect transistors on silicon substrates," Solid State Electron., Vol. 54, issue 9, pp. 1010-1014, 2010. (doi:10.1016/j.sse.2010.04.018)
- [5] H.-C. Kang, H. Karasawa, Y. Miyamoto, H. Handa, H. Fukidome, T. Suemitsu, M. Suemitsu, and T. Otsuji, "Epitaxial graphene top-gate FETs on silicon substrates," Solid State Electron., Vol. 54, issue 10, pp. 1071-1075, 2010. (doi:10.1016/j.sse.2010.05.030)
GOS による初のトップゲート FET の試作報告。
- [6] M. Ryzhii, V. Ryzhii, T. Otsuji, V. Mitin, and M.S. Shur, "Electrically-induced n-i-p junctions in multiple graphene layer structures," Phys. Rev. B, Vol. 82, pp. 075419-1-6, 2010.
- [7] T. Otsuji, H. Karasawa, T. Watanabe, T. Suemitsu, M. Suemitsu, E. Sano, W. Knap, and V. Ryzhii, "Emission of terahertz radiation from two-dimensional electron systems in semiconductor nano-heterostructures," Comptes Rendus Physique, Vol. 11, Iss. 7-8, pp. 421-432, 2010. (doi: 10.1016/j.crhy.2010.04.002)
- [8] V. Ryzhii, M. Ryzhii, A. Satou, T. Otsuji, and V. Mitin, "Analytical Device Model for Graphene Bilayer Field-Effect Transistors Using Weak Nonlocality Approximation," J. Appl. Phys. Vol. 109, Iss. 6, pp. 064508-1-10, 2011.
- [9] Eiji Saito, Sergey N. Filimonov, and Maki Suemitsu, "Growth Rate Anomaly in Ultralow-Pressure Chemical Vapor Deposition of 3C-SiC on Si(001) Using Monomethylsilane," Jpn. J. Appl. Phys., Vol.50, No.1, pp.10203-1-3, 2011.
- [10] Arnold Algundo, Sergey N. Filimonov, Maki Suemitsu, "Step bunching and step "Rotation" in homoepitaxial growth of Si on Si(110)-16×2 , "Surface Science, Vol.605, No.7-8, pp.838-843, 2011.
- [11] A.A. Dubinov, Y.V. Aleshkin, V. Mitin, T. Otsuji, and V. Ryzhii, "Terahertz surface plasmons in optically pumped graphene structures," J. Phys.: Condens. Matter, Vol. 23, pp. 145302-1-8, 2011. (doi: 10.1088/0953-8984/23/14/145302)

(4-2) 知財出願

- ① 平成22年度特許出願件数(国内 1 件)
- ② CREST 研究期間累積件数(国内 4 件)