「ディペンダブル VLSI システムの基盤技術」
平成 21 年度採択研究代表者

H22 年度
実績報告

山﨑　信行

慶應義塾大学　大学院理工学研究科・准教授

組込みリアルタイムシステム用ディペンダブル SoC 及び SiP に関する基盤技術の研究

§1. 研究実施の概要

本研究の目的は、組込みリアルタイムシステム(特に分散制御システム)の構築をターゲットとして、ディペンダブルなSoC及びSiPの設計・実装・評価に関する基盤技術を確立することにある。その際、本研究の成果としてできあがるSoCとSiPからなるVLSIシステム及び基本ソフトウェアを用いて、各種組込みリアルタイムシステム(特にロボット及び宇宙機)への組込み応用を目指す。

本研究では、基盤ソフトウェア（ディペンダブルオペレーティングシステム)、基盤ハードウェア（ディペンダブルアーキテクチャ及びディペンダブルSoC)、基盤パッケージ（ディペンダブルSiP)、及び組込みアプリケーション（先端ロボット応用によるディペンダビリティ評価）の大きく4つにテーマ（グループ）を分けつつも、相互に密接な連携を保ちつつ、コデザインを行いながら研究開発を行った。このうち、慶應義塾大学が基盤ソフトウェア及び基盤ハードウェアを、NECアクセステクニカが基盤パッケージを、東京大学が組込みアプリケーションを担当した。

基盤ソフトウェアグループでは、初年度に研究開発したベースラインの基本ソフトウェア(favor OS)のQoSを向上させた。時間粒度が小さく、速度、精度、消費電力などのQoSを陽に制御可能なスケジューリングアルゴリズムを研究開発した。同時に *D-RMTP I* のクロス開発環境の研究開発も行い、各グループに提供した。

基盤ハードウェアグループでは、組込みアプリケーショングループのターゲットであるヒューマノイドの分散制御を実現するSoCのプロトタイプ *D-RMTP I* (Dependable Responsive Multithreaded Processor I)の設計・実装を行った。初年度に研究開発した3cm角SiPの検証・評価を基盤パッケージグループと共に詳細に行った。並行して優先度付きのオンチップリアルタイムネットワーク(RT-NoC)のプロトタイプの研究開発を行った。

基盤パッケージグループでは、高歩留りで信頼性の高い超小型VLSIシステムを構築するために、DRAMおよびFlash MemoryにFFCSPを適用して3次元に積層し、*D-RMTP I* I及びその他のデバイスと共にSiP基板に実装した。

組込みアプリケーショングループでは、介護時の人抱え上げ等を目指した大出力ヒューマノイドにおけるモータ駆動基板に *D-RMTP I* SiPを搭載した、モータ駆動の制御・通信モジュールの整備検証を行い、大出力時のディペンダビリティを評価検証可能な駆動システムの基礎を構築した。

§2. 研究実施体制

(1) 慶應グループ

①研究分担グループ長:山﨑 信行 (慶應義塾大学 准教授)(研究代表者)

②研究項目

- ディペンダブル SoC 及び SiP の設計
- ディペンダブル OS の設計及び実装
- リアルタイムスケジューリング理論の確立
- リアルタイム通信規格によるディペンダビリティの確立
- 低消費電力、時間精度などの QoS を制御

(2) NEC アクセステクニカグループ

①研究分担グループ長:和田　喜久男　(NEC　アクセステクニカ株式会社, グループリーダー)
(主たる共同研究者)

②研究項目

- 3cm 角 SiP の開発・製造
- 2cm 角 SiP の開発・製造
- センサー内蔵 SiP の開発・製造
- DRAM 多層 SiP の開発・製造
- CoC 積層 SiP の開発・製造

(3) 東大グループ

① 研究分担グループ長:稲葉　雅幸　(東京大学大学院, 教授)(主たる共同研究者)

② 研究項目

- 大出力系でのディペンダビリティ評価基板基礎モジュールの設計・構築
- 大出力系でのディペンダビリティの基礎評価
- 小型分散系でのモータ駆動部の実装実験

§3. 研究実施内容

(文中に番号がある場合は(4－1)に対応する)

A. 基盤ソフトウェアグループ

リアルタイムスケジューリング理論に関して、タスクがデッドラインまでに実行を完了することを保証するリアルタイム性と、余った CPU 時間で動的に周波数と電圧を低減させるリアルタイム電圧周波数制御(RT-DVFS)手法(図 1参照)を確立した。まず、マルチプロセッサ用の EDF ベースのグ

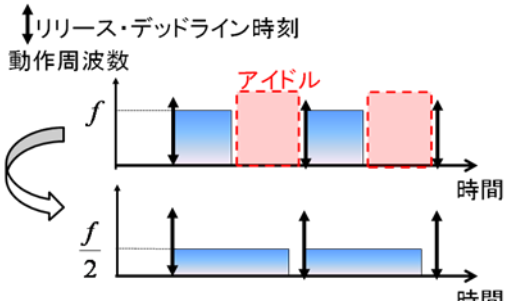


図1 RT-DVFS

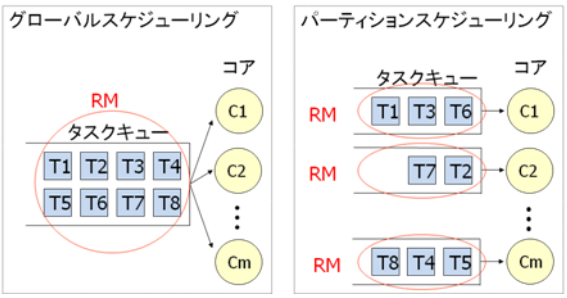


図2マルチプロセッサスケジューリング

ローバルスケジューリングアルゴリズム(図 2左図参照)の研究開発を行った [A-4]。さらには、RT-DVFS を図 2に示すように、マルチプロセッサのグローバルスケジューリング及びパーティショニングスケジューリングの両方に対応させた [A-1]。

また、タスクの時間精度を向上させるため、インプリサイス計算モデル(図 3参照)をサポートしたリアルタイムスケジューリング理論を確立した [A-2,A-3]。

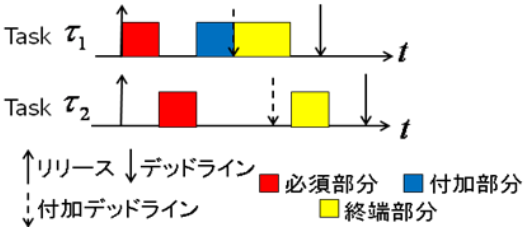


図3インプリサイススケジューリング

これらのリアルタイムスケジューリング理論をディペンダブル favor OS に実装し、実用性を評価し、ディペンダブルシステム向けに搭載する *D-RMTP I* の実証評価を行うための基盤を構築した。

B. 基盤ハードウェアグループ

時間粒度が非常に細かいリアルタイム性と省電力(電力制御機構)の実現を目指し、リアルタイム処理用プロセッシングコア(*RMT PU*)及びリアルタイム通信(*Responsive Link*)を有した分散リアルタイム制御用 SoC *D-RMTP I* の設計・実装を行った。図 4に *D-RMTP I* のチップ写真を示す。また、図 5に *D-RMTP I* のチップ全体のブロック図を示す。この図のように、分散リアルタイム制御に必要なすべての機能(リアルタイム処理用プロセッシングコア(*RMT PU*)、リアルタイム処理用通信リンク(*Responsive Link*)、各種制御 I/O 等)をチップ上に集積した SoC を実現している(Suito et al., 16th IEEE Pacific Rim International Symposium on Dependable Computing, Poster Session)。

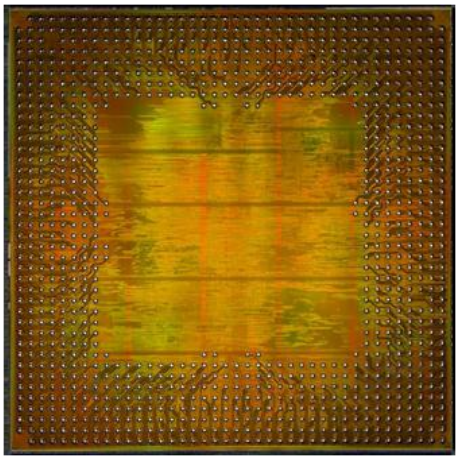


図4*D-RMTP I* チップ外観

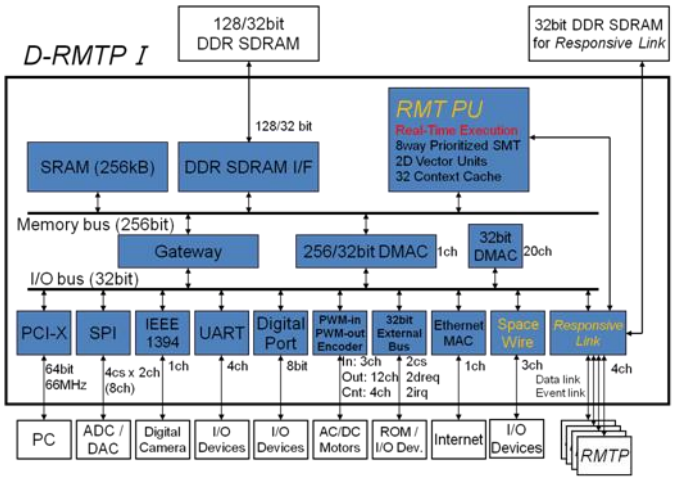
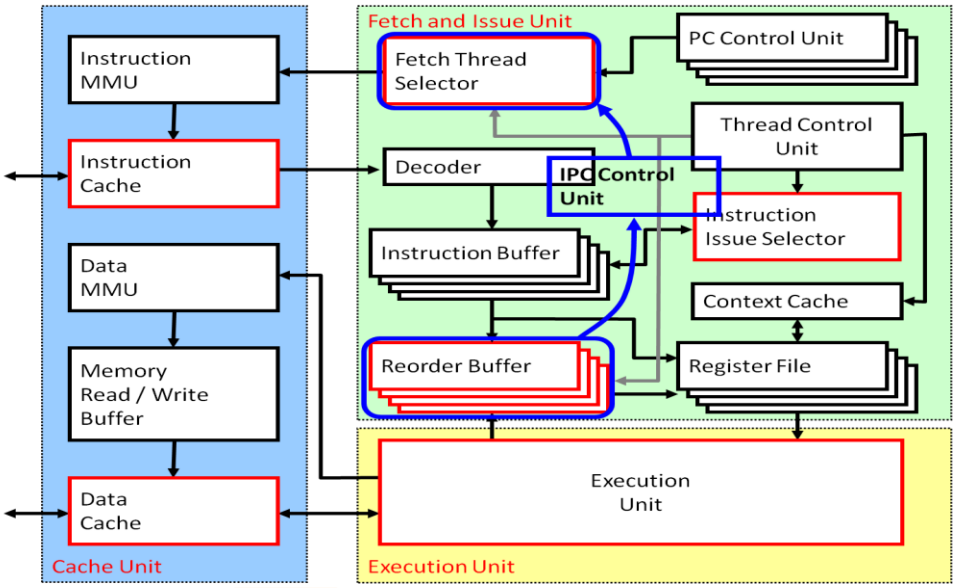


図5*D-RMTP I* チップのブロック図

D-RMTP I は、SMT(Simultaneous MultiThreading)にリアルタイム処理で用いる優先度を導入した優先度付き SMT アーキテクチャであるが、*D-RMTP I* にはスレッドの実行速度(IPC)を一定に保つようにフィードバック制御(PID 制御)する IPC 制御機構を設計・実装した [B-1)]。図 6に IPC 制御機構のアーキテクチャと PID 計算式を示す。本 IPC 制御機構を用いることで、各リアルタイムスレッドの速度(IPC)を PID 制御を用いてハードウェアで一定に保ち、非常に精度の高いリアルタイム実行を実現し、ディペンダビリティを向上させる。



PID計算

$$\text{output} = K_P e(t) + K_I \int_0^t e(\tau)d\tau + K_D \frac{d}{dt} e(t)$$

$$e(t) = \text{target} - \text{input}$$

図6 IPC 制御と PID 計算

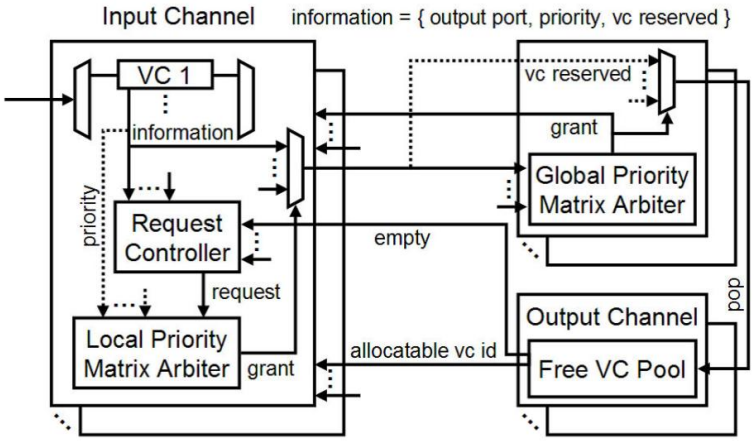


図7 VIX ルータのアーキテクチャ

ヒューマノイドロボットのようなディペンダブルシステムでは、各々のノード間にプロセッサを搭載

し、分散制御を行う要求がある。このようなシステムを実現するため、リアルタイム NoC 向け VIX(Virtual channel allocation integrated with crossbar allocation)ルータを構築した(向後他,信学技報, Vol.110, No.318, pp.13-18)。図7に VIX ルータのアーキテクチャを示す。VIX ルータでは、VC(Virtual Channel)アロケータの多大なハードウェア量と VC の浪費による高優先度パケットの転送遅延増大を解決するために、投機的に XA (Crossbar Allocation)行うことで VA (VC Allocation)と同時実行するのではなく、同じパイプラインステージで XA、VA の順で逐次的に行う。VC の獲得の有無に関わらず全てのパケットが XA のリクエストを出し、XA のグラントを得たパケットは次のパイプラインステージで転送を開始する。このときパケットが VC を獲得していなければ、XA のグラントをトリガに VC を獲得する。VIX ルータは各出力 PC に対して 1 サイクルで最大 1 つの VC しか割り当てないため、VA の論理を大幅に削減することができる。また VIX ルータではクロスバが割り当てられる高優先度のパケットのみが VC を獲得できるので VC の浪費問題も解決できる。

さらに、スペースシャトルや人工衛星等のような宇宙システムへの応用を目指して、その分散制御に必要な通信規格 SpaceWire のリアルタイム拡張を行った(Murata et al, The Third International SpaceWire Conference, pp. 349-355)。具体的には、SpaceWire におけるパケットを優先度に従って、各々のルータ内でパケットをプリエンプション可能にした。これにより、優先度の高いパケットほど通信遅延を削減することが可能になる。

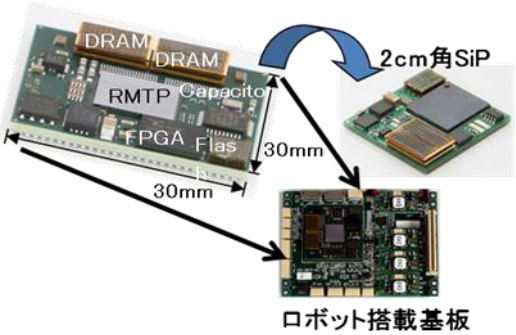


図8　3cm 角 SiP および 2cm 角 SiP

図9 DRAM の信号波形

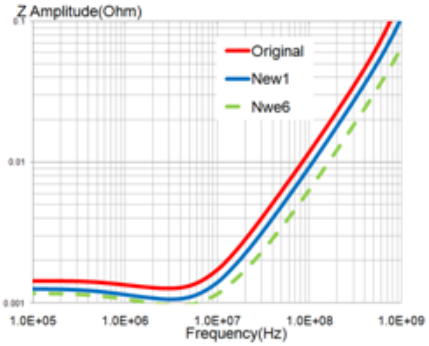


図10 DRAM の電源インピーダンス

C. 基盤パッケージグループ(超小型 3cm 角, 2cm 角 SiP 基板の研究開発)

本年度は初年度に製造した 3cm 角 SiP を基盤ハードウェアグループと共に動作確認を行った[C-1)]。次に動作確認済みの SiP を組込みアプリケーショングループの基板に実装し(図 8参照)、組込みアプリケーショングループでもシステムとして動作することを確認した。当初の目標であるロボットシステムの中に実装して動作することに目途をつけた(和田他,信学技報, Vol.110, No.380, pp.1-6)。

しかし、初期の目標である *RMTP* の DRAMI/F の 400Mbps/pin 動作が確認できなかったため、DRAMI/F 信号の波形観測（図 9参照）を行った。そ

の結果、DRAMI/F 信号が電源ノイズに影響されており、対策をすれば動作周波数は上がるということが判明した。再度、電源シミュレーションを行い（図 10参照）、SiP の再設計を行った。そのため 3cm 角 SiP の評価は 3 年度も引き続き行う予定である。SiP の再設計の際には DRAM I/F 信号の信頼性向上のために DRAMI/F 信号のシミュレーションを詳細に行い、その結果を元に基盤ハードウェアグループと共同でコデザインを行った。その結果、基盤ハードウェアグループでは *D-RMTP I* のバンプの再配置を、基盤パッケージグループでは SiP のピンの再配置を行った。

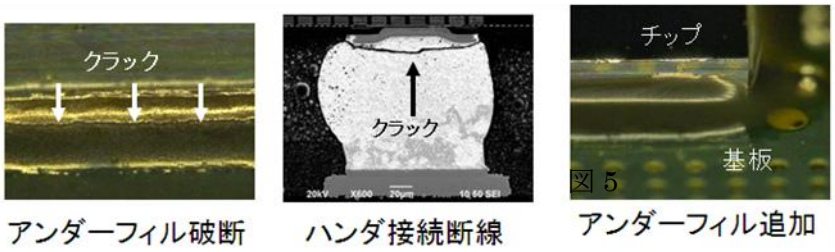


図 5
図11 SiP の製造不良対策

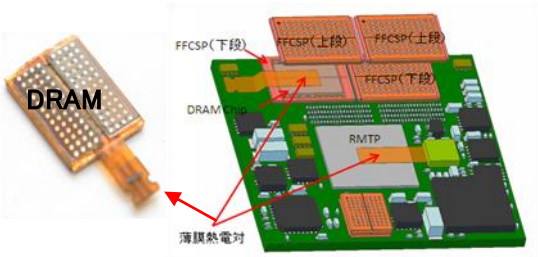


図12 SiP への温度センサ実装

また、当初は、SiP 製造の不良率が高かったため、SiP の故障の原因を詳細に追及した。その結果、*D-RMTP* に塗布しているアンダーフィルの塗布量の変更等を行うことで製造品質の向上を図った（図 11参照）。

SiP の再設計に伴う遅れを取り戻すために、3 年度で実現する予定であったセンサの実装を先に取り入れ、研究の促進を図ると共にディペンダビリティの向上を目指した。具体的には、温度センサを下段の DRAM モジュールに実装し、DRAM チップの温度を直接測る方法を採用した（図 12左参照）。更には *D-RMTP I* 上にも温度センサを実装すると共に、SiP の各種電圧測定用の AD コンバータを実装した。温度情報及び電源電圧の情報を *D-RMTP* にフィードバックすることで、*D-RMTP* の電源電圧及びクロック周波数を動的に安全に制御し、ディペンダビリティの向上を目指す（図 12右参照）。

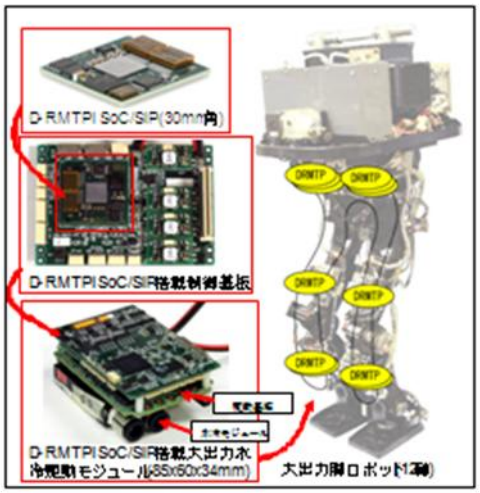


図13 大出力脚

D. 組込みアプリケーショングループ（東大グループ）

*D-RMTP*SoC/SiP が運用される具体的なアプリケーションとして、介護時の人の抱え上げ等が実現可能な瞬発力を備えた大出力ロボット脚（図 13）を想定し[D-1)]、当ロボットにおける最大出力駆動時（80V、200A、15sec）をエミュレートしたノイズ発生試験機（初年度開発）を用いて従来の

M-RMTP 基板の通信系にノイズを加え信号波形の計測評価(図 14)を行った。その評価を元に SoC/SiP 開発グループへディペンダブル VLSI の要求仕様としてのノイズ要件を提示し、通信系開発との連携を行った。

初年度に設計した *D-RMTP I* SiP 搭載大出力モータ駆動モジュール(図 13)を製造開発し、単体での大出力ディペンダビリティを実証評価可能な制御・通信基礎モジュールの構築を行った。この際、駆動基板を実ロボットに搭載可能なサイズに集約するために、*D-RMTP I* SiP を直接基板上に半田実装する(従来はソケット接続)という新たな試みが求められ、SiP 実装方式を実装グループと密に協力し何パターンか模索していくことで、実際に駆動可能な SiP 搭載基板の構築が可能となった(浦田他, 第 28 回日本ロボット学会学術講演会,1A3-3, 2010)。

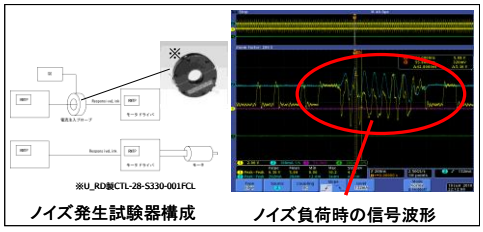


図14 大出力駆動時ノイズ計測

また、来年度における実大出力脚上での開発駆動基板(12 軸)によるディペンダビリティ検証計画を踏まえ、本年度ではノイズ発生器だけでなく、実際に高速制御検証を目的とした単軸試験装置を設計開発(図 15)し、新規 *D-RMTP* 搭載基板の基本的なモータ駆動性能の検証を行うとともに、新規駆動基板が発揮可能な大出力特性を十全に引き出せる大出力脚への改造の前段階として、一つの関節軸を図 16のように二つのモータで駆動するダブルモータ単軸試験器の開発を行った。従来の2倍の駆動電流負荷への対応、二つのモータ間のトルク制御に必要となる高速制御、同期制御が必要となり、来年度の D-RMTP 基板の実証検証項目に加えて評価を進めていく。

図15 高速制御単軸評価装置

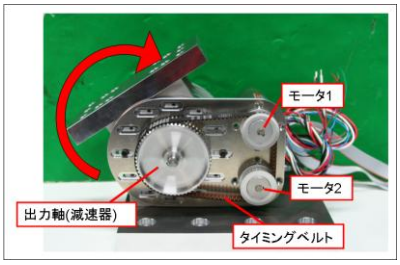


図16 高負荷ダブルモータ評価装置

さらに来年度以降に計画している小型分散ディペンダビリティ評価にて必要となる小型モータ駆動基板を筋骨格ロボットに搭載し、商用マイコン(H8)による基礎的な駆動試験を行った(N.Ito et al., Proc. of Humanoids2010)。来年度以降は適宜制御部を小型 *D-RMTP*SiP 搭載基板に置換し、評価を行っていく予定である。

§4. 成果発表等

(4−1) 原著論文発表

●論文詳細情報

A-1. 池田雄児, 加藤真平, 山﨑信行, SMT/CMP 向け固定優先度スケジューリング用動的電

圧周波数制御の提案と RMT Processor を用いた実機評価, 情報処理学会論文誌, Vol. 51, No. 12, pp. 2216-2226, 2010 年 12 月, DOI なし

A-2. 千代浩之, 山﨑信行, 優先度付き SMT Processor における準固定優先度スケジューリング, 情報処理学会論文誌, Vol. 51, No. 12, pp. 2227-2237, 2010 年 12 月, DOI なし

A-3. 千代浩之, 山﨑信行, RT-Est:準固定優先度スケジューリング向けリアルタイムオペレーティングシステム, 情報処理学会論文誌:コンピューティングシステム, Vol.4,No.1, pp.53-68, 2011 年 2 月, DOI なし

A-4. Shinpei Kato and Nobuyuki Yamasaki, "Global EDF-based scheduling with laxity-driven priority promotion", Elsevier Journal of Systems Architecture, Vol.57, pp.498-517, January 2011, DOI なし

B-1. 稲垣文二, 山﨑信行, リアルタイム実行のための優先度付き SMT プロセッサ用 IPC 制御機構, 情報処理学会論文誌, Vol. 51, No. 12, pp. 2206-2215, 2010 年 12 月, DOI なし

C-1. 和田喜久男, 大須良二, 樋野滋一, 山﨑信行, 三次元実装パッケージ実現のためのハイブリッド FPC の提案, 電子情報通信学会論文誌, Vol. J93-C, No. 11, pp. 455-463, 2010 年 11 月, DOI なし

D-1. 浦田順一, 中西雄飛, 岡田慧, 稲葉雅幸, "高速・高トルク動作のための大出力 2 脚ロボットの開発", 日本ロボット学会誌, vol.28, No.07, pp.91-97, 2010 年 9 月, DOI なし

(4－2)知財出願

① 平成22年度特許出願件数(国内 0 件)

② CREST 研究期間累積件数(国内 1 件)