

米田 友洋

国立情報学研究所・教授

ディペンダブルネットワークオンチッププラットフォームの構築

§1. 研究実施の概要

集積システムの微細化・大規模化が進むにつれ、さまざまなアプリケーション製品の高機能化が図られ、VLSI 内収容コア数は急速に増加することになり、その実現はますます難しくなる。まず、チップ内長距離配線の伝送速度低下や伝送障害、配線困難性、配線間干渉等の問題が生じる。また、高速クロックのネットワーク全域への分配困難性や、アイドルネットワーク部の電力消費も大きな問題である。たとえば、我々の経験では、130nm プロセスであっても、10mm 角のチップにクロックを分配しようとすると、クロック木生成に非常に長い時間を要するなど、実装における困難性に直面する。これらを解決するために、GALS-NoC(Globally Asynchronous Locally Synchronous-Network On Chip)方式が研究されるようになってきたが、依然として解決すべき問題がある。単なるコアの寄せ集めによる冗長・不要部分の増加や、微細化によるコア内の局所的な性能劣化等である。前者は、チップの物理的、コスト的な実現性を難しくし、後者はマージン増加による性能低下と信頼性低下を引き起こす。また、オンチップネットワーク部に生じる局所的な固定故障やソフトウェアは、パスが遮断されることにより多くの正常コアが使用不能となる危険性を持つ。このような問題が及ぼす影響は、プロセスのテクノロジーが進み、微細化が進むにつれてより大きくなることに注意しなくてはならない。そこで、プロセスの微細化により悪影響を受けるのではなく、その恩恵を十分に享受できるプラットフォームの開発が非常に重要になりつつある。このようなプラットフォームとして、我々は「多数のコアが適応的に協調動作して異種多様なタスクを効率よく実行できるプラットフォーム」を考え、それを新しい技術に基づく NoC システムとして実現すること、および、それを車載制御系システムにおいて実証することを目指している。

第3年度である平成 22 年度は、高アダプタビリティ・高性能・高ディペンダビリティ実現のための要素技術の開発、および、車載制御系システム実証用プラットフォームの開発として、以下を行った。

1. 高ディペンダブル・高性能・高アダプタブルな完全非同期式オンチップネットワークを開発

し、第二次実証用モデルとして使用予定の16ノード NoC の試作まで行った。

2. 2つのコアにより2重実行を行うコアペアとその動的なペア再構成手法を検討し、マルチコアシステムの高信頼化技術についての基本技術を確立した。
3. 電流モードと非同期バースト通信技術に基づく、高効率チップ間通信技術を開発した。
4. Simulink記述を解析し、それから自動生成されるCコードを、NoC構成されたコアに最適に割り付ける手法について基礎的検討を行った。
5. 昨年度開発した4コアNoCプラットフォームをHILS(Hardware In the Loop Simulator)システムと接続し、車載制御系システムの第一次実証用モデルを動作させた。

平成23年度は、第二次実証用モデルのもとでハイブリッドエンジン制御のアプリケーションを動作させるとともに、ディペンダビリティを考慮したタスクの割り当て機構の実現に注力する。

§ 2. 研究実施体制

(1)「NII」グループ(研究機関別)

① 研究分担グループ長: 米田 友洋 (国立情報学研究所、教授)(研究代表者)

② 研究項目

- ・ ルータ、伝送方式、ネットワークインタフェースの全体設計
- ・ 第一次実証用モデルの実現・評価

(2)「東大」グループ(研究機関別)

① 研究分担グループ長: 今井 雅 (東京大学、特任准教授)(主たる共同研究者)

② 研究項目

- ・ NoC ルータの詳細設計・評価
- ・ マルチコアプロセッサにおける故障検出・再構成方式の検討

(3)「東北大」グループ(研究機関別)

① 研究分担グループ長: 松本 敦 (東北大学、助教)(主たる共同研究者)

② 研究項目

- ・ ネットワークオンチップ用ルータの設計
- ・ 高効率チップ間通信方式の設計, 評価

(4)「会津大」グループ(研究機関別)

① 研究分担グループ長: 齋藤 寛 (会津大学、准教授)(主たる共同研究者)

② 研究項目

- ・ タスク分割アルゴリズムの検討と実装
- ・ 動作合成システムの実装

§3. 研究実施内容

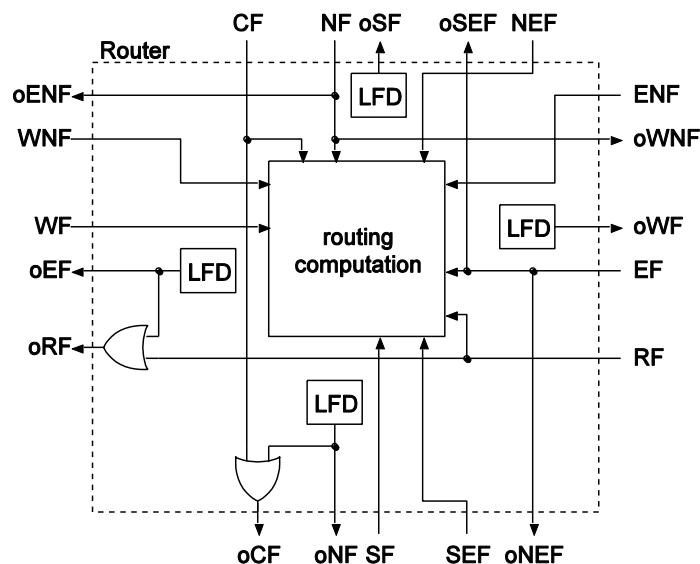
(文中に番号がある場合は(4-1)に対応する)

平成 22 年度は、高アダプタビリティ・高性能・高ディペンダビリティ実現のための要素技術に関して、主にオンチップネットワークのディペンダブル化、チップ間通信方式の検討、タスク割り当ての検討を行い、実証用 NoC プラットフォームの開発については、第一次実証用モデルを構築し、デモを行った。また、第二次実証用モデル用の試作を行った。

昨年度提出した年次計画では、(a)高信頼・高性能オンチップ通信技術、(b)高効率チップ間通信技術、(c)高信頼・高適応演算器・コアの開発、(d)高位合成、高信頼・高適応タスク割当技術、(e)実証用プラットフォーム開発、を掲げたが、これらの(a), (b), (d), (e)が下記(1), (2), (3), (4)にそれぞれ対応する ((e)の一部は(1)に含まれる)。これらはいずれも計画通り、あるいはそれ以上の成果が得られた。例えば、(1)において、ソフトウェアによる耐性評価を行えたこと、16 コアという規模の NoC の試作まで行えたことなどは計画以上の成果である。(c)については(5)で述べる。現在までの成果の具体的内容は以下の通りである。

(1)ディペンダブルオンチップネットワークの開発

故障ルータあるいは故障リンクを迂回するようなディペンダブルルーティングアルゴリズムを実装した。このアルゴリズムは、従来技術をベースとするが、ルータに図1に示すような少数の信号線を追加し、故障情報を伝搬させる機構を設け、その故障情報を利用することで、無故障時および故障発生時のオーバーヘッドを削減できる。



LFD:リンク故障検出機構 (ルータ故障時は全 LFD が 1 となる)

図 1

また、図2のような仮想チャネル機構を効率よく実現することで、故障の有無にかかわらずネットワークのトラフィック集中を緩和でき、平均的なスループットを向上できた。

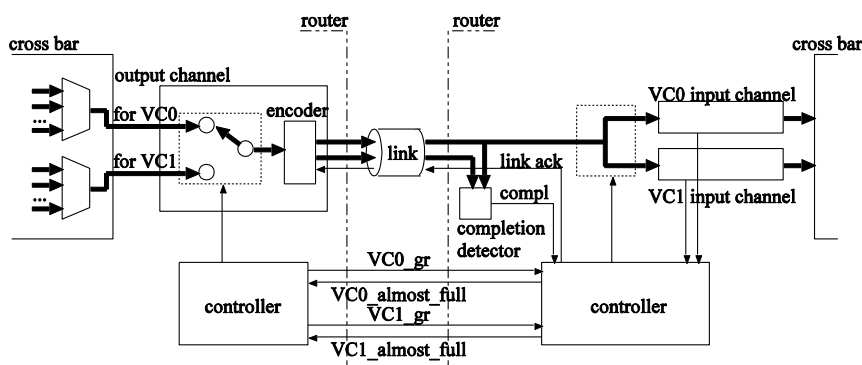


図2

図3は故障がない場合の仮想チャネルあり(緑または青)・なし(赤)のフリットレイテンシの比較である。非同期式実現であるため、各仮想チャネルを流れるフリットが実際に到着したタイミングでチャネルが切り替えられるが、この調停を無駄なく行うことが効率向上のポイントである。

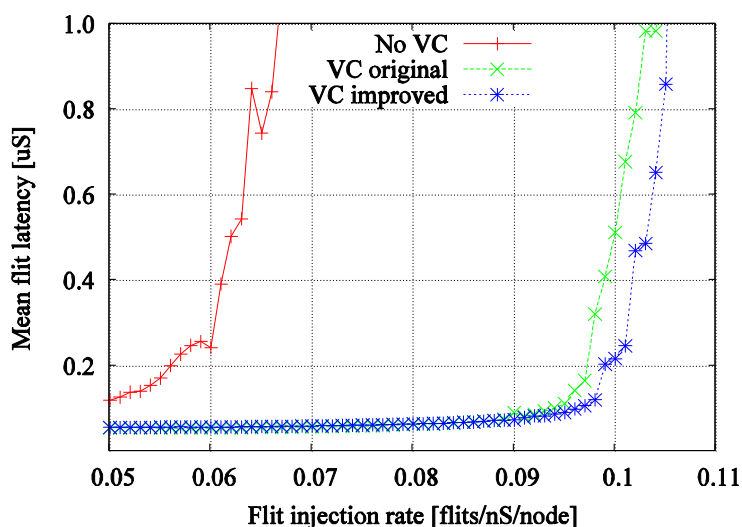


図3

さらに、ソフトウェア耐性を高めるために、制御部を2重化し、その面積オーバーヘッド、信頼度の改善度合いを評価した。その他、符号化されたリンクのタイムアウト検出機構として、新たな方式を考案し、特許出願を行った。これらの成果は国際会議 ASYNC2011 にて採択されている¹³⁾とともに、4×4の2DメッシュのNoCとして、130nmテクノロジーにより10mm角のチップとして設計し、試作をしている(図4)。このチップには、8個のV850Eコアと、4個の浮動小数点テーブル補間アクセラレータ、および、4個の外部IOインタフェースを備え、第二次実証用モデルとして十分な規模のものとなった。

なお、これらの実現のための基礎技術として、非同期式パイプライン制御方式³⁾、効率の良い非同期式回路の検証方式¹⁾について検討した。

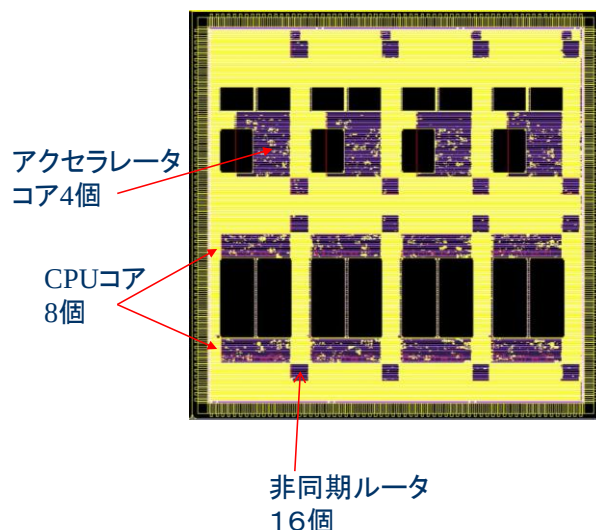


図4

(2) 高効率チップ間通信技術の開発

非同期 NoC チップ同士を複数接続した NiP (Networks-in-Package) による高機能システムを想定したときに、オフチップ通信部分の転送速度が性能を律束する。従来のチップ間同期転送は、それ自体は高速であるが、同期リンクと非同期ルータ間のシンクロナイズがボトルネックとなり、また、従来のチップ間非同期転送は転送速度がオンチップ通信の速度に及ばない。そのため、シームレスなチップ間転送を実現するための部分並列型非同期バースト転送方式(図5)について開発を行った。

まず、非同期式転送方式の基礎的考察^{7), 9), 10), 12)}を元に、チップ間リンクの転送効率に関する定量的な評価を行い、最適な配線数を用いた電流モード転送方式が最も高効率であることを結果として得た。この結果に基づき、部分並列型非同期バースト転送回路を設計した。転送用の符号は LEDR (level-encoded dual-rail) 符号を使用し、その相情報によって異なるトークンリング回路を使用することにより高速なパラレル・シリアル変換を実現している。また、バースト転送が正しく行われなかった場合の再送方式についても検討し、規定数のデータが受信されなかった場合に送信側に再送要求を出す機構についても実装した。これは、前述の LEDR 符号が1ビットの転送毎に必ず切り替わる性質を利用している。これらの回路を 130nm CMOS Technology を用いて設計した。その結果として、再送機構を組み込んだ場合で、約 15Gbps、組み込まない場合で約 20Gbps の性能を実現した。これは従来の非同期バースト転送方式と比較して約 3.5 倍のスループットを達成したことになる。

その他に、将来のさらなる少配線化を目的とした多値回路技術^{6), 11)}の開発、及び転送回路技術を組み込んだネットワーク全体の性能評価手法のプロトタイプ作成⁸⁾を行った。

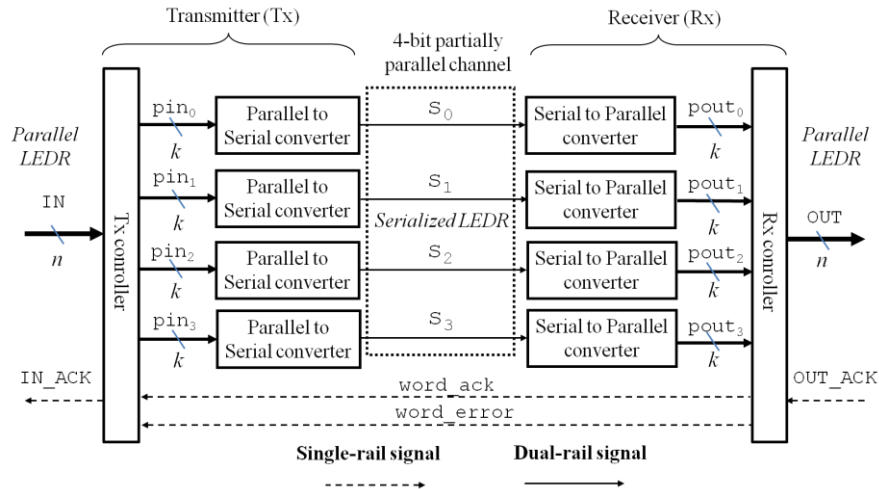


図5. チップ間転送用部分並列型非同期バースト転送方式

(3)コアへのタスク割り当てに関する基礎的検討

アプリケーションを NoC 構成されたコアで動作させるために、タスクスケジューリング・割り当てが必要となる。タスクスケジューリング・割り当てとはアプリケーションをタスクにわけ、それを NoC 上のどのコアに割り当て、いつ実行するかを決める作業である。ここでは、アプリケーションをタスクグラフとして表し、NoC 構成とともに入力として与え、開始時間やデッドラインといった時間制約やコアのメモリ制約を満たすようタスクスケジューリング・割り当てを行う。また、ディペンダビリティへの対応として、想定故障パターンに対して、あらかじめ複数のコアに冗長にタスクを割り当てる。以上のタスクスケジューリング・割り当てにおいて、まずは最適解を見つけるよう整数線形計画モデルに置き換えて実験を行った。また、タスクグラフ、NoC 構成、制約から整数線形計画モデルを生成するツールを開発した。

非同期アクセラレータ用 CAD ツールは、C 言語によるアプリケーションの動作モデルから Verilog HDL による束データ方式による非同期式回路の RTL モデルを自動生成(動作合成と呼ぶ)するツールである。アクセラレータは一般的に、計算時間が長くプロセッサによる実行では不適当な機能を実行する。そのため、NoC ではコアを補完する目的で利用される。また、プロトタイプで実行する車載アプリケーションは、MathWork 社の Simulink でモデリングされており、同社の Real-Time Workshop Embedded Coder (RTWEC) と呼ばれるツールで C 言語モデルに変換することができる。したがって、ここで開発するツールは、RTWEC によって生成した C 言語モデルより非同期式 RTL モデルを生成することを目的とする。このツールのプロトタイプは過去の研究において完成しており、本年度は、RTWEC によって生成された C 言語モデルを扱えるよう改良し、またレイアウトを考慮した動作合成を研究してきた^{2), 14)}。

(4) 第一次実証用モデルの構築

昨年度試作した4コアのチップを動作させるボード、および、HILSシステムとのインタフェースボードを製作し、第一次プラットフォームとして、エンジン制御のアプリケーションを動作させた。このプラットフォームには2つのV850Eコアと1つの浮動小数点テーブル補間アクセラレータが搭載されている。なお、前述した本年度試作チップに含まれている浮動小数点テーブル補間アクセラレータは、昨年度のものを高機能にし、さらに高速化を図ったものである。この第一次プラットフォームでは、オンチップネットワークを通して、センサ・アクチュエータ等とのインタフェースを行う外部IOコアや浮動小数点テーブル補間アクセラレータとパケット通信を行い、正しくガソリンエンジンの制御を行うアプリケーションを動作させることができた。さらに、CPUコアのダウンを、ウォッチドックタイマをベースとした簡単な故障検出機構を用いて検出する機構を実装し、CPUコアダウン時には、もう一つの正常コアへのタスク再割り当てを行い、ガソリンエンジンの制御を続行できた。このデモを国際会議PRDC2010の展示に出展し、ポジティブなコメントを頂いた。

(5) マルチコアシステムの高信頼化技術の開発

複数のプロセッサコアを1チップに搭載したマルチコアアーキテクチャにおいて、冗長化によりシステムとしての信頼度を上げる手法を開発している。その基本的な考え方は以下の通りである。複数の並列実行されるタスクがあるものとし、各タスクは2つの同じコピーにより、2つのプロセッサコアのペア上で実行され、その結果が比較される。比較結果が不一致となり故障が検出された場合、故障判定モードに移行し、故障種類(一過性故障、あるいは永久故障)の判定を行い、永久故障が生じた場合は故障コアを特定してそれ以外のコアでシステムを再構成し、再び複数ペア対の並列実行を継続する。従来広く利用されてきたTMR(Triple Module Redundancy)のように常時三重実行する必要はなく、高性能化を実現できる。

故障判定方式としては、判定時にスペアのコアを用いてTMRを組む方式などが提案されているが、本研究ではペア対交換による方式をPair&SwapとしてWDSN10,PRDC10で提案している^{4), 5)}。Pair&Swapでは、不一致が生じた場合、ペアの一方を他のペアの片方と交換(スワップ)し、不一致のタスクを最新のチェックポイントから再実行して再度比較する。2回目の比較で演算結果が一致していれば発生した故障は一過性故障であると判定でき、2回目の比較でも不一致の場合は2回とも不一致となったペアに含まれているコアに永久故障が生じたと判定できる。本方式を用いることで、スペアを用意する必要なくコアを有効利用することが出来る。

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. H. Zheng, H. Yao, T. Yoneda : Modular Model Checking of Large Asynchronous Designs with Efficient Abstraction Refinement, *IEEE Transactions on Computers*, Vol. 59, No. 4, pp. 561-573, 2010. (DOI: 10.1109/TC.2009.187)
2. Hiroshi Saito, Naohiro Hamada, Tomohiro Yoneda, and Takashi Nanya : A Floorplan Method for Asynchronous Circuits with Bundled-data Implementation on FPGAs, *Proc. of 2010 IEEE International Symposium on Circuits and Systems*, pp.925-928, 2010. (DOI: 10.1109/ISCAS.2010.5537402)
3. Chammika Mannakkara , Tomohiro Yoneda : Asynchronous Pipeline Controller Based on Early Acknowledgement Protocol, *IEICE Trans. Vol.E93-D,No.8*, pp.2145-2161, Aug. 2010. (DOI: 10.1587/transinf.E93.D.2145)
4. Masashi Imai, Tomohide Nagai, Takashi Nanya : Pair and Swap:An approach to Graceful Degradation for Dependable Chip Multiprocessors, *WDSN2010, Chicago (USA)*, 2010.6.28
5. James Weston, Masashi Imai, Tomohide Nagai, Takashi Nanya : An Efficient Decision Unit for the Pair and Swap Methodology within Chip Multiprocessors, *Proc. PRDC2010*, pp.62-69, PRDC2010, National Institute of Informatics (Tokyo), 2010.12.14, DOI: 10.1109/PRDC.2010.43
6. Atsushi Matsumoto, Naoya Onizawa and Takahiro Hanyu, One-Color Two-Phase Asynchronous Communication Links Based on Multiple-Valued Simultaneous Control, *Proc. 40th IEEE International Symposium on Multiple-Valued Logic*, Vol.40, pp.211-216, 2010. (DOI: 10.1109/ISMVL.2010.47)
7. Naoya Onizawa and Takahiro Hanyu, A High-Throughput Protocol Converter Based on an Independent Encoding/Decoding Scheme for Asynchronous Network-on-Chip, *Proc. 43rd International Symposium on Circuits and Systems*, pp.157-160, 2010. (DOI: 10.1109/ISCAS.2010.5538027)
8. Naoya Onizawa, Tomoyoshi Funazaki, Atsushi Matsumoto and Takahiro Hanyu, Accurate Asynchronous Network-on-Chip Simulation Based on a Delay-Aware Model, *Proc. IEEE Computer Society Annual Symposium on VLSI 2010*, pp.357-362, 2010. (DOI: 10.1109/ISVLSI.2010.45)
9. Naoya Onizawa, and Takahiro Hanyu, Highly Reliable Multiple-Valued One-Phase Signalling for an Asynchronous On-Chip Communication Link, *IEICE Trans. Inform.*, pp.2089-2099, Aug. 2010. (DOI: 10.1587/transinf.E93.D.2089)
10. Naoya Onizawa, V. C. Gaudet and Takahiro Hanyu, Low-Energy Asynchronous Interleaver for Clockless Fully-Parallel LDPC Decoding, *IEEE Trans. on Circuits and Syst. I Reg. Paper*, *IEEE Transactions on Computers*, Vol. 59, No. 4, pp. 561-573, 2010. (DOI: 10.1109/TCSI.2011.2107271)

11. Naoya Onizawa, Atsushi Matsumoto, and Takahiro Hanyu, Interconnect-Fault-Resilient Delay-Insensitive Asynchronous Communication Link Based on Current-Flow Monitoring, .Proc. Design Automation Test in Europe (DATE), pp.776-781, March 2011.
12. Takao Kawano, Naoya Onizawa, Atsushi Matsumoto, and Takahiro Hanyu, Adjacent-State Monitoring Based Fine-Grained Power-Gating Scheme for a Low-Power Asynchronous Pipelined System, Proc. IEEE Int. Symp. Circuits and Systems 2011, (accepted).
13. Masashi Imai and Tomohiro Yoneda, Improving Dependability and Performance of Fully Asynchronous On-chip Networks, Proc. IEEE Int. Symp. Asynchronous Circuits and Systems 2011, pp.65-76, April 2011. (DOI 10.1109/ASYNC.2011.15)
14. Naohiro Hamada and Hiroshi Saito, Integration of Behavioral Synthesis and Floorplanning for Asynchronous Circuits with Bundled-data Implementation, Proc. ACM Great Lakes Symposium on VLSI 2011, (accepted).

(4-2) 知財出願

- ① 平成22年度特許出願件数(国内 3 件)
- ② CREST 研究期間累積件数(国内 4 件)