

吉本 雅彦

神戸大学 大学院システム情報学研究科・教授

超高信頼性 VLSI システムのためのディペンダブルメモリ技術

§1. 研究実施の概要

・ 研究のねらい:

システム LSI においては SRAM の大容量化が進み、現在では総トランジスタ数の 90%以上を占めるに至っている。そのため、LSI の動作マージンは組み込み SRAM が支配すると言っても過言ではない。SRAM のディペンダビリティを阻害する要因として、次の 6 項目が挙げられる。素子の経年劣化、電源ノイズなどの電圧変動、温度変動、ソフトエラー、サイドチャネルアタック、不正アクセスである。本研究のねらいは、これらの阻害要因への対策技術を開発することである。

・ 研究の概要:

本研究では、耐ソフトエラー設計技術、不良予知診断技術、不良回避技術、統合化プラットフォーム技術、統合試作による有効性検証、システムレベル検証技術の 6 つの側面から設計技術を研究する。これらの課題を解決することで、i) 不良予知、検出、回避までの一貫した SRAM の信頼性向上のためのディペンダビリティメモリ技術開発を行うとともに、それを SoC 設計に発展させ、ii) ディペンダブル SoC プラットフォーム技術開発を実施する。また、iii) 実応用（車載応用）における、開発技術のコスト・性能・消費電力とディペンダビリティのトレードオフを明確にする。

・ 研究進捗状況:

- ① 当初テーマについては、統合試作1に向けた要素技術すなわち、耐ソフトエラー技術、不良予知診断技術（オンチップモニター、BIST）、不良回避技術（QoBメモリ、細粒度動的電圧制御）、SoC プラットフォームへの展開技術（フレキシブル電源ネットワーク）の開発がほぼ完了した。また、構築した CPU モデルベース協調シミュレーション(Virtualization)環境を用いて、車載エンジンコントロールでのシステムレベル検証を実施した。
- ② また発展テーマに関しても、耐タンパ電源フィルタ、耐タンパ暗号鍵生成技術、ディペン

ダブルメモリベース・マルチコアアーキテクチャのT E G設計、試作、評価を実施した。

・今後の見通し：

H22年度の残りとH23年度において、これまで開発した要素技術を結集させた統合試作1のための設計を加速する。また、車載応用CPUモデルベース協調シミュレーションを集中的に投入する。また、発展テーマでは、「自動車エンジン等の駆動系と周辺監視等の認識処理を連携した自動車予防安全システム」への適用を視野に入れて、①耐タンパ拡張フレキシブル電源ネットワーク、②メモリベース・チップID設計技術、③ディペンダブルメモリベース・マルチコアアーキテクチャ技術を加速する。

§ 2. 研究実施体制

(1)神戸大学 吉本グループ

①研究分担グループ長：吉本 雅彦(神戸大学大学院システム情報学研究科、教授)(研究代表者)

②研究項目

- ・耐ソフトウェア回路技術の開発
- ・フィールドでのチップ内加速試験による不良予知診断技術の開発
- ・Q o B・RAMを用いた不良回避技術の開発。
- ・統合技術による自律型ディペンダブルメモリシステムの開発
- ・ディペンダブルメモリベース・マルチコアプロセッサアーキテクチャの開発

(2)神戸大学 永田グループ

①研究分担グループ長：永田 真(神戸大学大学院システム情報学研究科、教授)(主たる共同研究者)

②研究項目

- ・チップ内モニタリングによる不良予知診断技術の開発
- ・統合技術による自律型ディペンダブルメモリシステムの開発
- ・耐タンパ性拡張フレキシブル電源ネットワークの開発

(3)ルネサスエレクトロニクスグループ

①研究分担グループ長：新居 浩二(ルネサスエレクトロニクス、設計基盤開発統括部、課長)(主たる共同研究者)

②研究項目

- ・細粒度電圧制御による不良回避技術の開発
- ・ディペンダブルメモリシステムのハードウェアプラットフォームの開発

- ・統合技術による自律型ディペンダブルメモリシステムの開発
- ・暗号鍵生成技術の開発
- ・耐タンパ性拡張フレキシブル電源ネットワークの開発

(4) 日立製作所グループ

①研究分担グループ長： 於保 茂(日立製作所、中央研究所、主管研究員)(主たる共同研究者)

②研究項目

- ・システムレベル検証技術の開発

§3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

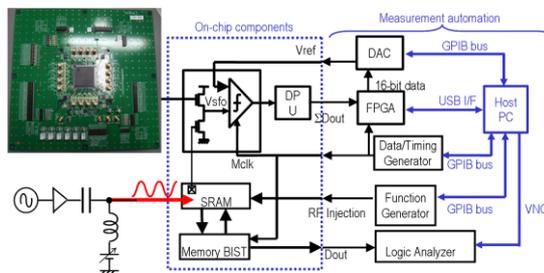
・**研究項目:** 目標達成のために本研究で研究項目は下記である。①、耐ソフトウェア技術として中性子線照射に強いメモリセルレイアウトを開発する。②フィールドでの不良予知診断技術として、チップ内電圧モニタリングによる方法(予知方式1)とチップ内加速試験による方法(予知方式2)を開発する。③不良回避技術として、新規提案のQoB(Quality of Bit)メモリ技術(回避方式1)と、アシスト回路を用いた細粒度電圧制御技術(回避方式2)を開発する。④次に上記をSoCプラットフォームへ展開するためのディペンダブルシステム技術開発を実施する。その要素開発項目は以下の4つである。1) 細粒度で電源電圧をプログラムできるフレキシブル電源ネットワークの開発、2) 電源ノイズフィルタリングによる電磁環境性能の向上と耐タンパ拡張フレキシブル電源ネットワークの開発、3) SRAMの不良ビット発生のランダム性に着目したチップ固有IDを用いた耐タンパ技術の開発、4) 上記ディペンダブルメモリ技術をベースとし、OSと協調動作するマルチコアプロセッサアーキテクチャの開発である。⑤上記①②③および④の1)を用いた統合試作により、自律型ディペンダブルメモリシステム(自律的に不良を予知し不良回避できるVLSIメモリシステム)を開発する(統合試作1)。また、前記統合試作1と④の2)3)4)の統合により拡張型ディペンダブルシステムLSIを開発する(統合試作2)。⑥上記開発技術のシステムレベル検証として、CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション(Virtualization)を実施する。これにより、実応用におけるメモリシステムのコスト・性能・消費電力とディペンダビリティのトレードオフを明確にする。

・H22年度研究進捗状況のまとめ:

①耐ソフトウェア技術については、雑音電流 $I(t)$ 抽出のため3次元シミュレータ(iRoC社のTFIT)を導入し、開発対象シミュレータの中への組み込みを行った。このシミュレータを用いて、SRAMセルの新規レイアウトによるSER低減技術を開発した。提案するレイアウト構造により、横方向のMulti-Bit-Upset(MBU)を~1桁削減出来る。また、Divided WL構造とECCを組み合わせることにより、SEUを救済することが出来、中性子線照射時のSERを約1桁改善できることを確認した。

②-1: チップ内電圧モニタリングによる予知診断(予知方式1)については、

SRAMのダイナミックディペンダビリティ テストチップ測定自動化環境



- ▶ オンチップは最小の回路構成、オフチップにデータ取得を自動化する測定システム
- ▶ オンチップの自己ノイズ発生(PSN)とオフチップからの電力注入(DPI)

図1 BER自動測定システム

SRAM 動作時の電源ノイズ波形をオンチップ観測する手段を確立した(図1)³⁾。また、オンチップの電源ノイズ観測とオンチップ BIST によるビットエラー率測定 of 統合を実現しており、電源ノイズとビット不良のメカニズムを解明するための実験データの蓄積が進んでいる。さらに、VLSI システムの実装ボードからの外来電源ノイズが SRAM に与える影響についても実験データが蓄積されている。

②-2 : チップ内加速試験による方法 (予知方式 2) については、実使用状態にてメモリブロック単位ごとに周期的な BIST 実行により、BER の電源電圧依存性測定するための BIST 回路の設計を完了した。また、温度センサにより得られた BIST 時と実動作時の温度値の差から、実動作時の BER を導出するためのモデル式を構築中である。

③-1 : QoB・SRAM (回避方式 1) については、マルチコアプロセッサやキャッシュへの応用技術として、メモリ容量の変動による性能低下を最小限に抑える QoB キャッシュアーキテクチャや、段階的なテスト技術と組み合わせた細粒度 QoB アーキテクチャを開発した(図2)。キャッシュ容量とウェイ数を削減して Vmin を改善する従来方式としてインテルの「word-disable 方式」があるが、それと比較して、Vmin を 0.63V から 0.5V まで改善できた(65nm の 4MB キャッシュを仮定)。また、マルチコアプロセッサ上で DMR(Dual Modular Redundancy)を高速に実行させるための、QoB 構造を用いた一括比較技術を開発した¹⁾。TEG による試作、評価により、従来に比し必要サイクル数を 99.6%削減できることを確認した。

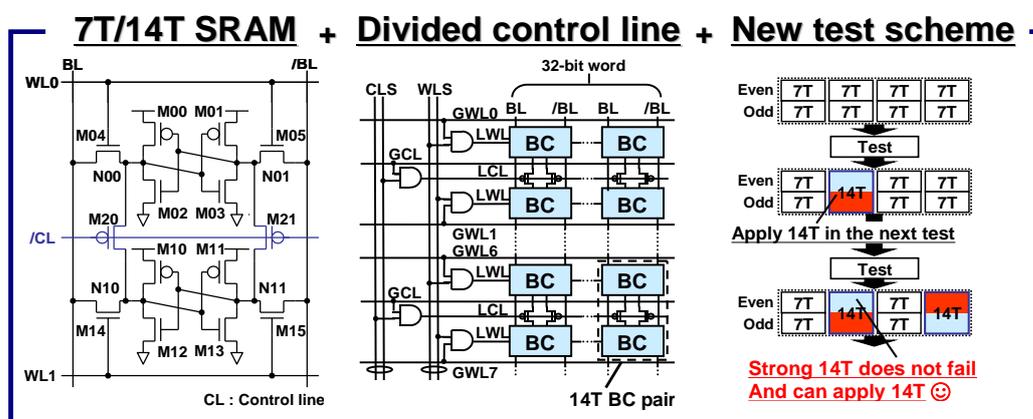


図2 細粒度QoBアーキテクチャ

③-2 : 細粒度電圧制御による不良回避 (回避方式 2) については、細粒度制御可能なリードアシスト回路及びライトアシスト回路を付加することで、SRAMの動作下限電圧をより低くする TEG の評価を行った(図3)。リードマージンとライトマージンを改善するために局所的にバイアス制御するため、両マージンを同時に改善できる。その結果、3%の面積オーバーヘッドで提案の細粒度アシストで 50mV 以上の Vmin 改善効果が得られ、その有用性を確認できた。²⁾

④-1 : フレキシブル電源ネットワークの開発については、電源遷移コントロール回路を付加した TEG の回路設計、試作、評価を実施した。フレキシブル電源ネットワークの基本動作と特性の確認を実施し、遷移コントロールによって、遷移時間が 400ns 以上と遅くなるが、グロー

バル電源にノイズが発生せず電源遷移が行えていることが確認できた。

④-2:「電源ノイズフィルタリングによる電磁環境性能の向上と耐タンパ拡張フレキシブル電源ネットワークの開発」については、デジタル LSI の内部動作状態と、オンチップ電源ノイズ及び実装ボード上の電磁ノイズを関連づける評価システムを構築した。デジタル LSI の電

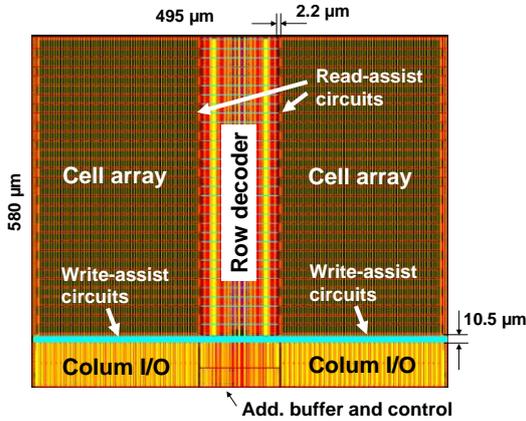


図3 細粒度電圧制御による不良回避 TEG

源ノイズや電磁ノイズが、動作周波数や内部ビットパターンと強く関連することを、テストチップの評価により確認した。

④-3:「SRAM の不良ビット発生ランダム性に着目したチップ固有 ID を用いた耐タンパ暗号鍵生成技術の開発」については、チップ ID 機能検証用 TEG の設計、試作、評価を実施した。チップ ID 生成時にアシスト回路のバイアス条件を不良が発生しやすくなるように逆方向に制御し、その不良アドレスをチップ ID に用いる。電圧変動・温度変動に対する考察やランダム不良アド

ドレスを固定長のチップ ID に変換する際のユニーク性を高める工夫も実施した。

④-4:「ディペンダブルメモリ技術をベースとし、OS と協調動作するマルチコアプロセッサアーキテクチャの開発」については、基本アーキテクチャの策定を完了した。

⑤統合化技術開発については、自律型ディペンダブルメモリシステム（統合試作1）の仕様策定を完了し、鋭意設計中である。

⑥:「Virtualization によるシステムレベル検証」については、CPU モデルベースのハードウェア/ソフトウェア協調シミュレーション (Virtualization) における、メモリアクセス時の故障注入を可能とするメカ/エレキ/ソフト協調シミュレーション技術、Fault Injection System を用いることで、メモリ故障がシステムに与える影響を定量的に評価することが可能となった (図4)。特に車載エンジンコントロールシステムにおいて、QoB ディペンダブル SRAM を内蔵メモリに用いたプロセッサの異常終了率を評価し、従来の 6T SRAM を用いたプロセッサと比較して、システムレベルで信頼性の改善効果があることを確認できた。

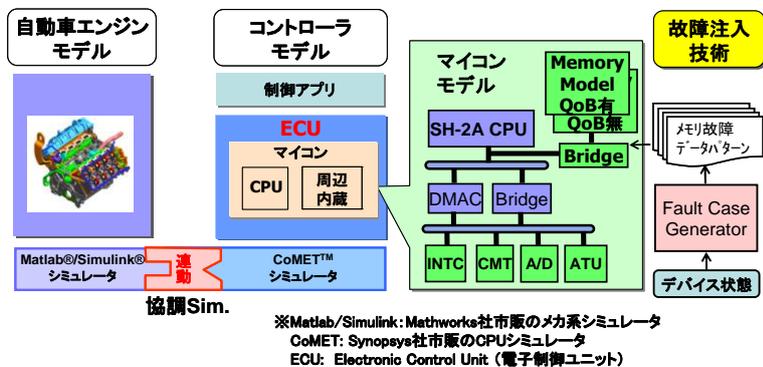


図4 CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション (Virtualization) システムブロック図

以上のように、当初テーマについては、統合試作1に向けた要素技術すなわち、耐ソフトウェア技術、不良予知診断技術（オンチップモニター、BIST）、不良回避技術（QoBメモリ、細粒度動的電圧制御）、SoCプラットフォームへの展開技術（フレキシブル電源ネットワーク）の開発がほぼ完了した。また発展テーマに関しても、耐タンパ電源フィルタ、耐タンパ暗号鍵生成技術、ディペンダブルメモリベース・マルチコアアーキテクチャのTEG設計、試作、評価を実施した。

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. S. Okumura, S. Yoshimoto, K. Yamaguchi, Y. Nakata, H. Kawaguchi, and M. Yoshimoto, "7T SRAM Enabling Low-Energy Simultaneous Block Copy," Proceedings of IEEE Custom Integrated Circuits Conference (CICC) 2010, Dig. Tech. Papers, Sep. 2010.
2. Koji Nii (Renesas Electronics), "Dependable SRAM with Enhanced Read-/Write-Margins by Fine-Grained Assist Bias Control for Low-Voltage Operation," IEEE International SOC Conference, Las Vegas, Nevada, USA, Sep. 29, 2010
3. Kumpei Yoshikawa, Takushi Hashida, Makoto Nagata, "An On-Chip Waveform Capturer for Diagnosing Off-Chip Power Delivery," IEEE International Conference on IC Design and Technology (ICICDT), Invited Talk, Apr. 2011.

(4-2) 知財出願

- ① 平成22年度特許出願件数(国内 4件)
- ② CREST 研究期間累積件数(国内 9件)