

中村宏

東京大学 大学院情報理工学系研究科 教授

## 革新的電源制御による次世代超低電力高性能システム LSI の研究

### §1. 研究実施の概要

本研究課題の目的は、快適な高度情報化社会を支える高性能システム LSI のさらなる高性能化と低消費電力化を、回路実装、アーキテクチャ、コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を行い実現することである。

本年度は、上記の目的を達成するために各グループがこの目的に沿った研究を行うと同時に、グループ間の協調を実現させるための共通プラットフォームとして、MIPS-CPU (R3000) 互換のプロセッサ Geyser-2 および、電力効率アクセラレータとして大規模リコンフィギュラブルプロセッサ Silent Large Datapath (SLD) の設計・試作を行った。

MIPS-CPU (R3000) 互換のプロセッサ Geyser は、パワースイッチによる細粒度の電源制御で低消費電力化を目指す汎用プロセッサである。今年度は、65nm テクノロジーを採用する Geyser-2 の設計・試作を行った。Geyser-2 は、前年度に開発した Geyser-1 の後継チップであるが、OS が動作するように cache と TLB を実装した点、および、設計の最適化を進めて動作周波数の向上を目指した点が異なる。第 2 の目標に関してはその目的を達成し Geyser-2 は 120MHz で動作することに成功した。120MHz においても、パワースイッチによる電源制御をサイクルレベルという時間的に極めて細粒度に正しく動作させることを実証できた点は大きな成果である。また、Geyser-1 に比べて漏れ電力の削減率の向上も達成できた。一方で、第 1 の目標に関しては、コプロセッサ CP0 における一部設計不具合のため、OS を稼働させることはできなかった。この点に関しては、Geyser-2 を FPGA に実装し、FPGA を用いた網羅的なテストを高速に実施することで問題の解決を図った。その結果、Geyser-2 が抱える不具合の洗い出しに成功し、その点を修正した Geyser を FPGA に実装し、さらにこの FPGA を用いた計算機システムの構築と、そのシステムへの Linux の移植に成功した。来年度は、この修正点を反映させた Geyser-3 を開発・試作する予定である。また、この FPGA 版 Geyser において、Geyser のパワーゲーティング機構を OS に提供することにも成功した。これらは、最終年度となる来年度に本研究の効果を実証する上で大きな成果である。また、低消費電力化という観点においてパワーゲーティング方式が克服すべき課題の一つは、パワースイッチの切り替えに伴うエネルギー的なオーバーヘッドである。パワーをオフにした場合のリーク電力削減効果とパワーのオン/オフによる消費エネルギーオーバー

ヘッドが等しくなる時間（損益分岐時間）は温度に大きく依存し、最適なパワーオン／オフ制御は温度により異なることがわかっている。そのため、温度という実行時状況をシステムソフトウェアが把握し、システムソフトウェアからの指示を基にパワーオン／オフ用のコードを動的に切り替える手法の開発も行った。

もう1種類のチップとして開発したのは、電力効率アクセラレータとしての SLD-1 である。これは、大規模な組み合わせ回路から成るアレイを用いたリコンフィギャラブルプロセッサであり、65nm テクノロジーで設計・試作を行った。SLD-1 の稼働にも成功し、ある画像処理アプリケーションにおいて、1.3GOPS/11mW の高いエネルギー効率を達成することに成功した。我々の知る限り、同じアプリケーションに対して、他のどのアクセラレータよりも優れたエネルギー効率を示すことに成功している。

これらのほかに、各グループは階層間の協調による低消費電力化を目指した研究を行っており、実行時の状況に応じて変動するリーク電流を測定するオンチップ・リークモニター回路、超低電圧回路、データレジデントを指向するチップマルチプロセッサ向けメモリアクセス最適化手法、SLD アーキテクチャのためのコード生成技術、などの検討を行った。

今年度もほぼ想定通りの進捗と成果を出せる見込みであり、今後も当初計画どおりに、目標達成を目指して引き続き研究を推進させる。

## § 2. 研究実施体制

(1)「回路技術」グループ(芝浦工業大学)

- ① 研究分担グループ長：宇佐美公良(芝浦工業大学工学部教授)
- ② 研究項目：アーキテクチャ協調型超低電力回路技術

(2)「アーキテクチャ」グループ(東京大学)

- ① 研究分担グループ長：中村宏(東京大学大学院情報理工学系研究科教授)
- ② 研究項目：超低電力データレジデントアーキテクチャ

(3)「動的リコンフィギャラブル」グループ(慶應義塾大学)

- ① 研究分担グループ長：天野英晴(慶應義塾大学工学部教授)
- ② 研究項目：超低電力動的リコンフィギャラブルアーキテクチャ

(4)「システムソフトウェア」グループ(東京農工大学)

- ① 研究分担グループ長：並木美太郎(東京農工大学大学院共生科学技術研究院教授)
- ② 研究項目：超低電力を実現するアーキテクチャ協調型システムソフトウェア

(5)「コンパイラ」グループ(電気通信大学)

- ① 研究分担グループ長:近藤正章(電気通信大学大学院情報システム学研究科准教授)
- ② 研究項目:超低電力を実現するデータレジデントコンパイラ

### §3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

本年度は、回路実装とアーキテクチャの協調による低電力化、およびアーキテクチャとシステムソフトウェアの協調による低電力化を2つの柱とし、5つの研究グループで以下の研究を実施した。

(1)回路技術グループ:以下の主要な成果を得た。

#### ・超低電圧回路技術

##### ー演算器回路のアーキテクチャ検討

超低電圧で動作させるプロセッサでは、内部の演算器に対して、超低電圧下で動作速度や消費エネルギーが最適になるような回路構造が求められる。加算器に対して6種類のアーキテクチャを検討し、65nmプロセスで24bit加算器を想定して回路設計およびP&Rによるレイアウト設計を行った。レイアウト結果に対するシミュレーションで比較・評価した結果、高速アーキテクチャとして知られているKogge-Stoneアダダーは、動作電圧がサブスレシールド領域に入った0.3Vで消費エネルギーが最小になるが、この消費エネルギーはリップルキャリアアダダーを0.8Vで動作させれば達成可能であることが分かった。また、Kogge-Stoneアダダーを0.3Vで動作させたときの遅延時間は、リップルキャリアアダダーを0.4V(Near-threshold電圧)で動作させたときの遅延時間とほぼ同じであり、その状態ではリップルキャリアアダダーのほうがKogge-Stoneアダダーに比べ約1/2の消費エネルギーで済むことも分かった。今回の評価結果から、超低電圧向けの加算器のアーキテクチャとしては、Kogge-Stoneアダダーに代表される並列プレフィックス加算器やキャリアルックアヘッド加算器よりも、リップルキャリアアダダーが適していることが判明した。知見をまとめ、11月の電子情報通信学会VLD研究会で学生が論文発表した。この他、乗算器に対しても、超低電圧での最適アーキテクチャを検討した。

##### ー超低電圧向けレベルシフト回路の研究

超低電圧プロセッサには、超低電圧回路部分と通常電圧の回路部分をインターフェースするレベルシフト回路が必要である。サブスレシールド電圧(0.3V)あるいはNear-threshold電圧(0.4V)から通常電圧1.2Vに引き上げるレベルシフトとして、今回新たにカレントミラー型回路を用いたレベルシフトを考案し、65nmプロセスでシミュレーション評価した。その結果、従来のレベルシフト回路(ラッチ型レベルシフト)に比べ、考案した回路は、消費エネルギーが57%小さく、遅延時間が67%小さいことが分かった。これらの知見は、国際学会ITC-CSCC'10に採択された論文で発表した。

##### ー超低電圧回路TEG(“ColdSMAP”)の設計と試作

超低電圧向けの加算器、乗算器、レベルシフト、ばらつき制御のための基板バイアス制御回路を設計し、動的リコンフィギュラブルグループが開発したSLDのプロセッシングエレメントに適用する形で実装して、チップ(ColdSMAP)を試作した。電源電圧を超低電圧まで下げていったときの遅延時間を実測するため、超低電圧で動作するNAND49段のリングオシレータ回路も搭載している。

- ・オンチップ・リークモニタ回路技術

これまで本テーマで研究を進めてきたリークモニター回路は、リークをサンプリングするための簡単な回路(モデル回路)を用意し、モデル回路のリークをモニターして、チップのリークの代表値として使う方式であった。ところが、種々のばらつきを考慮すると、モデル回路を使うよりも、パワーゲーティングの対象となる演算器のリークをダイレクトにモニターする方式のほうが、精度を高められる。今年度、この方式を開発し、乗算器回路のリークを直接モニターするチップ(“ALFEE-2”)を設計し、試作した。

- ・2電源の動的切り替えによるリコンフィギャラブルプロセッサの低消費電力技術

コンテキスト単位で高電源電圧と低電源電圧を動的に切替えることにより、高性能を維持したまま低消費電力化する技術について研究を行った。以前、本テーマで設計・試作したチップ(MuCCRA-DVDD)に対し、動的リコンフィギャラブルグループで開発されたマッピングアルゴリズム PFCM による最適化とあわせて消費エネルギーを解析した結果、3種類の画像処理プログラムを実行した場合の消費エネルギーが12%減ることが分かった。

(2)アーキテクチャグループ:以下の主要な成果を得た。

- ・パワーゲーティング回路の高精度な遅延時間解析法

パワーゲーティング回路はスタンバイ時の低リーク電力を達成可能な技術であるが、スリープトランジスタの挿入によってアクティブ時における回路遅延が劣化する。スリープトランジスタのサイズを大きくする、またはスリープトランジスタの数を増やすと、遅延劣化は押さえられるが回路規模が大きくなる、というトレードオフがあるため、スリープトランジスタの大きさと遅延劣化の関係を正確に評価することが重要となる。従来の遅延評価法は、回路が正しく動作することを目的としているため、悲観的な遅延劣化予測を行う。その結果、遅延に関する設計制約を満たすために、設計時に過剰なスリープトランジスタの挿入が行われることになり、回路規模が必要以上に大きくなるという問題があった。そこで、論理ゲートおよびスリープトランジスタの電流モデルの非線形化、および、入力信号を考慮した動的シミュレーションによる各論理ゲートの放電時刻予測によって高精度にパワーゲーティング回路の遅延時間を高速にしかも正確に解析する手法を考案した。従来手法と比較して、計算量を大きく増加させることなく、遅延の予測精度を大幅に向上することが確認できた。この手法は、回路グループが検討中の超低電圧回路にも適用可能であり、超低電圧回路とパワーゲーティング手法を組み合わせる場合にも有効である。

- ・データレジデントを指向するチップマルチプロセッサ向けメモリアクセス最適化手法:

複数のプロセッサコアを1チップに搭載するチップマルチプロセッサにおいては、L2 キャッシュやメモリバスなどの共有リソース上で、複数のプログラム間の競合が発生する。性能低下の大きな要因となる、共有L2 キャッシュにおける競合の影響を緩和するために、以前よりキャッシュパーティショニングという手法が研究されている。我々は、キャッシュプリフェッチの積極度を実行時に変更することでメモリアクセスを制御する手法と、キャッシュパーティショニングとを協調させる手法を検討した。これは、各プログラムが必要とするデータの時間的・空間的状況、つまりデー

タレジデントを把握し、チップマルチプロセッサ上で複数のプログラムが実行される状況において、各プログラムのデータレジデント間の干渉を低減する手法と言える。初期検討を通して、提案する手法の有効性を確認した。

(3) 動的リコンフィギャラブルグループ: 以下の主要な成果を得た。

- ・ 大規模な組み合わせ回路から成るアレイを用いたリコンフィギャラブルプロセッサ SLD(Slient Large Datapath: SMA の名称を変更)のプロトタイプチップ SLD-1 を開発した。SLD は、動的リコンフィギャラブルプロセッサ MuCCRA-3 の実測による解析を元にエネルギー効率を極限に高めたアーキテクチャであり、以下の特徴を持つ。(1) 大規模な組み合わせ回路で構成した PE アレイと柔軟性の高い小規模な  $\mu$  コントローラの併用により、柔軟性を維持しながら、動的再構成、クロックツリー、レジスタによるオーバーヘッドを削減する。(2)  $\mu$  コントローラでデータの格納時間の制御を行うことで、演算データパスに必要な時間のみで演算することができる。(3) PE アレイ部のみを電圧スケールリングすることにより、問題毎に最適なエネルギー効率で動作させることができる。また、演算性能が過剰である場合、余った時間をエネルギーの削減に充てることができる。SLD-1 は  $8 \times 8$  の PE アレイを持ち、e-shuttle 65nm CMOS プロセスで  $2.1\text{mm} \times 4.2\text{mm}$  のチップ上に実装されている。SLD は最大 210MHz で動作し、1.3GOPS/11mW の高いエネルギー効率を達成した。これは同じプロセスで実装された MuCCRA-3 の約 3 倍に当たり、40nm プロセスで実装された他のどのアクセラレータよりも優れたエネルギー効率である。
- ・ 動的リコンフィギャラブルプロセッサ MuCCRA のエネルギー削減手を行うため、本年度はコンパイラによるマッピング手法を検討した。動的リコンフィギャラブルプロセッサのコンパイラは数多く提案されているが、今までのところ、消費電力を抑えるマッピング手法はほとんど研究されていない。PE アレイ上に形成されたデータパスをなるべく動かさないマッピング手法である PFCM を開発し、性能を落とすことなく 10%前後消費電力を節減した。
- ・ ランタイム細粒度パワーゲーティングを演算器レベルで施した MIPS R3000 マイクロプロセッサ Geyser-2 を実装した。Geyser-2 は Geyser-1 が CPU コアのみを実装したのに対し、キャッシュ、TLB を装備し、細粒度パワーゲーティングのライブラリ、実装手法を充実した。Geyser-1 に比べて BET(Break Even Time)、漏れ電力削減率共に改善したが、設計上の問題と、製造上にミスがあり、OS の稼動には至っていない。

(4) システムソフトウェアグループ: 以下の主要な成果を得た。

- ・ パワーゲーティングによる省電力方式の評価環境の構築

Geyser-2 の実チップによる評価を行う前に、RTL シミュレーションによる実行環境でテスト、デバッグは可能であった。しかし、RTL シミュレーションはシミュレーション

時間が長く、OS を含む評価には効率が悪い。また、主記憶、入出力を接続し、計算機システムとして総合的な動作環境が OS には必須となる。そこで、FPGA を用いて Geyser-2 を実現し評価を効率化すると同時に、256MB の主記憶、タイマ、シリアル通信、2 次記憶装置などの入出力装置を有する評価用計算機システムを構築した。FPGA により周辺回路を実装したほか、キャッシュ・TLB のパフォーマンスカウンタ、パワーゲーティングのスリープ回数などのカウンタを実現することにより、OS による資源管理の定量的評価のための手段、さらにはパワーゲーティングを制御する機構を OS に提供することができた。

- FPGA による Geyser で稼働する Linux の研究開発

Geyser におけるパワーゲーティング方式の評価には、挙動の異なる多種の応用プログラムを実行することが不可欠であるが、そのためには Geyser 上で動く OS が必要である。平成 22 年度は、FPGA による Geyser-2 上で動作するように Linux を移植した。ブートローダ、Linux 用デバイスドライバ、パフォーマンスカウンタへのアクセス関数群、Linux カーネルを Geyser 仕様に適合するように修正し、FPGA 版の Geyser で稼働する Linux を構築した。

- パワー制御ミスを指標とする OS スケジューラの研究

パワーゲーティングでは、適切な活性化と電源遮断の制御が必要であるが、Geyser ではユニットのスリープ期間はハードウェアで制御している。このスリープ期間をミスすると電力的には不利となるが、一般的に完全予測は困難である。そこで、スリープの間隔と回数を実行時に計測し、設計時のパラメータと比較することで、無駄な電源断と投入を削減する方式を提案し、FPGA 版の Geyser により評価を行った。

昨年度、独自の組込み OS で研究評価を行った Geyser のパワーゲーティング機構を利用するスケジューラを Linux 用に導入した。その結果、OS で 3 制御しない場合に比べて、平均 8%、最大 23% のリーク電力を削減できた。また、温度により適切なスリープポリシーを選択する機構を独自の組込み OS に導入した結果、平均 12%、最大 38% のリーク電力を削減することができた。

- パワーゲーティング用最適化コンパイラのコードの実行環境の研究

プログラムの静的解析により、適切なパワーゲーティングを行う命令語を生成するコンパイラが、コンパイラグループにより研究されている。このグループでは、温度に応じた最適化を行うコードを生成するコンパイラを開発した。今年度は、このコンパイラが生成したコードを実行する OS を構築した。独自の組込み OS の仮想記憶管理に、温度を考慮して適切なコードを選択する機構を導入した結果、10% 程度リーク電力を削減することができた。

- 省電力マルチコアアーキテクチャ向けの資源管理の基礎的検討

本研究テーマで検討しているマルチコアプロセッサ向けの資源管理について基本検討を行った。既存のマルチコア/メニーコア向けに、各コアを連携する方式を提案したが、

これらの成果を基に省電力が可能な OS の方式について検討した。

(5) コンパイラグループ：以下の主要な成果を得た。

- パワーゲーティング方式と親和性の高い命令コード生成技術：Geyser プロセッサに実装されている演算器毎に細粒度のパワーゲーティングを行う方式に対し、近い将来の命令実行を考慮しつつ各演算器のパワーオン/オフを命令により制御する手法を実装したコンパイラを開発した。このコンパイラでいくつかのベンチマークプログラムをコンパイルし、本プロジェクトで開発した Geyser-1 プロセッサの実チップ上で実行させることで、各演算器のパワーオン/オフを命令により制御しなかった場合と比較して、どの程度リーク消費エネルギー削減効果が向上するかを検討した。また、パワーをオフにした場合のリーク電力削減効果とパワーのオン/オフによる消費エネルギーオーバーヘッドが等しくなる時間（損益分岐時間）は温度に大きく依存し、最適なパワーオン/オフ制御は温度により異なることから、システムソフトウェアからの指示を基にパワーオン/オフ用のコードを動的に切り替える手法の開発を、システムソフトウェアグループと共同で行った。
- SLD アーキテクチャのためのコード生成技術の検討：多数のプロセッシングエレメントを並列に配置し、それらを低電圧で動作させることでダイナミック電力の削減を目指した SLD アーキテクチャにおいて、各プロセッシングエレメントを有効活用し、ダイナミック電力の削減効果を最大化できるコード生成の検討を行った。検討に際し、SLD にいくつかのアプリケーションをマッピングし、その性能と電力の予備評価をしたところ、アーキテクチャ上の制限により、いくつかのアプリケーションでは効率良くプロセッシングエレメントにマッピングできず、電力効率に改善の余地があることがわかった。そこで、変数レジスタやスイッチングエレメントなどのアーキテクチャを拡張し、それに応じたコード生成を行った。その結果、例えば行列積ではプロセッシングエレメントの利用効率を最大 4 倍程度改善することができ、プログラム実行をその分高速化できることがわかった。

## §4. 成果発表等

### (4-1) 原著論文発表

#### ●論文詳細情報

1. 平井啓一郎、佐野徹、加東勝、斎藤貴樹、天野英晴、“Dual-Vth セルの利用による動的リコンフィギャラブルプロセッサの漏れ電力削減、” 電子情報通信学会論文誌 Vol.J94-D No.1, pp.301-311, 2011.
2. 佐野徹、加東勝、斎藤貴樹、天野英晴、“動的リコンフィギャラブルデバイスにおけるデータパ



スコンフィギュレーションを用いた構成情報時間削減手法の提案、” 電子情報通信学会論文誌 Vol.J93-D No.12, pp.2579-2586.2010.

3. 関直臣、レイジャオ、小島悠、池淵 大輔、長谷川 揚平、大久保 直昭、武田 晴大、香嶋俊裕、白井 利明、宇佐美 公良、砂田 徹也、金井 遵、並木 美太郎、近藤 正章、中村宏、天野 英晴、“MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価、” 電子情報通信学会論文誌 Vol.J93-D, No.6, pp.920-930.2010.
4. 西川由理、鯉渕道紘、松谷宏紀、天野英晴、“単フリット、単サイクルルータを用いたNoC 向け非最短完全適応型ルーティング、”情報処理学会論文誌：コンピューティングシステム、Vol.3,No.3,pp.88-99, Sep.2010.
5. 松谷宏紀、鯉渕道紘、池淵大輔、宇佐美公良、中村宏、天野英晴、“CMP におけるオンチップルータの細粒度パワーゲーティングの評価、” 情報処理学会論文誌：コンピューティングシステム、Vol.3,No.3,pp.100-112, Sep.2010.
6. Zhao Lei, Hui Xu, Daisuke Ikebuchi, Tetsuya Sunata, Mitaro Namiki, Hideharu Amano, "A Leakage Efficient Data TLB design for Embedded Processors," IEICE Trans., Inf. & Syst., Vol.E94-D, No. 1 pp.51-59., 2011.
7. Hiroki Matsutani, Michihiro Koibuchi, Daisuke Ikebuchi, Kimiyoshi Usami, Hiroshi Nakamura, Hideharu Amano, “Performance, Area, and Power Evaluations of Ultra Fine-Grained Run-Time Power-Gating Routers for CMPs,” IEEE Trans. CAD (TCAD), Vol.30, No.4, pp.520-533. Apr. 2011.
8. 佐々木広、高木紀子、近藤正章、中村宏、“共有資源の競合を考慮したチップマルチプロセッサ向け低消費電力化手法”，情報処理学会論文誌 コンピューティングシステム (ACS), Vol.4, No.2. pp.40-58, Mar. 2011.

#### (4-2) 知財出願

- ① 平成22年度特許出願件数(国内 0 件)
- ② CREST 研究期間累積件数(国内 1 件)