

小池 帆平

(独) 産業技術総合研究所 エレクトロニクス研究部門 グループ長

しきい値電圧をプログラム可能な超低消費電力 FPGA の開発

§1. 研究実施の概要

本研究課題では、少量多品種向け LSI として、スーパーコンピュータから各種情報家電まで幅広い分野で大量に利用されている FPGA(Field Programmable Gate Array:プログラム可能論理素子)の、漏れ電流に起因する静的消費電力を最小限にするために、FPGA を構成するトランジスタのしきい値電圧を細粒度でプログラム可能とした超低消費電力 FPGA「Flex Power FPGA」を開発し、FPGA の静的消費電力を 100 分の 1 以下に低減させ、低消費電力型高速大容量情報処理システムの基盤技術を確立することを目指している。

これまでに、Flex Power FPGA 実験チップを拡張して FPGA のフル機能を搭載し、FPGA としてのフル機能の動作を確認し、Flex Power FPGA の概念を実証することを目指した、「Flex Power FPGA 基本チップ」と、基本チップをさらに拡張して回路・面積等の改良や性能最適化を行ない、しきい値制御粒度の細粒度化や面積オーバヘッドの削減や FPGA としての機能性の向上によって Flex Power FPGA のポテンシャルを実証することを目指した「Flex Power FPGA 改良チップ」の開発を進めてきた。

最新版である改良チップ第 2 版は、改良チップ第 1 版と同じく、90nm、6 層 Cu 配線の技術を利用した、おおむね 5×5mm のチップに、新規設計の FPGA 基本タイルが 6×6 に配置した FPGA アレイ部等を内蔵したものであり、コンフィギュレーションメモリの完全な SRAM 化、ボディバイアス制御用レベルシフタの内蔵、など、改良チップとしての性能面・機能面での改良を加えるとともに、設計の簡素化・簡略化、設計検証の徹底によって動作確実性の向上を図ったものであるが、製造半導体プロセスに G プロセスでなく LP プロセスを用いることにより、しきい値制御性の向上を狙ったものとなっている。改良チップ第 2 版に対し、リングオシレータ回路、カウンタ回路などを書き込んで動作確認を行い、Flex Power FPGA 機能の全体について正しく動作することを確認し、Flex Power FPGA の概念実証に成功するとともに、消費電力削減効果を評価し、改良チップ第 1 版が 2 ないし 3 分の 1 程度であったのに対し、およそ 5 分の 1 程度まで消費電力削減効果が向上したことを確認するとともに、評価結果の詳細な分析により、消費電力削減効果の阻害要因とこれを解決

する方策を明らかにし、最終版実証チップの設計へと反映させつつあるところである。

一方、基本チップ、改良チップの開発と並行して、Flex Power FPGA 用の独自のソフトウェアツールの開発を進めてきており、最終的にはオープンソースソフトウェアとして幅広く FPGA 研究に利用してもらうことを計画している。これまでに構築した、Flex Power FPGA 用のトータルな回路設計フローを用いて、ハードウェア記述言語(Verilog-HDL)で記述したテスト回路に対して論理合成を行い、その結果得られたネットリストに対して、改良チップ第1版をターゲットとして、パッキング、配置処理、配線処理、Vt マッピングを行い、チップに書き込むビットストリームファイルを生成させ、得られたビットストリームファイルを、今回試作した改良チップに書き込み、既述した論理回路として正しく動作することが確認できており、一通りの Flex Power FPGA 用ソフトウェアツールの開発が既に完了し、現在は実用化へ向けた改良作業を着々と進めてきている。こうして、Flex Power FPGA 本格研究のためのハードウェア／ソフトウェアの両輪を揃えることができた。

さらに、将来の Flex Power FPGA の更なる低消費電力化を見越して、回路の動的振る舞いの特性を利用してさらなる Flex Power FPGA の低消費電力化を図ることを目標とした Dynamic Flex Power FPGA 技術について検討を進めてきているほか、半導体微細化とともに問題が顕在化してきた半導体特性ばらつきを抑制する Robust Flex Power FPGA の基礎的検討の一環として、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する独創的な方法を提案して評価し、その成果を国際学会と国際学会誌で発表した。また、しきい値制御性の高い将来のデバイス技術、すなわち SOI トランジスタやダブルゲート MOS トランジスタを採用した Super Flex Power FPGA の設計についての検討を進めてきている。最終的には、これらの研究成果を総合して、静的消費電力を 1/100 にまで削減可能であることを示したいと考えている。

§ 2. 研究実施体制

(1)「産総研」グループ

① 研究分担グループ長: 小池 帆平 (産業技術総合研究所エレクトロニクス研究部門、グループ長)

② 研究項目

- Flex Power FPGA 技術統合化の研究
- Flex Power FPGA アーキテクチャの研究
- Flex Power FPGA 回路技術の研究
- Flex Power FPGA チップレイアウト設計
- Flex Power FPGA 関連ソフトウェアの研究
- Super Flex Power FPGA の研究
- Dynamic Flex Power FPGA の研究

- Robust Flex Power FPGA の研究

(2)「明大」グループ

① 研究分担グループ長:堤 利幸 (明治大学理工学部、准教授)

② 研究項目

- Flex Power FPGA チップの設計、テストの研究
- Super Flex Power FPGA 向けデバイスのモデリングに関する研究

(3)「金沢工大」グループ

① 研究分担グループ長:河並 崇 (金沢工業大学情報学部、講師)

② 研究項目

- Flex Power FPGA チップ関連ソフトウェアの研究
- Dynamic Flex Power FPGA 研究

§3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

平成 22 年度 12 月末時点までに実施した研究内容は以下の通りである。

1. Flex Power FPGA 改良チップ第2版の評価

平成 22 年度には、前年度に設計した改良チップ第 2 版の製造を終え、消費電力削減効果の評価を進めた。改良チップ第 2 版では、低しきい値モードでの大幅な消費電力の増大を抑えるために、(G プロセスを使用した)改良チップ第1版よりも低消費電力となる LP プロセスによって製造されたものであり、LP プロセスにおけるゲート酸化膜厚の増大により、ゲート電圧の制御力が弱まる分、より高いしきい値制御性が得られることが期待されている。

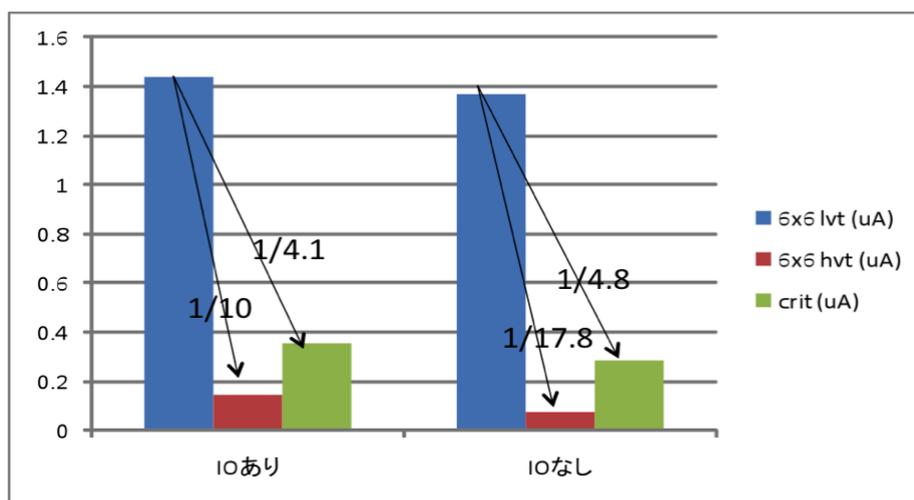


図 1 : 改良チップ第 2 版の漏れ電流削減効果測定結果

(左は電源保護回路の漏れ電流を含んだ実測値、右は保護回路漏れ電流分を差し引いた補正值、青は全て LVT/赤は全て HVT/緑は FP2GA、カウンタ回路構成時)

図1に改良チップ第2版の漏れ電流削減効果の測定例を示す。カウンタ回路を構成した 6x6 タイル部分のコア電流を測定したものであるが、左側のグラフは生の実測値であり、右側のグラフは電源保護回路の漏れ電流による影響を差し引く補正を加えた値である。昨年度報告した改良チップ第1版の評価においては、チップの入出力ライブラリに組み込まれた電源保護回路の漏れ電流の存在に気がつかずに実測値そのものによる評価を行なっていた。その結果、1/2 程度という不本意な漏れ電流削減性能結果しか示すことができなかったが、その後、詳細な分析を進めたことにより、電源保護回路の漏れ電流の存在が明らかになり、このような本質的でない(すなわち、より高性能なライブラリを導入するなどの対策によって容易に除去できる)漏れ電流が評価結果に大きな影響を及ぼしていたことが判明したため、今回の評価では、この電源保護回路の漏れ電流

の推定値を詳細な回路シミュレーションによって求め、実測値に対して補正を加えた値を評価に用いることとした。3本ずつ並んだグラフのうち、青いグラフは、全てのしきい値制御ドメイン(576 カ所)を低しきい値(バイアス電圧 0V)とした場合、赤いグラフは、全てのしきい値制御ドメインを高しきい値(バイアス電圧-1.15V)にした場合、緑のグラフは、クリティカルパスとなるしきい値制御ドメイン(55 カ所)のみを低しきい値にした場合について、補正前/補正後のコア電流を示したものとなっている。

図1の結果から、全て低しきい値とした場合と全て高しきい値とした場合で電源保護回路漏れ電流補正後は 1/20 近い漏れ電流の削減効果が得られることがわかる。これに対して改良チップ第1版ではこの変化幅は保護回路の影響を補正した後でも 1/10 に及んでいなかった。これより、G プロセスに代わって LP プロセスを採用することによって、しきい値の制御性を高めることに成功していることが確認できた。

いっぽう、クリティカルパスだけを低しきい値にした Flex Power FPGA では、全てを低しきい値とした場合に比べ、補正後では 1/5 程度の漏れ電流削減効果が得られていることがわかる。この削減率は、G プロセスを用い保護回路漏れ電流の影響の補正も行われていなかった改良チップ第1版による昨年度の評価結果での数字の 1/2 と比べると大幅な改善がなされたと思なせるものであるが、先に示したように、LP プロセスの採用によりデバイスのしきい値制御性を高めたことによって、全て低しきい値の場合と全て高しきい値の場合の割合が 1/20 にまで拡大された事実と比べると、必ずしも十分な削減効果が得られているとは判断できない。このため、これまで問題としてきたデバイスのしきい値制御性以外の新たな性能阻害要因を見つけるべく、更なる詳細な分析を進めた。

これまでの改良チップの評価作業に用いてきたベンチマーク回路であるカウンタ回路では、全ての 576 カ所のしきい値制御ドメインのうち、クリティカルパスとなる 55 カ所のしきい値制御ドメインのみが低しきい値にマッピングされ、その割合はおよそ 10%である。これに対して、Flex Power FPGA 用設計ツールを用いて複数のより大規模なベンチマーク回路についてシミュレーションを行った場合には、この割合は 1~4%程度となることがわかっている(後述)。このことから、小規模な改良チップでもマッピングすることができるという理由で採用していた単純なカウンタ回路が、実は、Flex Power FPGA の漏れ電流削減性能を評価するためのベンチマーク回路としては極めて不利な物であることがわかった。このため、今後、数値目標を達成するための課題の第1は、より大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップを開発することとなった。

いっぽう、クリティカルパスとなる 55 カ所のしきい値制御ドメインのうち 16 カ所を占める BLE(Basic Logic Element)回路は他と比べ回路規模がおよそ 7 倍ほど大きい。これがネックとなることによる漏れ電流削減性能の上限は、試算によると 1/6.7 程度となる。この値は先に述べた実測評価結果とかなり近いものであり、BLE 回路のしきい値制御粒度がネックとなっていることを明らかに示している。このことから、今後、数値目標を達成するための課題の第2は、BLE 回路をより粒度の細かいしきい値制御ドメインに分割し、ネックとならないようにすることである。

以上をまとめると、本年度の改良チップ第2版の評価作業を通じて、まず第一に、G プロセスに代わってLPプロセスを採用することによってしきい値の制御性を高めることに成功していること、がわかった。また、今後、数値目標を達成するための第1の課題は、より大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップを開発することであり、第2の課題は、BLE回路をより粒度の細かいしきい値制御ドメインに分割し、ネックとならないようにすることであることがわかった。

2. 最終版 Flex Power FPGA 実証チップの設計

Flex Power FPGA 改良チップ第2版の評価では、全て低しきい値とした場合とクリティカルパスのみ低しきい値とした場合での5倍弱の漏れ電流の変化幅は、当初もくろんでいた2桁の変化幅に残念ながら及んでいない。評価結果の分析より得られた、数値目標を達成するための課題は、単純なカウンタ回路よりも大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップを開発することと、BLE回路をより粒度の細かいしきい値制御ドメインに分割し、ネックとならないようにすることである。これらをもとに、数値目標達成を目指した、最終版 Flex Power FPGA 実証チップの設計に取りかかった。

最終版 Flex Power FPGA 実証チップの基本アーキテクチャは、平成19年度に試作をもくろみ部分的な動作の確認に成功した Flex Power FPGA 基本チップのアーキテクチャを踏襲する物となっている。すなわち、4つのBLEからなるクラスタロジックブロック(これまでの改良チップではBLE数を2に簡素化)と、長さ4の単方向セグメントを有するスイッチブロック(これまでの改良チップではセグメント長を2に簡素化)から成る基本タイル10×10程度(これまでの改良チップでは3×3ないし6×6に簡素化)を5mm四方のチップ全体に敷き詰めた(これまでの改良チップではチップの一部のみを利用)構成をとっている。一方、改良チップで、設計作業の簡略化のために導入した入出力アーキテクチャなどは、そのまま採用することとしている。これにより、単純なカウンタ回路よりも大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップとなるとともに、BLE回路をより粒度の細かいしきい値制御ドメインに分割したものとなっている。

いっぽう、昨年度と本年度の改良チップの評価作業において大きな問題となった、電源保護回路の漏れ電流に関しては、保護回路の(場合によっては部分的な)取り外しも検討したが、最終版実証チップでは、タイル回路規模もタイル数も大幅に増大し、これに伴ってチップ全体の漏れ電流の絶対量が増大するために、保護回路の漏れ電流の影響が相対的に大きく減ることが試算により明らかになったため、チップ製造/測定時のリスクを減らす観点から、現在は取り外さない方針で設計を進めている。チップ内に保護回路のみから成るTEG回路を埋め込み、これから実測した漏れ電流値を用いることによって回路シミュレーションによる推定よりも精度の高い測定値の補正を可能とする予定である。

年度末までに、マルチプレクサ回路など要素部品回路の回路設計作業を完了し、タイル回路の設計とシミュレーションによる検証までを予定通りに進めてきたが、3月11日の地震以降、設計作業に用いてきたサーバー計算機の運転再開許可が得られないため、設計作業は中断している。当初の目標では、平成23年6月中旬までに設計検証作業までを終え、テープアウトを迎える予定となっているが、1ないし2ヶ月の遅れが出るおそれがある。

3. Flex Power FPGA 設計ツールの改良

これまでに、論理合成、配置配線、Vt マッピング、試作チップへのコンフィギュレーションデータの書き込みまでの一連の CAD フローを実現し、動作の確認を完了していた Flex Power FPGA 設計ツールのソフトウェア群について、昨年度は、今後、より高度な評価実験を進めて行くことと、研究成果の技術移転／商用化をも見据えていくための準備として、利用ライセンス制限のあるツールの置き換え作業、動作視覚化ツールの開発、半導体特性ばらつき対策配線機能(Robust Flex Power FPGA 機能)のツールへの統合、等の作業を進め、改良を行ってきたが、平成22年度は、より大規模な複数のベンチマーク回路での配置配線処理を可能とさせ、Flex Power FPGA のより幅広い状況での数値目標の達成状況を確認できるようにするために：

- 1 安定性、信頼性を向上させるためのコードのブラッシュアップ
- 2 形式検証ツールを用いた大規模回路での動作検証
- 3 電力化移籍ツール等とのインタフェスを確立

などの改良を進めた。これらの改良の加えられたツールによって、MCNC20 ベンチマーク回路、および、オープンコア回路集より選んだ、AES128(暗号化回路)、openMSP430(16ビットマイクロプロセッサコア)について、配置配線処理が正しく行われることを確認した。また、これらのベンチマーク回路に対してしきい値マッピングを行った場合に、低しきい値がマッピングされるしきい値制御ドメインの割合が1～4%程度であることを確認した。今後、設計の進む最終版 Flex Power FPGA 実証チップのパラメータの反映と、年度末に納入された最新版の設計ツールの利用により、より詳細な検証作業を進めていく予定である。

4. Super Flex Power FPGA 評価のためのデバイスパラメータ抽出作業

しきい値制御性能の高いダブルゲート構造の SOI トランジスタを用いた Super Flex Power FPGA の回路シミュレーションによる性能予測を行なうために、SOTB トランジスタの測定データの提供を受け、HiSIM-SOI モデルを対象としたパラメータ抽出作業を進めた。HiSIM-SOI モデルの改良を待って、回路シミュレーションによる性能予測へと進めて行く予定である。

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. Koike et.al., “May the Fourth (terminal) be with you - Circuit Design beyond FinFET”, *Proc. of IEDM 2010*, p.17.4.1, 2010 (DOI:10.1109/IEDM.2010.5703381)
2. 小池汎平、4 端子ダブルゲート素子の回路技術と FPGA への応用、応用物理学会分科会シリコンテクノロジー「エマージング技術とその回路技術」予稿集、No.129, pp.32-36, 2010 (DOI: 不明)

(4-2) 知財出願

- ① 平成22年度特許出願件数(国内 0 件)
- ② CREST 研究期間累積件数(国内 7 件)