

「情報システムの超低消費電力化を目指した技術革新と統合化技術」  
平成18 年度採択研究代表者

後藤 敏

早稲田大学大学院情報生産システム研究科・教授

## 超低消費電力メディア処理 SoC の研究

### § 1. 研究実施の概要

超低消費電力メディア処理 SoC の実現のため、画像、暗号、誤り訂正符号の各方式の最適な分担およびアルゴリズム最適化手法、さらにはハードウェア・ソフトウェア実装最適化手法を融合させ、従来技術と比較して 1/100 の電力削減を図ることで研究を進めた。本年度は、(1)方式・アルゴリズムレベルにおいて、H.264 画像圧縮にプリプロセッシング手法を導入し、動き差分方式や RoI (Region of Interest) 方式を導入することで、監視系システムや TV 会議システムの応用においては演算量を 10%~40%に削減することができた。更に、IME、FME、モード選択で演算量削減を行い、エンコーダ処理を 40%~70%に演算量を削減できた。(2)チップ試作として、H264、MPEG2、AVS の3種類のフォーマットに対応するハイビジョンデコーダを設計、試作、評価を行い、従来比で 63%に削減することができた。(3)ハードウェア指向設計では乗算器や除算器を含むデータパスの電力の最適化手法、クロック信号を含めて使用されていない回路部分の電力をゲーティングする方式の最適化と微細プロセスにおける評価、フロアプランの結果に基づいた高位レベルの電力最適化のためのスケジューリング、シェアリング手法の詳細化、電源電圧最適化による消費電力削減を行うフロアプラン手法の研究を行い、全体として 50%の電力削減ができる目途をつけた。(4)ソフトウェア設計指向ではマルチメディア用途向けプロセッサを開発し、その上に搭載されるソフトウェアで低消費電力化を図ることを目指しており、H.264 エンコーダの画面内予測による低電力化手法と VLIW 型プロセッサ上で並列処理実現手法を開発することで、消費電力で 50%に削減できた。

さらには 2009 年 10 月より新たに NEC グループが本プロジェクトに参加することになった。NEC グループでは早稲田大学グループが開発してきた人物抽出のための低演算量画像認識アルゴリズムを STP エンジン上で実現するために、画像認識アルゴリズムを大きく 3 つの部分に分割し、それぞれの処理の STP エンジンによる並列処理の基本方式を検討した。また、画像認識アルゴリズム全体も STP エンジン、CPU によるパイプライン的な並列処理の基本方式を検討した。実電力を

高精度、高速に計測可能な電力評価環境も構築した。

## § 2. 研究実施体制

### (1)「早稲田大学」グループ

① 研究分担グループ長:後藤 敏(早稲田大学大学院、教授)

② 研究項目

超低消費電力メディア処理SoCの研究

### (2)「NEC」グループ

① 研究分担グループ長:本村 真人(日本電気株式会社、研究部長)

② 研究項目

プログラマブルハードウェアを用いた低電力メディア処理の研究

## § 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

超低消費電力メディア処理 SoC の実現のため、本プロジェクトではメディア処理低消費電力方式とアルゴリズムおよび SoC 設計技術、ハードウェア指向設計技術、ソフトウェア指向設計技術の3つのサブテーマに基づき取り組みを進めてきた。更に今年度からは、新たに追加されたプログラマブルハードウェアを用いた低電力メディア処理の研究を開始した。

### 「方式・アルゴリズム・SoC 設計技術」

#### ●超低消費電力メディア処理の方式の開発

監視システムやTV会議という特定の使用場面を想定して、画像符号化の演算量を大幅に削減する方式を開発し実験を行った。監視システムではカメラは固定した位置にあり、また動きもフレーム間では激しく変化しないことに注目し、動き差分検知方式を考案した。前フレームと現在フレームの動きに変化のあったブロックを前処理で検知し、符号化処理では変化のあったブロックだけを処理することで、演算量を5%~10%まで削減できた<sup>原著論文17)</sup>。これらの結果はIEEE CSVTに最近発表された論文と比べても40%~10%の演算量が削減されたことが判明した。またTV会議では人が注目する部分には高精細な画像を、注目しない部分には画質を落とすというRoI(Region of Interest)方式を開発しエンコーダの演算量を70~55%まで削減した<sup>31)</sup>。

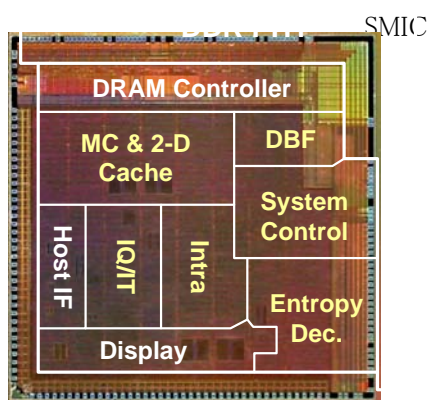
#### ●メディア処理アルゴリズムの詳細化とハードウェア設計

メディア処理 SoC の主要課題として、プロジェクト当初より取り組んできているH.264エンコーダLSIのさらなる低消費電力化を図るため、低演算量化・低消費電力化が可能なハードウェアアルゴリズム

ム構成法、LSIアーキテクチャ構成法の検討を進めた。H.264エンコーダの中で特に大きな演算量を占め、電力消費の主な要因となっている処理は、IME(整数画素精度動き予測処理)、FME(少数画素精度動き予測処理)、Inter/Intra モード選択処理の3つとなっており、90%以上の演算量/電力を占めている。IME では、算術解析、理論解析(レート歪理論など)により、テクスチャーと予測誤差の関係、高周波信号と可変ブロック処理や参照フレーム数の関係、差分絶対値和とエッジの分布との関係などを明確化し、それらに基づく、画像コンテンツによる初期演算打ち切り手法や、ブロック中のエッジ分布に基づく動的な探索範囲アルゴリズムなどを考案し、画質を落とすことなく30%-60%の演算量を削減可能な事を明らかにした。さらにこれらのエンコーダ LSI への組込み方法を明確にした<sup>44)</sup>。また、FME に関しては、主要モジュールであるアダマール変換器に対し、ハードウェア再利用、ノイズ解析に基づく中間データのビット打ち切り、SATD 処理のビット幅削減、SATD 生成のための CSA 回路、クロックゲーティングなどの手法を提案した。評価により、画質を落とすことなく12~32%の電力を削減できる見通しを得た<sup>26)</sup>。さらに、Interモードに関しては、17個のモード選択処理が必要な Inter モードに対して、均一な画像に対するモードスキップ処理や空間的・時間的解析に基づく早期判断処理手法などを提案し、画質を落とすことなく 33%-66%の演算量削減を図った<sup>27)</sup>。

●超低消費電力メディア SoC の試作

動画像デコーダに関しては、H.264、MPEG、AVS という3種類のフォーマットに対応できるハイビジョン(1080p/60fps)向け復号 LSI を試作した。DRAM-SRAM 制御手法と2次キャッシュ方式を新たに考案し、メモリと復号チップ間のデータ転送を 50%まで削減し、チップの外部ピン数を従来の140ピンから70ピンまで削減し、システムとしての電力消費を468mwで実現した。これは2007年のJSSCに発表されたチップに比べて38%の電力削減を行えた<sup>53)</sup>。



0.13um CMOS  
 5.44mm×4.98mm (= 27.1 mm<sup>2</sup>)  
 消費電力:468mw(DRAM 込み)  
 Core:134mw DRAM:334mw  
 Logic Gates: 367K gates  
 SRAM:11KB  
 DRAMピン数:70ピン

(図1)マルチフォーマット動画デコーダ

更に、ウルトラハイビジョン(4096 x 2160)用のH.264デコーダチップの開発に成功し、最新の研究成果と比べて、40%の電力削減を行うことができた。本論文は2010年6月に開催されるVLSIシ

ンポジウムで発表予定である。

### 「ハードウェア指向設計」

ハードウェア指向設計の研究では、アルゴリズムレベルで最適化されたC/C++ のプログラムに対し、それをハードウェアとして実現する上での電力最適化アルゴリズムの研究を行う。今年度は、昨年度の成果を発展させ、乗算器や除算器を含むデータパスの電力の最適化手法の研究、クロック信号を含めて使用されていない回路部分の電力をゲーティングする方式の最適化と微細プロセスにおける評価、フロアプランの結果に基づいた高位レベルでの電力最適化のためのスケジューリング、シェアリング手法の詳細化、電源電圧最適化による消費電力削減を行うフロアプラン手法の研究を行なった。高位データパスの最適化で電力を 3/4 程度に、電力ゲーティングで 3/5 程度に、また高位合成とフロアプランの統合で 2/3 程度にそれぞれ削減することにより、全体として 1/3~1/2 とすることを目指す。フロアプランについては、昨年度までに開発していたマルチレベル最適化アルゴリズムは形状が固定のブロックのみを対象としていたが、実際には形状が可変のソフトブロックも存在する。そこで、ソフトブロックを考慮した最適化を行うことにより、基本性能を向上させた。まず、フロアプラン生成後に、Geometric Programming に基づくソフトブロックの形状最適化により解の改良を行うことで、既存のソフトブロックのフロアプラン手法に比べ、総配線長を平均 15%削減した。これは、電力を 15%以上削減できることを意味する。また、ソフトブロックを考慮した配置最適化を行うことにより、余裕の少ない指定領域内での配置成功率を大幅に向上させた<sup>37)</sup>。さらに多電源用フロアプランの検討を進め、電圧レベルシフターの位置の最適化により電力を 10%以上削減できる見通しを得た。高位合成におけるデータパスの最適化については、並列プレフィックス加算の電力最適化を行い、ダイナミックプログラミングとローカルな再構築手法を用いることで、Brent-Kung や Sklansky などこれまでに提案されている手法に比べ 6/7~ 2/3 の電力にできるという結果を得た<sup>46)</sup>。回路の一部を動的にパワーオフするパワーゲーティングに関しては、論理ゲートの制御値を用いて細かい単位でパワーオフを行う提案手法の最適化を考えるとともに<sup>11)</sup>、提案手法をライブラリレベルの小規模回路に適用し、実レイアウトを用いて効果を確認した。とくに、AOI22 回路などで 20%程度の動的電力の削減を確認している。論理ゲートの制御値を用いて細かい単位でパワーオフを行う手法を提案した。また、クロックを自動的に停止する機構(クロックゲーティング)については、クロックの制御信号候補の抽出と、共有を考慮したクロック制御信号の選択について、とくに選択部の最適化手法を提案し、10~20 ビットカウンタ回路で 40%~66%の電力削減を確認した。また、制約式の削減手法を導入し、ISCAS89 やオープンコア回路など中規模の回路に適用し、2.3%~18%の電力削減を確認した。今回から新たに追加して研究開始した“新アーキテクチャとその実装方式による低電力化”に関しては、(1)ネットワークオンチップ (NoC) の低電力化として、クロックゲーティングによるルータ回路の低電力化および低電力 NoC 応用回路の検討、(2)プロセッサコアの低電力化として、低電力指向キャッシュの設計とシミュレーション実験 を行った。(1)では低電力ルータ回路を設計し、シミュレーション解析を行った。また、NoC 応用として低レイテンシニューラルネットワークのアーキテクチャを提案し、シミュレーション実験の結

果、従来のハードウェア実現方式よりも高性能であることを確認した<sup>30)</sup>。(2)では分岐回復時のペナルティを削減する機構を提案し、ベンチマークデータによる実験で動的電力を約40%削減できた<sup>29)</sup>。また、キャッシュのスタティック電力削減のために、ビット幅を可変とする機構の開発に着手した。

これらの成果により、ハードウェア指向設計全体として、消費電力を1/2~2/3に削減することを可能とした。

#### 「ソフトウェア指向設計」

ソフトウェア指向設計の研究では、新たに特定用途向けプロセッサを開発し、その上に搭載されるソフトウェアに着目し超低消費電力化を目指す。特定のソフトウェアに特化した命令シーケンスならびに、これに対応したプロセッサアーキテクチャを構築する。同時に、これを実現するアルゴリズムを最適化する。今年度は、暗号処理や画像処理の特定のアプリケーションに着目し、特に画像圧縮処理(H.264 エンコーダ)ソフトウェアを対象として、画質を損なわないことを前提に画面内予測における低消費電力化手法及びそれをVLIW型プロセッサ上で並列処理実現手法に関する研究を行った<sup>9,15,16)</sup>。H.264 画面内予測では、画像ブロック単位に多数の予測モードの中から最適なモードを選択して予測符号化される。最適な予測モードは、画像ブロックの性質によってそれぞれ異なり適切なモードを選択することであり、その演算量(消費エネルギー)が膨大となる。また画質を損なわないことを前提とれば、既存の画面内予測技術は1280×720画素以上の動画を扱うことが極めて困難であった。そこで我々は、画面内予測アルゴリズムにおいて重複演算を削減し、演算再利用を用いた並列処理最適化した。これにより、H.264の画面内予測処理を対象とした場合に、既存のVLIWプロセッサを用いた場合に、消費エネルギーを1/2に削減することを達成した。既存手法と比べ、本手法は画質を落とさずに、H.264画面内予測処理の演算量を削減でき低消費電力処理が可能であることが得られたことになる。現在、提案手法における命令最適化、専用演算器を含む低消費電力拡張可能なVLIWプロセッサのハードウェア化の検討を進め、さらなる画像処理向けプロセッサ全体の低消費電力化の検討に着手している。

#### 「プログラマブルハードウェアを用いた低電力メディア処理の研究」

画像認識アルゴリズムをSTPエンジン上で実現するために必要な次の3項目に関する研究開発を行った。

(1)コアアルゴリズムのSTPエンジンへの実装として、画像認識アルゴリズムの分析と、プログラマブルハードウェア化を志向したコアアルゴリズムの最適化に取り組んだ。アルゴリズム全体は大きく、入力画像から微分画像を生成する初期化、入力画像と微分画像とから判別のための特徴を抽出する特徴抽出、SVM(Support Vector Machine)による判別の3つの部分の分割できる。それぞれの処理において組込みプラットフォーム XBridge への実装可能性の検討と最適化を早稲田グループと連携して行った。初期化処理では2×2の画素から微分を計算する。内部にラインバッファを設けることによりSTPによる効率的な並列処理が可能である。特徴抽出においては、テンプレートと条

件式の組合せが 32 種ありそれぞれ独立に計算可能で、STP により並列性を引き出せる可能性を確認した。また判別処理に関しても複数の参照ベクトルとサンプルベクトル間の演算が基本演算で参照ベクトル毎の高い並列性抽出の可能性を確認した。全体画像から認識の対象となる部分画像を切り出す処理に関しても、検討を行った。STP においては、外部メモリのアクセスは DMA 転送が基本である。全体画像からの部分画像の切り出しはメモリの連続アクセスにならないが、STP によるプログラマブル DMA 機能で対応可能である。今年度は、初期化、特徴抽出、判別の 3 つの処理に関して XBridge 上の CPU のみによる実装を行った。まず、早稲田グループと連携してアルゴリズムの固定小数点化を行い、その後、3 つの処理をそれぞれ独立して実行できるようにモジュール構造化(タスク化)を行った。

(2)STP エンジンと CPU との連携によるアプリケーション全体の実行制御方式の開発では、画像認識アルゴリズム全体の並列処理方式の検討を行った。NEC グループでは、独立実行可能なタスクという処理単位をベースとした STP エンジン-CPU の協調型実行制御方式の基本部分を開発している。画像認識アルゴリズムは、初期化、特徴抽出、判別処理をそれぞれタスクとして実装することにより、実行制御の基本部分の変更無しに適用できることを確認した。全体画像から切り出した部分画像毎に、初期化タスク、特徴抽出タスク、判別タスクから構成されるジョブを構成する。ジョブを構成する 2 つのタスクをそれぞれ CPU、STP で処理することによりパイプライン的な並列処理が可能となる。また STP では演算資源を分割してそれぞれ異なるタスクを並列に実行することも可能である。この機能を利用した並列処理に関しても可能性を検討した。今期は(1)のアルゴリズム検討で開発した CPU 向けの 3 つのタスクを協調実行制御方式上に実装し、3 つのタスクから構成されるジョブとして正常動作することを確認した。

(3)STP エンジン評価環境による実機評価は、実機評価環境の構築を進めた。微小電流を高速にサンプリング可能な電流測定器を導入し、XBridge 評価ボード用に Host PC を導入し、環境を構築した。XBridge 及び、デスクトップ PC の各プラットフォームにおいて、プロセッサ、メモリコントローラ等の周辺、及びメモリの 3 つ消費電力の測定が可能である。3 つの部分処理、それぞれに対して、CPU のみで実行した場合の処理性能、及び、消費電力の実測評価を行った。XBridge(CPU: MIPS 4KEc@266MHz)、デスクトップ PC (CPU: Intel Core2Duo@3GHz, 6MB キャッシュ、TDP 65W) のチップセット、メモリも含めた認識処理 1 回当たりの消費エネルギーで比較を行った。XBridge 0.313Ws、デスクトップ PC 0.350Ws で XBridge はデスクトップ PC に対して約 1.12 倍の電力性能であることを実測で確認した。10 倍の電力性能の達成のためには、各処理をそれぞれ約 9 倍高速化すればよく、STP により達成可能な範囲である。

## § 4. 成果発表等

### (4-1) 原著論文発表

#### ●論文詳細情報

1. Liu Song, Dajiang Zhou, Xin Jin, Peilin Liu, Satoshi Goto, “An adaptive bandwidth reduction scheme for video coding”, Proceeding of IEEE International Symposium on Circuits and Systems, JUNE 2010 (to be appeared).
2. Xuena Bao, Dajiang Zhou, and Satoshi Goto, “A Lossless Frame Recompression Scheme for Reducing DRAM Power in Video Encoding,” Proceeding of IEEE International Symposium on Circuits and Systems, JUNE 2010 (to be appeared).
3. Zhixiang Chen, Xiongxin Zhao, Xiao Peng, Dajiang Zhou and Satoshi Goto, “An Early Stopping Criterion for Decoding LDPC Codes in WiMax and WiFi Standards”, Proceeding of IEEE ISCAS 2010 in JUNE, 2010 (to be appeared).
4. Xin Jin and Satoshi Goto, “Content Similarity Based Early Skip Mode Decision for Low Power Surveillance Video Compression”, The 4<sup>th</sup> International Symposium on Communications, Control and Signal Processing (ISCCSP2010), Limassol, Cyprus, MARCH 2010.
5. Xiao Peng, Zhixiang Chen, Xiongxin Zhao, Fumiaki Maehara and Satoshi Goto, “Permutation Network for Reconfigurable LDPC decoder based on Banyan Network”, IEICE Trans. Electronics, Vol.E93-C,No.3, pp.270-278, MARCH 2010, DOI: 10.1587/transele.E93.C.270.
6. Xianmin Chen, Peilin Liu, Dajiang Zhou, Jiayi Zhu, Xingguang Pan, and Satoshi Goto, “A high performance and low bandwidth multi-standard motion compensation design for HD video decoder”, IEICE Trans. Fundamentals, Vol. E93-C, No. 3, pp. 253-260, MARCH 2010, DOI: 10.1587/transele.E93.C.253.
7. Shaopeng Tang, Satoshi Goto, “Histogram of template for human detection”, ICASSP 2010, Dallas, USA, to be published in MARCH 2010.
8. Jun Wang, Yichun Tang, Satoshi Goto, “Enhanced Temporal Error Concealment for 1Seg Video Broadcasting”, MMM2010, Chongqing, China, pp. 45-54, JANUARY 2010, DOI: 10.1007/978-3-642-11301-7.
9. R. Nara, N. Togawa, M. Yanagisawa, T. Ohtsuki, “Scan-Based Attack against Elliptic Curve Cryptosystems,” Proc. of IEEE ASP-DAC 2010, JANUARY 2010, DOI:10.1109/ASPDAC.2010.5419848.【本文引用】
10. Jun Wang, Yichun Tang, Satoshi Goto, “An Spatial Error Propagation Reduction based Temporal Error Concealment for 1Seg Video Broadcasting”, ISPACS, pp. 103-106, DECEMBER 2009, DOI: 10.1109/ISPACS.2009.5383891.
11. Lei CHEN and Shinji KIMURA, “Optimizing Controlling-Value-Based Power Gating with

- Gate Count and Switching Activity,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E92-A, No. 12, pp.3111-3118, DECEMBER 2009.【本文引用】
12. Shaopeng Tang, Satoshi Goto, “Human Detection Using Motion and Appearance base Feature”, ICICS 2009, Beijing, China, pp.1-4, DECEMBER 2009, DOI: 10.1109/ICICS.2009.5397675.
  13. Dajiang Zhou, Jinjia Zhou, Jiayi Zhu, and Satoshi Goto, “A 48 cycles/MB H.264/AVC deblocking filter architecture for ultra high definition applications”, IEICE Trans. Fundamentals, Vol. E92-A, No. 12, pp. 3203-3210, DECEMBER 2009, DOI: 10.1587/transfun.E92.A.3203.
  14. Yiqing Huang, Qin Liu, Shuijiong Wu, Zhewen Zheng, Takeshi Ikenaga, “Macroblock and Motion Feature Analysis to H.264/AVC Fast Inter Mode Decision”, IEICE Trans. Fundamentals, Vol. E92-A, No. 12, pp. 3361-3368, DECEMBER 2009, DOI:10.1587/transfun.E92.A.3361.
  15. Ohchi, N. Togawa, M. Yanagisawa, and T. Ohtsuki, “Floorplan-aware high-level synthesis for generalized distributed-register architectures,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E92-A, no. 12, pp.3169-3179, DECEMBER 2009, DOI: 10.1587/transfun.E92.A.3169. 【本文引用】
  16. R. Nara, N. Togawa, M. Yanagisawa, and T. Ohtsuki, “A Scan-Based Attack Based on Discriminators for AES Cryptosystems,” IEICE Trans. Fundamentals, vol.E92-A, no.12, pp.3229-3237, DECEMBER 2009, DOI: 10.1587/transfun.E92.A.3229. 【本文引用】
  17. Xin Jin and Satoshi Goto, “Difference Detection with Encoder Adaptability for Low Complexity Surveillance Video Compression”, International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009), Kanazawa, Japan, 2009. pp. 489-492. DECEMBER 7-9 2009, DOI: 10.1109/ISPACS.2009.5383796.【本文引用】
  18. Zhixiang Chen, Xiongxin Zhao, Xiao Peng, Dajiang Zhou and Satoshi Goto “A High-Parallelism Reconfigurable Permutation Network for IEEE 802.11n and 802.16e LDPC Decoder”, ISPACS 2009, Kanazawa, Japan, pp. 85-88, DECEMBER 2009, DOI: 10.1109/ISPACS.2009.5383896.
  19. Chen Liu, Tianruo Zhang, Xin Jin, Minghui Wang and Satoshi Goto, “Residual Analysis Based Fast Inter Mode Decision for H.264/AVC”, 2009 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009), Kanazawa, Japan, pp. 339-342, DECEMBER 7-9, 2009, TP1-B-3. DOI: 10.1109/ISPACS.2009.5383831.
  20. Jinjia Zhou, Dajiang Zhou, Xun He and Satoshi Goto, “A 64-cycleper-mb joint parameter decoder architecture for ultra high definition H.264/AVC applications,” International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009),



- Kanazawa, Japan, 2009, pp. 49–52 DECEMBER 2009, DOI: 10.1109/ISPACS.2009.5383903.
21. Xun He, Dajiang Zhou, Jinjia Zhou and Satoshi Goto, “A New Architecture for High Performance Intra Prediction in H.264 Decoder”, International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009), Kanazawa, Japan, 2009, pp.41–44, DECEMBER 7–9, 2009, DOI: 10.1109/ISPACS.2009. 5383905.
  22. Yiqing Huang, Qin Liu, Satoshi Goto, Takeshi Ikenaga, “Adaptive Sub-sampling based Reconfigurable SAD Tree Architecture for HDTV”, IEICE Trans. Fundamentals, Vol. E92–A, No. 11, pp. 2819–2829, NOVEMBER 2009, DOI:10.1587/transfun.E92.A.2819.
  23. Jinjia Zhou, Dajiang Zhou, Xun He and Satoshi Goto, “A High Speed Deblocking Filter Architecture for H.264/AVC.” in International SoC Design Conference, pp. 63–66, NOVEMBER 2009, DOI: 10.1109/SOCCDC.2009.5423872.
  24. Yu Hong, Peilin Liu, Hang Zhang, Zongyuan You, Dajiang Zhou, and Satoshi Goto, “A 360Mbin/s CABAC Decoder for H.264/AVC Level 5.1 Applications”, ISOCC 2009, Busan, Korea, pp. 71–74, NOVEMBER 2009, DOI: 10.1109/SOCCDC.2009.5423878.
  25. Xun He, Dajiang Zhou, Jinjia Zhou and Satoshi Goto, “High Profile Intra Prediction Architecture for H.264”, International SoC Design Conference, pp. 57–60, NOVEMBER 2009, DOI: 10.1109/SOCCDC.2009.5423874.
  26. Yiqing Huang, Qin LIU Takeshi Ikenaga, “Macroblock Feature and Motion Involved Multi-stage Fast Inter Mode Decision Algorithm in H.264/AVC Video Coding”, IEEE International Conference on Image Processing (ICIP2009), NOVEMBER 2009, 978-1-4244-5654-3/09/\$26.00©2009IEEE. 【本文引用】
  27. Zhenyu Liu, Takeshi Ikenaga, “Hardware Optimizations of Variable Block Size Hadamard Transform for H.264/AVC FRExt”, IEEE International Conference on Image Processing (ICIP2009), NOVEMBER 2009, 978-1-4244-5654-3/09/\$26.00©2009IEEE.【本文引用】
  28. Xiaocong Jin, Yiqing Huang, Qin Liu, Shuijiong Wu, Takeshi Ikenaga, “Fast Spatial Direct Mode Decision for B Slice Based on Temporal Information in H.264 Standard”, International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009), NOVEMBER 2009, 978-1-4244-5016-9/09/\$25.00©2009IEEE.
  29. Dong Li, Kumai, and Watanabe ;High Dependable Implementation of Neural Networks with Networks on Chip Architecture and a Backtracking Routing Algorithm PrimeAsia’09, NOVEMBER 2009.【本文引用】
  30. Dong Li, Lin, Kumai and Watanabe: “A New Flexible Network on Chip Architecture for Mapping Complex Feedforward Neural Network”, Journal of Signal Processing vol.13, no.6 pp.453–462, OCTOBER 2009. 【本文引用】

31. Tianruo Zhang, Chen Liu, Minghui Wang, Satoshi Goto, "Region-of-Interest based H.264 Encoder for Videophone with a Hardware Macro block Level Face Detector", MMSP 2009, Rio de Janeiro, Brazil, OCTOBER 2009, DOI: 10.1109/MMSP.2009.5293338. 【本文引用】
32. Minghui Wang, Tianruo Zhang, Satoshi Goto, "Pre-processor of the Region-of-Interest Based H.264 Encoder for Low Power Application", ASICON 2009, Changsha, China, OCTOBER 2009, DOI: 10.1109/ASICON.2009.5351581.
33. Tianruo Zhang, Minghui Wang, Chen Liu, Satoshi Goto, "VLSI Architecture of a Low Complexity Face Detection Algorithm for Real-Time Video Encoding", ASICON 2009, Changsha, China, OCTOBER 2009, DOI: 10.1109/ASICON.2009.5351587.
34. Xiao Peng, Satoshi Goto, "Implementation of LDPC decoder for 802.16e", ASICON 2009, Changsha, China, OCTOBER 2009, DOI: 10.1109/ASICON.2009.5351628.
35. Jian-wei Shen, Mei-Fang Chiang, Song Chen, Wei Guo, Takeshi Yoshimura, "Redundant Via Allocation for Layer Partition-based Redundant Via Insertion", The IEEE 8th International Conference on ASIC(ASICON), pp.734-737, OCTOBER 2009, DOI:10.1109/ASICON.2009. 5351310.
36. Wei Guo, Song Chen, Mei-Fang Chiang, Jian-Wei Shen, Takeshi Yoshimura, "Convex-Cost Flow based Redundant Via Insertion with Density-Balance Consideration", The IEEE 8th International Conference on ASIC(ASICON), pp.1280-1283, OCTOBER 2009, DOI:10.1109/ASICON. 2009.5351227.
37. Xiaolin Zhang, Song Chen, Longfan Piao, Takeshi Yoshimura, "A Heuristic Method for Module Sizing Under Fixed-Outline Constraints", The IEEE 8th International Conference on ASIC(ASICON), DOI: 10.1109/ASICON.2009.5351311【本文引用】
38. Yiping Dong; Yang Wang; Zhen Lin; Watanabe, T. "High Performance and Low Latency Mapping for Neural Network into Network on Chip Architecture", ASICON 09 pp.891-894, OCTOBER 2009, DOI: 10.1109/ASICON.2009.5351550.
39. Zhenxing Chen, Satoshi Goto, "A QP and partition-size statistic based fuzzy algorithm for fast inter&intra mode decision in video coding", CISP 2009, Tianjin, China, pp.74-78, OCTOBER 2009, DOI:10.1109/CISP.2009.5301039.
40. Dajiang Zhou, Jinjia Zhou, and Satoshi Goto, "An efficient motion vector coding scheme based on prioritized reference decision", IEICE Trans. Fundamentals, Vol. E92-A, No. 8, pp. 1978-1985, AUGUST 2009, DOI: 10.1587/transfun.E92.A.1978.
41. Xiang Hui Wei, Takeshi Ikenaga and Satoshi Goto, "An Ultra-low bandwidth Design Method for MPEG-2 to H.264/AVC Transcoding", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E92-A, No. 4, pp. 1072-1079, AUGUST 2009, DOI: 10.1587/transfun. E92.A.1072.
42. Xiang Hui Wei, Takeshi Ikenaga and Satoshi Goto, "An Ultra-low bandwidth Design Method

- for MPEG-2 to H.264/AVC Transcoding”, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E92-A, No. 4, pp. 1072-1079, AUGUST 2009, DOI:10.1587/transfun.E92.A.1072 .
43. Yiqing Huang, Qin Liu, Satoshi Goto, Takeshi Ikenaga, “VLSI Oriented Fast Motion Estimation Algorithm Based On Pixel Difference, Block Overlapping And Motion Feature Analysis”, IEICE Trans. Fundamentals, Vol. E92-A, No. 8, pp. 1986-1999, AUGUST 2009, DOI:10.1587/transfun.E92.A.1986.
  44. Zhenyu Liu, Junwei Zhou, Satoshi Goto, Takeshi Ikenaga, “Motion Estimation Optimization for H.264/AVC Using Source Image Edge Features”, IEEE Transactions on Circuits and Systems for Video Technology, Vol. 19, No. 8, pp. 1095-1107, AUGUST 2009, DOI:10.1109/TCSVT.2009.2022796.【本文引用】
  45. Yiqing Huang, Qin Liu, Takeshi Ikenaga, “Macroblock Feature based Adaptive Propagate Partial SAD Architecture for HDTV Application”, IPSJ Transactions on System LSI Design Methodology, Vol. 2, pp. 263-273, AUGUST 2009.
  46. Taeko Matsunaga, Shinji Kimura, Yusuke Matsunaga, “Framework for Parallel Prefix Adders Synthesis Considering Switching Activities,” IPSJ Trans. SLDM, pp.212-221, AUGUST 2009.【本文引用】
  47. Zhixiang Chen, Xiongxin Zhao and Satoshi Goto, “A Memory Efficient Check Message Quantization Scheme for LDPC decoder”, ITC-CSCC2009, Jeju Island, Korea, pp. 1412-1415, JULY 2009.
  48. Xiongxin ZHAO, Zhixiang Chen and Satoshi Goto, “High Efficiency Architecture for DVB-S2 based LDPC decoder”, ITC-CSCC2009, Jeju Island, Korea, pp. 1558-1561, JULY 2009.
  49. Xiongxin ZHAO, Zhixiang Chen and Satoshi Goto, “High Efficiency Architecture for DVB-S2 based LDPC decoder”, ITC-CSCC2009, Jeju Island, Korea, pp. 1558-1561, JULY 2009.
  50. Zhewen Zheng, Yiqing Huang, Qin Liu, Takeshi Ikenaga, “Intra Mode Decision for Reducing Block Types and Prediction Modes Based on Edge Information in H.264/AVC”, The 24th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2009), JULY 2009.
  51. Jinjia Zhou, Dajiang Zhou, Hang Zhang, Yu Hong, Peilin Liu, and Satoshi Goto, “A 136 cycles/MB, luma-chroma parallelized H.264/AVC deblocking filter for QFHD applications”, International Conference on Multimedia and Expo (ICME), New York, USA, pp. 1134-1137, JUNE 2009, DOI: 10.1109/ICME.2009.5202699.
  52. Xin Jin, Satoshi Goto and King Ni Ngan, “Composite modeling of optical flow for artifacts reduction”, International Conference on Multimedia and Expo (ICME), New York, USA, pp.

- 233–236, JUNE 2009, DOI: 10.1109/ICME.2009.5202479.
53. Dajiang Zhou, Zongyuan You, Jiayi Zhu, Ji Kong, Yu Hong, Xianmin Chen, Xuewen He, Chen Xu, Hang Zhang, Jinjia Zhou, Ning Deng, Peilin Liu, and Satoshi Goto, “A 1080p@60fps multi-standard video decoder chip designed for power and cost efficiency in a system perspective”, Symp. VLSI Circuits 2009, Kyoto, Japan, pp. 262–263, JUNE 2009, 978-4-86348-010-0. 【本文引用】
  54. Minghui Wang, Tianruo Zhang, Chen Liu, Satoshi Goto, “Region-of-interest based dynamical parameter allocation for H.264/AVC encoders”, 27th Picture Coding Symposium (PCS 2009), Chicago, Illinois, USA, MAY 2009, DOI: 10.1109/PCS.2009.5167411.
  55. Xin Jin, Satoshi Goto and King Ni Ngan, “Optical flow based DC surface compensation for artifacts reduction,” 27<sup>th</sup> PCS (Picture Coding Symposium) Proc., Chicago, US, MAY 6–8 2009, DOI: 10.1109/PCS.2009.5167414.
  56. Dajiang Zhou, Jinjia Zhou, and Satoshi Goto, “Prioritized reference decision for efficient motion vector coding”, ISCAS 2009, Taipei, Taiwan, pp. 1649–1652, MAY 2009, DOI: 10.1109/ISCAS.2009.5118089.
  57. Xianmin Chen, Peilin Liu, Jiayi Zhu, Dajiang Zhou, and Satoshi Goto, “Block-pipelining cache for motion compensation in high definition H.264/AVC video decoder”, ISCAS 2009, Taipei, Taiwan, pp. 1069–1072, MAY 2009, DOI: 10.1109/ISCAS.2009.5117944.
  58. Shaopeng Tang, Satoshi Goto, “Pedestrian Detection with an Ensemble of Localized Features”, ISCAS 2009, Taiwan, pp. 2838–2841, MAY 2009, DOI: 10.1109/ISCAS.2009.5118393.
  59. Xun He, Xiangzhong Fang, Ci Wang, Satoshi Goto, “Parallel HD Encoding on CELL. International Symposium on Circuits and Systems”, ISCAS 2009, Taiwan, pp. 1065–1068, MAY 2009, DOI: 10.1109/ISCAS.2009.5117943.
  60. Jun Wang, Yichun Tang, Shen Li, Shunichi Ishiwata, Satoshi Goto, “Side Match Distortion Based Adaptive Error Concealment Order for 1Seg Video Broadcasting Application”, IEEE-ISCAS, pp. 133–136, Taipei, MAY 2009, DOI: 10.1109/ISCAS.2009.5117703.
  61. Bei Yu, Sheqin Dong, Satoshi Goto, Song Chen, “Voltage-island driven floorplanning considering level-shifter positions”, ACM Great Lakes Symposium on VLSI 2009, pp. 51–56, MAY 2009, ACM 978-1-60558-522-2/09/05.
  62. Bei Yu, Sheqin Dong, Satoshi Goto, Song Chen, “Voltage-island driven floorplanning considering level-shifter positions”, ACM Great Lakes Symposium on VLSI 2009, pp. 51–56, MAY 2009.
  63. Yiqing Huang, Qin Liu, Satoshi Goto and Takeshi Ikenaga, “Reconfigurable SAD Tree Architecture based on Adaptive Sub-sampling in HDTV Application”, ACM GLSVLSI 2009, May 2009, copyright 2009 ACM978-1-60558-522-2/09/05...\$5.00.

64. M.-F. Chiang, T. Okamoto, and T. Yoshimura, "Register placement for high-performance circuits," in Design, Automation and Test in Europe (DATE), Nice, France, pp.1470-1475, APRIL 2009.
65. Qin Liu, Yiqing Huang, Satoshi Goto, Takeshi Ikenaga, "Hardware-Oriented Early Detection Algorithms for 44 and 88 All-Zero Blocks in H.264", IEICE Trans. Fundamentals, Vol. E92-A, No. 4, pp. 1063-1071, APRIL 2009, DOI:10.1587/transfun.E92.A.1063.
66. Song Chen, Liangwei Ge, Mei-Fang Chiang, Takeshi Yoshimura, "Lagrangian Relaxation Based Inter-Layer Signal Via Assignment for 3-D ICs", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, pp. 1080-1086, APRIL 2009, DOI:10.1587/transfun.E92.A.1080