

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成17 年度採択研究代表者

高田 広章

名古屋大学大学院情報科学研究科・教授

ソフトウェアとハードウェアの協調による組込みシステムの消費エネルギー最適化

§ 1. 研究実施の概要

情報家電や情報携帯端末などの組込みシステムを対象として、ソフトウェアとハードウェアの協調により、サービス品質(性能、計算精度、信頼性など)を保証しつつ、消費エネルギーを最小限にするための最適化技術を開発する。メモリアーキテクチャとコンパイラの協調や、低消費エネルギースケジューリング機構を持つマルチプロセッサリアルタイム OS などにより、消費エネルギーを 60 分の 1 に低減することを目標とする。

平成 21 年度は、以下のテーマについて研究を行った。

1. 低消費エネルギー化リアルタイム OS と HW の統合最適化手法の実装と評価
2. 低消費エネルギー化リアルタイム OS とコンパイラの統合最適化手法の実装と評価
3. 低消費エネルギー化ハードウェアアルゴリズムの実装と評価
4. 評価環境の構築
5. 低消費エネルギー化ハードウェアの開発
6. HW・SW協調最適化手法の開発
7. 電力見積もりツールの開発
8. 評価環境を利用した命令レベルでの消費電力データ収集
9. マルチコアシミュレータと、それを利用した評価アプリケーションの仕様検討
10. DVFS 制御アルゴリズムの拡張
11. QoS 要求分析手法の検討

上記のテーマを実施するにあたっては、各要素技術を統合／協調することにより、消費エネルギーを最適化することに主眼を置いた。また、最終年度となる平成 22 年度に向けて、本プロジェクトの研究成果を統合的に評価するための「統合評価システム」の構築にも注力した。統合評価システムは 2 種類構築中である。ひとつは実チップを用いたボードであり、もうひとつはシミュレーション環

境である。

来年度は、統合評価システムを完成させ、その上で本プロジェクトの研究成果を総合的に評価する予定である。

§ 2. 研究実施体制

(1)「名古屋大学」グループ

① 研究分担グループ長:高田 広章(名古屋大学大学院、センター長/教授)

② 研究項目

1. 低消費エネルギー化リアルタイム OS と HW の統合最適化手法の実装と評価
2. 低消費エネルギー化リアルタイム OS とコンパイラの統合最適化手法の実装と評価
3. 低消費エネルギー化ハードウェアアルゴリズムの実装と評価
4. 評価環境の構築

(2)「九州大学」グループ

① 研究分担グループ長:石原 亨(九州大学、准教授)

② 研究項目

5. 低消費エネルギー化ハードウェアの開発
6. HW・SW協調最適化手法の開発
7. 電力見積もりツールの開発

(3)「東芝」グループ

① 研究分担グループ長:深谷 哲司(株式会社 東芝、部長)

② 研究項目

8. 評価環境を利用した命令レベルでの消費電力データ収集
9. マルチコアシミュレータと、それを利用した評価アプリケーションの仕様検討
10. DVFS 制御アルゴリズムの拡張
11. QoS 要求分析手法の検討

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

● 名古屋大学グループ

名古屋大学グループでは、平成 21 年度は以下の 4 つのテーマについて研究した。

1. 低消費エネルギー化リアルタイム OS と HW の統合最適化手法の実装と評価
2. 低消費エネルギー化リアルタイム OS とコンパイラの統合最適化手法の実装と評価
3. 低消費エネルギー化ハードウェアアルゴリズムの実装と評価
4. 評価環境の構築

低消費エネルギー化リアルタイム OS と HW の統合最適化に関しては、まず、前年度に引き続き、本研究室で提唱している DEPS (Dynamic Energy/Performance Scaling) 技術の実用化のための研究を実施した。DEPS 技術とは、動的に電源電圧と動作周波数を最適に制御する DVFS (Dynamic Voltage/Frequency Scaling) 技術と、各コンポーネントの電力モード (休止モード、電源オフなど) を最適に管理する DPM (Dynamic Power Management) 技術に加え、動的にハードウェアの構成を再構成する DHR (Dynamic Hardware Reconfiguration) 技術を統合的に適用し、リアルタイム性を保証しつつ、消費エネルギーを最小化するリアルタイム OS 技術である。DEPS 技術のシングルプロセッサシステム上での評価とマルチプロセッサシステム上での評価を行い、その成果を論文誌[1]と国際会議でそれぞれ公表した。また、DEPS を効果的に行うための実行トレースマイニング技術についても、実装と評価を進めた。

低消費エネルギー化リアルタイム OS とコンパイラの統合最適化については、まず、タスクスケジューリングを考慮し、スクラッチパッドメモリに配置すべき関数を決定する手法を改良し、評価した。非プリエンティブなマルチタスクシステムを対象とした研究の成果は論文誌[2]で公表した。本研究により、本プロジェクトに参加している博士後期課程 1 年の高瀬英希君が平成 21 年度 IPSJ 論文船井若手奨励賞を受賞した。また、プリエンティブなマルチタスクシステム向けに拡張した研究の成果は国際会議で発表した。本研究により、高瀬英希君が第 140 回情報処理学会 SLDM 研究会優秀発表学生賞を受賞した。

更に今年度は、上記の「低消費エネルギー化リアルタイム OS と HW の統合最適化手法」と「低消費エネルギー化リアルタイム OS とコンパイラの統合最適化手法」を統合した、ULP ソフトウェア開発環境の構築を開始した。基本設計を終え、現在、詳細設計を進めている。

低消費エネルギー化ハードウェアアルゴリズムについては、演算器の小面積化による漏れ電流と信号遷移の削減の、低消費エネルギー化への貢献について検討し、回路を構成するセル数の少ない小面積型乗算器などの設計と評価を行った。

評価環境の構築に関しては、今まで名古屋大学グループが開発してきた ULP ソフトウェア開発環境を、東芝が中心となって構築中の評価環境へ応用する研究を進めている。

● 九州大学グループ

九州大学グループでは、平成 21 年度は以下の 3 つのテーマについて研究した。

5. 低消費エネルギー化ハードウェアの開発
6. HW・SW協調最適化手法の開発
7. 電力見積もりツールの開発

低消費エネルギー化ハードウェアの開発に関しては、アプリケーションプログラムの種類やその実行状況、あるいはハードウェアモジュールの性能個体差に応じて、使用するメモリブロックやプロセッサの使用電圧と動作周波数を変更できるプロセッサアーキテクチャを試作した。東京大学VDECから提供される0.18 μm プロセスを利用して上記の機能を搭載するシングルプロセッサとマルチコアプロセッサの2種類のチップを試作した。ポストレイアウトシミュレーションにより正常動作を確認し、消費エネルギーを評価した。現在、評価用FPGAボードの開発など、評価環境の構築を行っている。その他にも、性能と電力の異なる2種類(以上)のメモリをアクセス頻度に応じて使い分けることによりメモリの電力を削減する方法や、1サイクルでアクセス可能な2階層のキャッシュアクセス技術を開発し、それぞれ論文誌[3][4]にまとめた。本研究により、本プロジェクトに参加した博士後期課程3年の山口誠一郎君が、第140回情報処理学会SLDM研究会優秀発表学生賞を受賞した。SRAMセルのアクセス時間のばらつきをチップ製造後に計測し、一部の極端にアクセス時間の大きいメモリブロックをスペアブロックで置き換えることによりSRAMの最悪アクセス時間を劣化させることなく平均電力を削減する技術を開発した。研究成果は論文誌[6]にまとめた。フリップフロップ内のクロック伝搬で消費される電力を削減する回路技術を開発した。成果は国際会議で発表した。

HW・SW協調最適化手法の開発に関しては、アプリケーションの動作状況に応じてスタック変数を配置するメモリ領域を動的に移動させる手法を開発した。成果は国際会議で発表した。名古屋大学グループと協力し、コンパイラ最適化手法として統合を検討している。

電力見積もりツールの開発に関しては、東芝グループが開発した命令セットシミュレータが出力する命令トレースを元にマイクロプロセッサ上で動作するアプリケーションプログラムが消費するエネルギーを見積もるモデルを開発した。

● 東芝グループ

東芝グループでは、平成21年度は以下の4テーマに関する研究を行った。

8. 評価環境を利用した命令レベルでの消費電力データ収集
9. 評価アプリケーションの拡張
10. 省電力効果測定用マルチコアシミュレータの開発
11. QoS 要求分析手法の検討

消費電力測定については、前年度までに実施した測定結果を補完する目的で、全パターンを網羅可能とする命令セットの測定を行った。その結果、命令群ごとにある程度クラスタリングが可能なことが確認された。

次に、評価アプリケーションについては、評価に用いるための複数コーデックの整備、コーデック処理の機能分割による並列タスク化、QoS 要求適正化のための拡張、TOPPERS ASP 対応、開発中のシミュレータへの対応を行った。コーデックに関しては、前年度までに作成した浮動小数点演算を用いるコーデックのほかに、固定小数点化されたオーディオコーデックの開発を行うことで、パフォーマンス・品質両面からの評価が行える環境を整えた。また、評価アプリ

ケーションをシミュレータ上で動作する TOPPERS ASP カーネルに対応させ、さらにコーデック内部処理の並列タスク化を行ったことで、総合評価に用いる予定となっている TOPPERS FMP カーネルに対応する見通しが明らかとなった。QoS 要求適正化対応については、紙芝居モードや複数のビットレートにするなどの対応を行った。

マルチコアシミュレータの拡張については、電力評価に用いるための各種情報取得機能の追加、キャッシュの WAY 数などのコアの構成変更機能の追加、マルチパフォーマンス対応を行った。これにより、九大で開発中のチップに近い構成をシミュレートすることが可能となった。

最後に QoS 要求分析手法については、手法自身のブラッシュアップとして、ユーザ要求の分析による本質的なユーザニーズの分析と、省エネルギー仕様案の創出の 2 つのフェーズの強化を行い、ケーススタディによる確認やフィードバックを行った。また後半には、手法自身のブラッシュアップとして、本質的なユーザニーズの分析と、開発コスト見積もりを組み入れた省エネルギー仕様案の選択の 2 つのフェーズの強化を行い、ケーススタディによる確認やフィードバックを行った。

§ 4. 成果発表等

(4-1) 原著論文発表

● 論文詳細情報

- [1] Gang Zeng, Hiroyuki Tomiyama, and Hiroaki Takada, “A Generalized Framework for Energy Savings in Hard Real-Time Embedded Systems,” *IPSJ Transactions on System LSI Design Methodology*, vol. 2, pp.167-179, Aug. 2009.
doi:10.2197/ipsjtsldm.2.167
- [2] Hideki Takase, Hiroyuki Tomiyama, and Hiroaki Takada, “Partitioning and Allocation of Scratch-Pad Memory in Priority-Based Multi-Task Systems,” *IPSJ Transactions on System LSI Design Methodology*, vol. 2, pp.180-188, Aug. 2009.
doi:10.2197/ipsjtsldm.2.180
- [3] Seiichiro Yamaguchi, Yuriko Ishitobi, Tohru Ishihara, and Hiroto Yasuura, “Single-Cycle-Accessible Two-Level Caches and Compilation Technique for Energy Reducion”, *IPSJ Trans. System LSI Design Methodology*, vol.2, pp.189-199, Aug. 2009.
doi:10.2197/ipsjtsldm.2.189
- [4] Tadayuki Matsumura, Tohru Ishihara, and Hiroto Yasuura, “An Optimization Technique for Low-Energy Embedded Memory Systems”, *IPSJ Trans. System LSI Design Methodology*, vol. 2, pp. 239-249, Aug. 2009.
doi:10.2197/ipsjtsldm.2.239
- [5] Tetsuo Yokoyama, “Reversible Computation and Reversible Programming Languages,” *Electronic Notes in Theoretical Computer Science*, vol. 253, Issue 6, pp. 71-81, Mar.

2010.

doi:10.1016/j.entcs.2010.02.007

- [6] Maziar Goudarzi, Tohru Ishihara, “SRAM Leakage Reduction by Row/Column Redundancy Under Random Within-die Delay Variation,” IEEE Trans. VLSI Systems, in press.

doi:10.1109/TVLSI.2009.2026048

(4-2) 特許出願

CREST 研究期間累積件数(国内 1 件)