

「次世代エレクトロニクスデバイスの創出に資する
革新材料・プロセス研究」
平成19年度採択研究代表者

菅原 聡

東京工業大学大学院理工学研究科・准教授

ハーフメタル強磁性体を用いたスピン機能 MOSFET の開発

§ 1. 研究実施の概要

本研究課題では、従来のエレクトロニクスの分野で用いられることのなかったキャリアのスピンや材料の磁性に関する自由度・機能を MOSFET に導入し、スピン自由度を用いた新しいシリコン集積回路技術を構築するための基礎体系を創出する。本研究課題は、①ハーフメタル強磁性体ソース/ドレイン・スピン MOSFET の開発、②強磁性トンネル接合(MTJ)を用いた擬似スピン MOSFET の開発(フルホイスラー合金 MTJ の開発を含む)、③スピン機能 MOSFET(スピン MOSFET, 擬似スピン MOSFET)を用いた高機能集積回路の機能実証の 3 つの研究項目から構成される。以下、この 3 項目について本年の研究成果概要を示す。

①ハーフメタル強磁性体ソース/ドレイン・スピンMOSFETの開発

本研究課題ではスピン MOSFET のソース/ドレインにハーフメタル強磁性体となることが予想されているフルホイスラー合金 Co_2FeSi や $\text{Co}_2\text{FeSi}_{1-x}\text{Al}_x$ を用いる。これらの材料と Si との接合構造としては、材料・構造ともに探索的な段階であることから、ショットキーコンタクト、トンネルコンタクトの両方を検討している。

本年度は、まず、昨年度開発したフルホイスラー合金の X 線回折による規則度の評価モデルを拡張して、DO3 不規則化の評価方法を開発した。この評価方法を我々の開発した RTA によって形成した Co_2FeSi 薄膜に適用して、この Co_2FeSi 薄膜が極めて DO3 不規則化の少ない L21 構造を有することを明らかにした。

また、昨年度開発したドーパントの界面偏析現象を用いた $\text{Co}_2\text{FeSi}/\text{Si}$ ショットキーコンタクトのバリアハイト制御を MOSFET の電気特性から詳細に評価し、ドーパントの界面偏析によって、オン電流、オン/オフ比の増大、S ファクタ、閾値の減少を実証し、ドーパントの界面偏析技術がフルホイスラー合金/Si ショットキーバリアにも適応できることを明らかにした。

フルホイスラー合金を用いたトンネルコンタクトに関しては、昨年度開発したアモルファス Si を用いた非晶質絶縁膜上への Co_2FeSi の直接形成技術を用いて、 SiO_2 、 SiN を障壁層としたトンネルコンタクトの形成を試みた。 SiO_2 バリアの場合で遷移金属が Si 基板中に拡散してしまうが、 SiN を用いた場合では、遷移金属の拡散を抑止できることなどを明らかにした。

次いで、フェルミレベルを制御できる $\text{Co}_2\text{FeSi}_{1-x}\text{Al}_{0x}$ の RTA による形成を試みた。SOI を利用してシリサイド化を行うことで、規則構造を有する $\text{Co}_2\text{FeSi}_{0.5}\text{Al}_{0.5}$ 薄膜の形成に成功した。また、この規則構造は RTA によるシリサイド化によって誘起できることを明らかにした。

②MTJを用いた擬似スピンMOSFETの開発(フルホイスラー合金MTJの開発を含む)

本研究項目では、通常の MOSFET と MTJ を回路的に組み合わせ、スピン MOSFET を実現する。本年度は MTJ 技術に関しては、フルホイスラー合金を用いた高 TMR 比 MTJ と、CPP-GMR 素子による低電流スピン注入磁化反転技術について検討を行い、MTJ に関しては 10 K で 700%、室温で 330% の巨大な TMR を得た。また、CFAS を強磁性電極とした CPP-GMR 素子を作製し、スピン注入磁化反転を実現し(ホイスラー合金としては世界で初めて)、その電流密度として $9.3 \times 10^6 \text{ A/cm}^2$ の電流密度を得た。この値は従来材料を用いた場合より大幅に小さな電流密度(従来の 20%)であり、CFAS ホイスラー合金の優位性を確認できた。

また、ボトムゲート構造 MOSFET にフルホイスラー合金 MTJ を集積化して、PS-MOSFET を作製した。PS-MOSFET の出力特性は MTJ の磁化状態によって変調され、スピントランジスタ動作を確認することができた。

③スピン機能MOSFETを用いた高機能集積回路の機能実証

高機能集積回路への応用に関しては、まず、擬似スピン MOSFET を用いた不揮発性フリップフロップのシミュレーションによる動作検証・回路解析・性能評価を行った。特に、Break even time を用いたパワーゲーティング・システムへの適合性の評価方法を提案・確立した。さらに、不揮発性 SRAM についても同様に Break even time の評価を行い、この不揮発性フリップフロップと不揮発性 SRAM を用いた不揮発性パワーゲーティング・プロセッサの提案を行った。また、不揮発性 SRAM ではスピン注入磁化反転に必要な電流をセル Tr で駆動することが設計上の重要課題となるが、与えられた MTJ のスピン注入磁化反転の電流密度と回路の電源電圧から、対応可能な MTJ のサイズと RA を設計できる手法を開発した。

§ 2. 研究実施体制

(1)「東工大」グループ

① 研究分担グループ長:菅原 聡(東京工業大学、准教授)

② 研究項目

RTA によるハーフメタル・フルホイスラー合金の形成とその S-MOSFET への応用

PS-MOSFET の性能評価と機能実証

PS-MOSFET, S-MOSFET を用いた高機能ロジックの提案・設計と性能予測

(2)「NIMS」グループ

①研究分担グループ長:猪俣 浩一郎((独)物質・材料研究機構、フェロー)

②研究項目

巨大 TMR 比ハーフメタル MTJ の作製および低電流スピン注入磁化反転技術開発
PS-MOSFET の作製と機能実証
PS-MOSFET を用いた高機能ロジックの作製と評価

(3)「東大」グループ

①研究分担グループ長:田中 雅明(東京大学、教授)

②研究項目

PS-MOSFET の作製と機能実証
PS-MOSFET を用いた高機能ロジックの作製と評価

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

本研究課題は、以下の3項目から構成される。以下、スピン MOSFET を S-MOSFET, 擬似スピン MOSFET (Pseudo spin-MOSFET) を PS-MOSFET と略す。研究項目は①ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発, ②強磁性トンネル接合(MTJ)を用いた PS-MOSFET の開発 (フルホイスラー合金 MTJ の開発を含む), ③スピン機能 MOSFET (S-MOSFET, PS-MOSFET) を用いた高機能集積回路の機能実証の 3 つである。それぞれの研究項目について、本年度の研究実施内容を示す。

① ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発

スピン MOSFET を実現するための重要課題は、ハーフメタル強磁性体(HMF)による強磁性ソース/ドレイン(S/D)技術の開発である。スピン MOSFET はそのデバイス構造から近年注目を集めているメタル S/D MOSFET の一種であると考えられるが、CMOS プロセスに整合できる HMF メタル S/D の形成と HMF/Si 接合におけるバリア高さ制御が重要な課題になる。これまでに、SOI 基板を用いれば、RTA によるシリサイド化によって規則度の高いフルホイスラー合金 Co_2FeSi (CFS) が形成できることを明らかにしている。

本年度は、まず、フルホイスラー合金の規則構造のより詳細な評価方法を確立した。Co 線源 X 線回折を用いた DO3 不規則化の新しい評価方法を提案した。DO3 不規則化は A2 不規則化の一種であるためフルホイスラー合金のハーフメタル性を大きく劣化させるが、通常の X 線回折では検出できない。この評価方法を我々の開発した RTA によって形成した Co_2FeSi 薄膜に適用した。本手法は Co 線源 X 線による Fe と Co の原子散乱因子の大きさの違いに着目した方法で、DO3 不規則化を定量評価できる。DO3 不規則化は RTA 温度とともに減少し、800°C の RTA 温度では DO3 不規則化の非常に少ない L21 構造を実現できることを明らかにした。

また、昨年度開発したドーパントの界面偏析現象を用いた $\text{Co}_2\text{FeSi}/\text{Si}$ ショットキーコンタクトのバリアハイト制御を MOSFET の電気特性から詳細に評価した。エネルギー 10KeV, ドーズ量 1×10^{15}

cm²で As のイオン注入をソース/ドレイン領域に行い、この領域に Fe と Co を堆積してシリサイド化を行い、CFS を形成した。イオン注入を行わない場合、CFS が Si のバンドギャップ中にピンニングされるため、MOSFET の電流駆動能力は小さい。As の界面偏析を行うことで、電流駆動能力は大きく改善された。また、As の界面偏析によって、オン/オフ比は増大し、S ファクタおよび閾値は減少した。ドーパントの界面偏析技術がフルホイスラー合金/Si ショットキーバリアにも適応できることを明らかにした。

フルホイスラー合金を用いたトンネルコンタクトに関しては、昨年度開発したアモルファス Si を用いた非晶質絶縁膜上への Co₂FeSi の直接形成技術を用いて、SiO₂、SiN を障壁層としたトンネルコンタクトの形成を試みた。昨年度は厚い熱酸化膜を用いて高規則度 CFS の形成を実現した。本年度はまず、2nm 程度の薄い熱酸化膜を用いて CFS の形成を試みた。この場合では RTA によって Co、Fe は熱酸化膜を透過して Si 基板中の奥深くまで拡散してしまった。そこで、密度が緻密で遷移金属の透過抑止能力に優れたシリコン窒化膜をトンネルバリアに用いた。ECR スパッタにより SiON を形成し、CFS の形成を試みた。SiON をトンネルバリアに用いた場合では、Co、Fe の透過は大きく抑止され、また、形成した CFS は薄いトンネルバリア上であっても規則度の高い高品質の CFS が形成できた。

次いで、フェルミレベルを制御できる Co₂FeSi_{1-x}Al_x(CFSA)の RTA による形成の検討を行った。CFSA は Al の組成によって、そのフェルミレベルをマイノリティギャップの中心近傍に配置させることが可能なため、スピン注入により適したハーフメタル材料である。本研究課題では CFS の開発によって得られた知見を CFSA にフィードバックして、より高性能なスピン MOSFET の実現を目指している。本年度は RTA による CFS の形成と同様の方法によって CFSA の形成を試みた。SOI 上に Co-Fe-Al 合金(Co₂FeAl_{0.5})をスパッタ堆積し、RTA によってシリサイド化した。SOI 層と Co-Fe-Al 合金の膜厚は合金化した時に Co₂FeAl_{0.5}Si_{0.5} の組成比になるように調節した。X 線回折から、試料が(110)面に強く配向していることがわかった。現在詳細な構造解析を進めているが、少なくとも B2 以上の規則構造は実現できている。Co₂FeAl_{0.5}Si_{0.5} ではフェルミレベルがマイノリティギャップのほぼ中央に位置しているため、B2 構造であってもハーフメタル性は保たれることが知られている。

スピン MOSFET の磁化反転はソースまたはドレインに形成した CPP-GMR 素子のスピン注入磁化反転によって行う。フルホイスラー合金を用いた CPP-GMR 素子のスピン注入磁化反転は、これまでのところ実現されていなかったが、スピン MOSFET を実現する上での重要な技術であることから、本研究課題で遂行している。本研究項目はフルホイスラー合金を用いた MTJ 素子のスピン注入磁化反転にも密接に関連しているため次節で述べる。

②強磁性トンネル接合を用いたPS-MOSFETの開発(フルホイスラー合金MTJの開発を含む)

本研究項目では MTJ と MOSFET を組み合わせた PS-MOSFET を作製し、機能実証を行うことを目的としている。PS-MOSFET は既存の MTJ 技術を利用してスピントランジスタによるエレクトロニクスを展開する技術の基盤となる。本年度は MTJ 技術に関しては、フルホイスラー合金を用いた高 TMR 比 MTJ と、CPP-GMR 素子による低電流スピン注入磁化反転技術について検討を行った。また、ボトムゲート構造 MOSFET にフルホイスラー合金 MTJ を集積化して、PS-MOSFET を作製しそのスピントランジスタ動作を実証した。

フルホイスラー合金を用いた高 TMR 比 MTJ に関しては以下の検討を行った。ホイスラー合金、 $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ (CFAS)がハーフメタルであることを実験的に検証するため、コヒーレントトンネル効果による TMR のエンハンスが除外される AlO_x バリアを用いて CFAS/ AlO_x /CoFe MTJ を作製し、低温 (26 K) で 162%、室温で 102% の TMR を得た。TMR = 162% はスピン分極率 $P = 0.93$ に相当する。これから CFAS は間違いなくハーフメタルであることが実証された。尚、室温 TMR = 102% は $P = 0.75$ に相当し、この値はこれまでの全ての磁性材料の中で最大である。一方、上記 MTJ の微分コンダクタンス dI/dV のバイアス電圧依存性から CFAS は室温でもハーフメタルギャップを有することを実証した。室温でのハーフメタルギャップの観測は世界初である。さらに TMR の温度変化を解析した結果、それは P の温度変化が $T^{3/2}$ (スピン波理論) に従うことで完全に説明できることを明らかにした。これにより如何にすれば室温 TMR を増大できるかの指針を得た。

上記知見を基に、巨大 TMR を実現すべくすべての層に対してスパッタ法を適用し、 $\text{MgO}(100)/\text{Cr}/\text{Co}_2\text{FeAl}(\text{CFA})/\text{MgO}/\text{CoFe}/\text{CFA}/\text{CoFe}/\text{IrMn}$ スピンバルブ型 MTJ を作製した。その結果、10 K で 700%、室温で 330% の巨大 TMR を得た。この室温 TMR はスピンバルブ型 MTJ として世界最高値である。

スピン注入磁化反転 (CIMS) に関する 21 年度の研究は、開発した CFAS ホイスラー合金が従来の磁性材料に比べて CIMS の臨界電流密度 (J_{c0}) を低減するポテンシャルを有していることを明らかにすることにある。対象素子としてまず CPP-GMR 素子を作製しその実証を試みた。H20 年度において Ag スペーサを用いた CFAS/Ag/CFAS/CoFe/IrMn スピンバルブ型 CPP-GMR 微小素子を作製し、室温で 12.5% の大きな GMR を得たが、フリー層の CFAS の厚さは 30 nm であった。CIMS を観測するためにはこの厚さを薄くする必要があるため、2.5 nm の厚さを持つ CFAS(30 nm)/Ag(5 nm)/CFAS(2.5 nm) 擬スピンバルブ型 CPP-GMR 素子を作製した。その結果、薄い CFAS フリー層に対しても室温で最大 9% の大きな MR を得た。この結果を受けて、微細加工を用いて上記構造からなる楕円形 (250 × 190 nm) のナノピラーを作製し、この素子に直接電流を流して抵抗変化を測定した結果、明瞭な CIMS を観測した。磁化反転電流の分布から CIMS の臨界電流密度 J_{c0} を求めた結果、 $J_{c0} = 9.3 \times 10^6 \text{ A/cm}^2$ であった。この値は、従来の Co/Cu/Co の 20% という非常に小さな値である。これにより、CFAS は CIMS の低電流密度化に非常に有効であることを検証した。尚、ハーフメタルホイスラー合金を用いて CIMS を観測したのはこれが世界初である。

PS-MOSFET に関しては SOI 基板を用いたボトムゲート構造 MOSFET とフルホイスラー合金を用いた交換バイアス型の MTJ を集積化して、疑似スピン MOSFET の動作を検証した。 $\text{MgO}(10\text{nm})/\text{Co}_2\text{FeAl}(30\text{nm})/\text{Mg}(0.5\text{nm})/\text{MgO}(1.5\text{nm})/\text{CoFe}(5\text{nm})/\text{IrMn}(12\text{nm})/\text{Ru}(7\text{nm})$ の構造からなる MTJ を原子スケールで平坦な熱酸化シリコン膜上に形成して MOSFET との集積化を行った。作製した疑似スピン MOSFET の出力特性は、MTJ の磁化状態に依存して電流駆動能力が変化するスピン依存伝達特性が明瞭に観測され、疑似スピン MOSFET がスピントランジスタとして動作できることを実証した。MTJ の電気特性を我々の開発した SPICE のマクロモデルで再現し、疑似スピン MOSFET の出力特性をシミュレーションして実験結果と比較を行った。その結果、ボトムゲート MOSFET のリーク電流による効果以外はシミュレーションと実験結果とよく一致し、疑似スピン

MOSFET の動作実証ができた. 45%の磁気電流比を観測することができた.

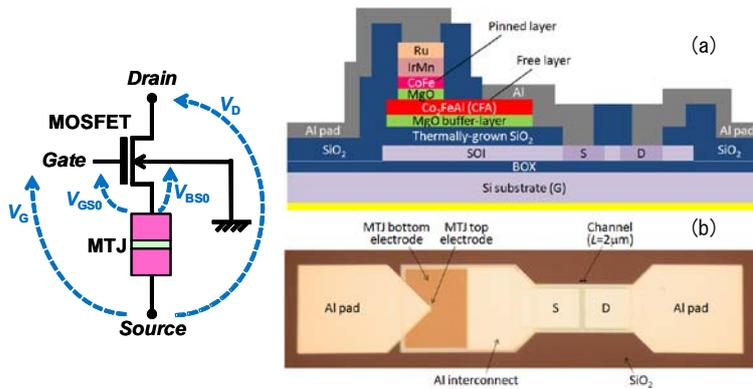


図 1 左図：疑似スピ
ンMOSFETの回路構成。
右上図：作製した疑似スピ
ンMOSFETの断面模式図。SOI
基板を用いたボトムゲート型
MOSFETにフルホイスター合金
MTJ(TMR比70%)を集積化
して作製した。
右下図：作製した疑似スピ
ンMOSFETの表面写真。

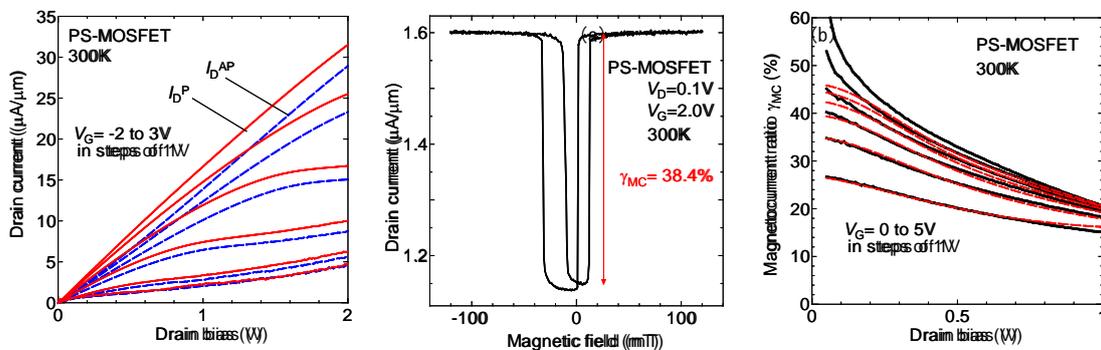


図 2 左図：作製した疑似スピ
ンMOSFETの出力特性。実線がMTJの磁化状態が平行磁化の場合、破線が反平
行磁化の場合である。磁化状態に応じて電流駆動野力に変調されている。
中央図：ドレイン電流の磁場依存性。交換バイアス型のMTJの特性を反映したヒステリシスが得られた。
右図：磁気電流比(平行磁化, 反平行磁化におけるドレイン電流の変化率)のドレインバイアス依存性。実測値
(黒線)は我々の開発したMTJのSPICEモデルを用いたシミュレーションと良く一致し(低いVdと高いVgを除く),
MOSFETのソースに接続したMTJによるフィードバック効果を確認できた。シミュレーションからのズレはゲート
ワークによる。最大で45%の磁気電流比を確認できた。

③PS-MOSFET, S-MOSFETを用いた高機能ロジックの開発

本研究課題ではPS-MOSFETまたはS-MOSFETをCMOSインバータ・ループによる双安定回路に接続すれば、不揮発性SRAM(NV-SRAM), 不揮発性ラッチ, 不揮発性フリップ・フロップ(NV-FF)などの不揮発性ロジックを構成できることを提案している。特に, CMOSロジックやプロセッサの理想的なパワーゲーティングを実現するため, 疑似スピ
ンMOSFETを用いた不揮発性SRAM(NV-SRAM)や不揮発性フリップ・フロップ(NV-FF)の提案・解析を進めている。

PS-MOSFETを用いたNV-FFに関しては, 我々の開発したMTJのマクロモデルを用いてSPICEシミュレーションによる動作検証・回路解析・性能評価を行った。NV-FFでは, 不揮発に情報を保持することだけでなく通常のFFとしての性能も重要である。各種ディレイタイム, 通常動作時におけるスタティックなリーク電流などの性能を通常のSRAMやその他のリテンションFF(バルーンFF)と比較を行った。また, Break even timeを用いたパワーゲーティング・システムへの適合性の評価方法についても提案・確立し, 我々の提案したNV-FFの総合的な性能評価からの優位性を

明らかにした。

さらに、NV-SRAMについても同様に Break even time の評価を行い、パワーゲーティングによる消費電力削減の効果を検証した。また、プロセッサ内における NV-FF と NV-SRAM の効果的な利用方法を提案して、これらを用いた不揮発性パワーゲーティング・プロセッサの提案した。また、不揮発性 SRAM ではスピン注入磁化反転に必要な電流をセル Tr で駆動することが設計上の重要課題となるが、与えられた MTJ のスピン注入磁化反転の電流密度と回路の電源電圧から、対応可能な MTJ のサイズと RA を設計できる手法を開発した。

§ 4. 成果発表等

(4-1) 原著論文発表

- (1) Y. Shuto, R. Nakane, W. H. Wang, H. Sukegawa, S. Yamamoto, M. Tanaka, K. Inomata, and S. Sugahara, “A New Spin-Functional Metal-Oxide-Semiconductor Field-Effect Transistor Based on Magnetic Tunnel Junction Technology: Pseudo-Spin-MOSFET”, Appl. Phys. Exp., vol.3, no.1, pp. 013003/1-3, 2010.
- (2) Y. Shuto, S. Yamamoto, and S. Sugahara, “Nonvolatile Static Random Access memory based on spin-transistor architecture”, J. Appl. Phys., vol. **105**, no.7, pp. 07C933/1-3, 2009.
- (3) Y. Takamura, R. Nakane, and S. Sugahara, “Analysis of $L2_1$ -ordering in full-Heusler Co_2FeSi alloy thin films formed by rapid thermal annealing”, J. Appl. Phys., vol.**105**, no.7, 2009, pp.07B109/1-3.
- (4) S. Yamamoto, and S. Sugahara, “Nonvolatile Static Random Access Memory (NV-SRAM) Using Magnetic Tunnel Junctions with Current-Induced Magnetization Switching Architecture”, Jpn. J. Appl. Phys., vol. **48**, no. 4, pp. 043001/1-7, 2009.
- (5) T. T. Suzuki, H. Sukegawa, and K. Inomata, Phys. Rev. B **79**, 045423-1-045423-6 (2009), “Structure and spin polarization of $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ full-Heusler alloy outermost surfaces studied by spin-polarized ion scattering spectroscopy”.
- (6) R. Shan, H. Sukegawa, W. H. Wang, M. Kodzuka, T. Furubayashi, T. Ohkubo, S. Mitani, K. Inomata and K. Hono, Phys. Rev. Lett. **102**, 246601-1-246601-4 (2009), “Demonstration of Half-Metallicity in Fermi-Level-Tuned Heusler Alloy $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ at Room Temperature”.
- (7) H. Sukegawa, Wenhong Wang, R. Shan, T. Nakatani, K. Inomata and K. Hono, Phys. Rev. B **79**, 184414-1-184414-6 (2009), “Spin-polarized tunneling spectroscopy of fully epitaxial magnetic tunnel junctions using $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ Heusler alloy electrodes”.
- (8) 介川裕章、Wenhong Wang, Rong Shan, 猪俣浩一郎、日本磁気学会誌 **33**, 256-261 (2009), “フルホイスラー $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ 合金を有する強磁性トンネル接合の素子構造とトンネル磁気抵抗効果”.
- (9) Wenhong Wang, H. Sukegawa, S. Mitani and K. Inomata, Appl. Phys. Lett, **95**, 182502 (2009), “Giant tunneling magnetoresistance up to 330% at Room temperature in sputter deposited $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFe}$ magnetic tunnel junctions”.
- (10) Hiroaki Sukegawa, Shinya Kasai, Takao Furubayashi, Seiji Mitani, and Koichiro Inomata Appl. Phys. Lett. **96**, 042508 (2010). "Spin transfer switching in an epitaxial spin-valve nanopillar with a full-Heusler $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ alloy".

(4-2) 知財出願

- ① 平成21年度特許出願件数(国内 2 件)
- ② CREST 研究期間累積件数(国内 3 件)