

「ディペンダブル VLSI システムの基盤技術」
平成 21 年度採択研究代表者

小柳 光正

東北大学 大学院工学研究科・教授

自己修復機能を有する3次元 VLSI システムの創製

§ 1. 研究実施の概要

本研究プロジェクトでは、3 次元 LSI による高性能化とデペンダビリティの向上にねらいを絞って研究を行う。このような 3 次元 LSI の応用例として車載用の 3 次元積層型画像処理システム LSI を取り上げる。このような車載用 3 次元積層型画像処理システム LSI のデペンダビリティについて、画像処理・認識のデペンダビリティ、システムソフトウェアに関わるデペンダビリティ、システムハードウェアに関わるデペンダビリティという 3 つの視点から検討を行う。画像処理・認識のデペンダビリティに関しては、画像処理・認識の高性能化がデペンダビリティを上げることに繋がるので、3 次元 LSI の採用による画像処理・認識の高性能化という観点で研究を進める。

本研究プロジェクトでは以上の 3 つの視点からのデペンダビリティを考慮した 3 次元積層型画像処理システム LSI の構築を目指す。プロジェクト終了までに、抽象化モデルによるシステム・シミュレータと FPGA 実装ボードを開発して全体システムの機能と性能を確認するとともに、3 次元積層型画像処理システム LSI の基本的な機能を搭載した 3 次元積層型画像処理テストチップを開発して、ハードウェア基本機能と性能の確認を行う。

以下に、H21 年度の研究の概要と、研究進捗状況、研究成果について記す。

1) 画像処理システムの高性能化とデペンダビリティに関する研究

次世代車載用超高精度ステレオビジョンの仕様検討を行い、性能と信頼性に対する基本仕様を決定した。また、画像処理・認識の高性能化のためのアルゴリズム開発を行った。3 次元 LSI 採用によるシステムの高性能化に関しては、オンチップキャッシュメモリとベクトルプロセッサを積層することで、高性能、低消費電力を実現できること示した。

2) ハードウェア・ソフトウェア協調型ディペンダブルシステムに関する研究

本研究課題で対象としている 3 次元 VLSI の豊富な計算資源を活用し、様々なアプリケーションの実行に適した計算資源のカスタマイズと、カスタマイズされた計算資源上で耐故障性・障害性に優れたジョブ実行を実現するハードウェア・ソフトウェア協調型ディペンダブルシステムの

実現を目的に、「アプリケーションの特性を考慮した 3 次元 VLSI ハードウェアの構成技術の研究開発」、「ディペンダブルなアプリケーションスケジューリング機構の研究開発」の二つのサブテーマを設置し、本年度はこれらのサブテーマに関する基本要素技術の調査・検討を行った。「ディペンダブルなアプリケーションスケジューリング機構の研究開発」に関しては、複数コアに共有されるキャッシュメモリへの資源要求量に基づく静的なスレッドスケジューリングアルゴリズムについて検討し、アプリケーションのワーキングセット評価に基づき、適切に共有資源を割り当てるスケジューリングを行うことで、高効率なアプリケーション実行が可能なことを示した。

3) ディペンダブルハードウェア技術に関する研究

自己修復機能を有するディペンダブル3次元 VLSI システムの実現に必要なディペンダブル・マルチコアプロセッサ、ディペンダブル・メモリの概念設計と基本性能の評価を行った。ディペンダブル・マルチコアプロセッサに関しては、3 次元 LSI で構成した粗粒度のリコンフィギュラブル・プロセッサと、3 次元 LSI の各層にメモリ、FPGA、専用回路等の異なった回路を登載した細粒度の機能分散型 FPGA の 2 種類のプロセッサを検討した。ディペンダブル・メモリに関しては、メモリ・ソフトウェア救済技術を要するディペンダブルアーキテクチャの実現を目的に、メモリアーキテクチャ・メモリを 2 ポート SRAM で構成し、プロセッサの動作中に SRAM のコンフィギュレーションデータを定期的にスクラビングすることにより、ソフトウェアに対する MTBF (Mean Time Between Failures) を約 1.74 倍改善できることを確認した。

§ 2. 研究実施体制

(1) 小柳グループ

①研究分担グループ長:小柳 光正(東北大学、教授)

②研究項目

- ・ディペンダブル・リコンフィギュラブルプロセッサの基本設計
- ・画像データ蓄積用のフレームメモリ、並列プロセッサシステムのための共有メモリ、コンフィギュレーションデータ格納用コンフィギュレーションメモリ等のディペンダブルメモリの基本設計
- ・自己修復機能を有する3次元VLSIシステム用のBIST回路、自己診断回路、自己修復回路の設計

(2) 小林グループ

①研究分担グループ長:小林 広明(東北大学、教授)

②研究項目

- ・アプリケーションの特性を考慮した 3 次元 VLSI ハードウェアの構成技術の研究開発
- ・ディペンダブルなアプリケーションスケジューリング機構の研究開発

(3) 青木グループ

①研究分担グループ長:青木 孝文(東北大学、教授)

②研究項目

- ・位相限定相関法に基づく超高精度ステレオビジョンのためのアルゴリズム開発
- ・上記アルゴリズムのソフトウェア実装および性能評価

(4) 末吉グループ

①研究分担グループ長:末吉 敏則(熊本大学、教授)

②研究項目

- ・不良救済技術およびメモリ・ソフトウェア検出・救済技術の実現可能性の検討。
- ・ロジック部, スイッチ部を各層に備える機能分割積層型と各層毎にFPGAを備える領域分割積層型, およびその他構造の初期検討

(5) 鎌田グループ

①研究分担グループ長:鎌田 忠(株式会社デンソー、主幹)

②研究項目

- ・処理量が制御系に比べ 3~4桁多い自動車の認識系、HMI 系システムに対する要件分析
およびシステム、機能の概念設計

(6) 元吉グループ

①研究分担グループ長:元吉 真(株式会社ザイキューブ、取締役社長)

②研究項目

- ・メモリ・ソフトウェア検出・救済を中心とした自己修復機能を有する3次元 LSI テスト回路の設計
- ・3次元 LSI テスト回路の試作に必要な3次元 LSI 技術のプロセス最適条件の検討

§ 3. 研究実施内容

(文中に番号がある場合は § 4(4-1)に対応する)

前述のように、本プロジェクトでは、3次元LSIによる高性能化とデペンダビリティの向上を目指して研究を進めている¹⁾。そのための具体的なアプリケーションとして車載用3次元積層型画像処理システムLSIを取り上げ、画像処理・認識のデペンダビリティ、システムソフトウェアに関わるデペンダビリティ、システムハードウェアに関わるデペンダビリティという3つの視点から検討を行った。平成21年度の研究実施の具体的内容について以下にまとめる。

1) 画像処理システムの高性能化とデペンダビリティに関する研究

画像処理・認識のデペンダビリティに関しては、画像処理・認識の高性能化がデペンダビリティを上げることに繋がるとの考えのもとに、本年度は、3次元LSIの採用による画像処理・認識の高性能化という観点で研究を進めた。次世代車載用超高精度ステレオビジョンを想定し、システムの性能と信頼性に対する基本仕様を検討するとともに、画像処理・認識の高性能化のためのアルゴリズムの開発を行った。高レベル安全性を達成するための次世代車載用超高精度ステレオビジョンの計測精度として、水平/垂直空間分解能 ($\leq 5\text{cm}$)、奥行空間分解能 ($\leq 50\text{cm}$)、水平/垂直速度分解能 ($\leq 10\text{km/h}$) を設定し、システムの画像サイズ (SXGA: 1280x1024 画素)、フレームレート (30fps)、基線長 (12cm)、焦点距離 (6.5mm)、ステレオ画像対応付け精度 (0.05 画素)、ステレオ画像対応付け点数 (30 万点)、高信頼化のための冗長度 (2 重化冗長)と言った仕様を満たす画像処理・認識システムの性能見積もりを行った。その結果、従来に比べて 2 桁以上の性能改善が必要であることが判明し、画像処理・認識アルゴリズムとシステムアーキテクチャの両面から高性能化を図ることを検討した。アルゴリズムに関しては、MATLAB などの高水準モデリング環境を用いて、車載向けのステレオビジョンシステムで重要になるサブピクセル画像対応付けアルゴリズムを検討した。具体的には、位相限定相関法の高精度化手法として、窓関数の適用、スペクトル重み付け、相関ピークモデルのフィッティング、高速化手法として、位相限定相関法の 1 次元化、対応付けのロバスト化手法として、3 階層程度の階層探索を用いることを検討した²⁾。更に、3D グラフィクス画像を用いた画像処理・認識の高性能化とデペンダビリティ向上に関する検討も開始した。

2) ハードウェア・ソフトウェア協調型ディペンダブルシステムに関する研究

「アプリケーションの特性を考慮した 3 次元の VLSI ハードウェアの構成技術の研究開発」と「ディペンダブルなアプリケーションスケジューリング機構の研究開発」の 2 つのサブテーマを設定し、本年度は各サブテーマに関して以下の研究を実施した。

「アプリケーションの特性を考慮した 3 次元の VLSI ハードウェアの構成技術の研究開発」においては、演算器の 3 次元積層技術とベクトルプロセッサにおけるコア・メモリの三次元積層技術の適用効果について検討した。演算器の 3 次元設計においては、入力信号分割に基づく演算器の三次元積層手法適用した際に、低遅延、低消費電力を実現するための要件を示した。また、コア・メモリの 3 次元設計においては、図 1 に示すように、3 次元積層によって実現可能となる大規模なオンチップキャッシュメモリとベクトルプロセッサを積層することで、高性能、低消費電力を実現できること示した。「ディペンダブルなアプリケーションスケジューリング機構の研究開発」では、図 2 に示すような、複数コアに共有されるキャッシュメモリへの資源要求量に基づく静的なスレッドスケジューリングアルゴリズムの検討を行った。本検討では、図 3 に示すように、アプリケーションのワーキングセット評価に基づき、適切に共有資源を割り当てるスケジューリングを行う事で、高効率なアプリケーション実行が可能なことを示した。また、ディペンダブルなアプリケーション実行を可能とする共有資源の動的再割当を行うタイミングの検討を行い、大局的・局所的な資源要求量評価に基づく動的な資源割当を行うことで、アプリケーションの性能低下を抑制できることを明らかにした。また、

CPU と GPU の混在環境におけるディペンダブル計算環境の検討を行った。

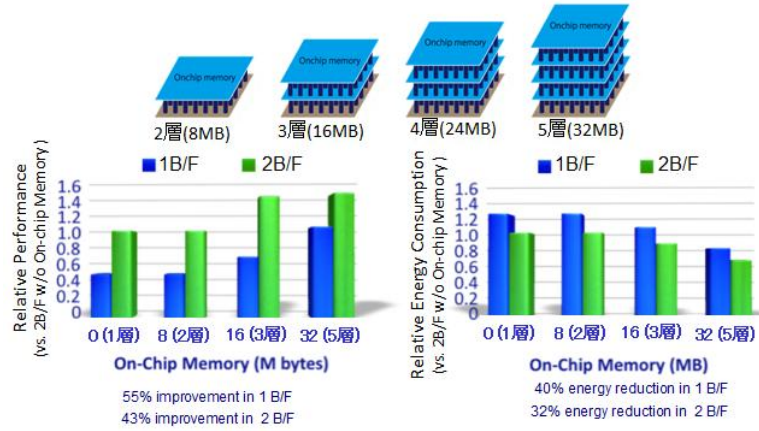


図1 メモリの3次元積層化による高性能化と低電力化

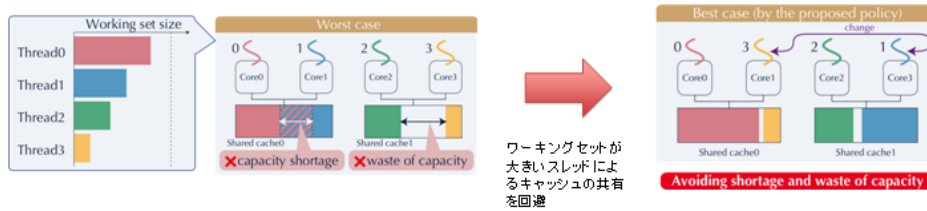


図2 アプリケーション・ディペンダブル・スケジューリング

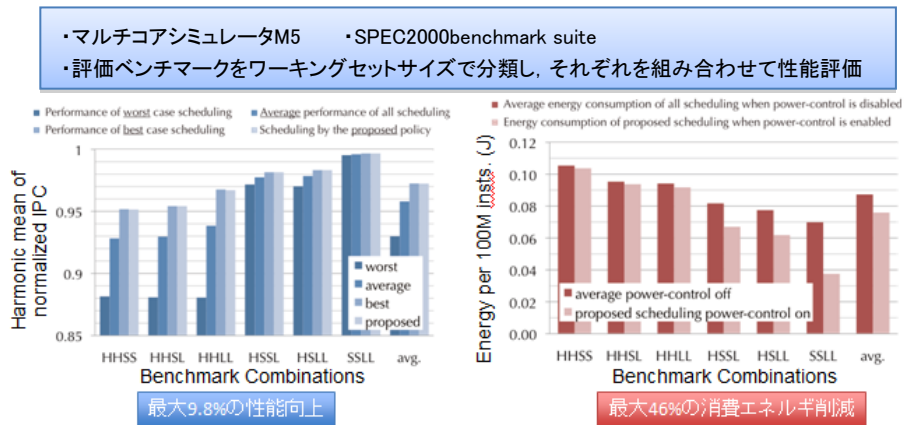


図3 ディペンダブルなアプリケーションスケジューリングによる性能改善

3) ディペンダブルハードウェア技術に関する研究

図4に示すような、自己修復機能を有するディペンダブル3次元VLSIシステムの実現に必要なディペンダブル・マルチコアプロセッサ、ディペンダブル・メモリの概念設計と基本性能の評価を行った。ディペンダブル・マルチコアプロセッサに関しては、粗粒度と細粒度の両方を検討した。粗粒度に関してはコアがSIMD方式とMIMD方式がアプリケーションによってダイナミックに切り替わるリコンフィギュラブル・マルチコアプロセッサについて検討した。診断・修復データも含めたコンフィグレーション・データはプ

ロセッサに 3 次元積層したメモリに搭載した。このようなりコンフィギュラブル・マルチコアプロセッサでは、コンフィギュレーションメモリ、キャッシュメモリ、メインメモリ、フレームメモリ等のメモリを 3 次元 LSI としてどのように構成するかが、性能、信頼性の両面で重要となるので、各メモリ間のメモリバンド幅、多重化と共有化による性能と信頼性、消費電力、コストの面からのトレードオフについて検討した。

細粒度のプロセッサに関しては、メモリ、FPGA、専用回路を 3 次元 LSI の層毎に有する機能分散型のプロセッサを対象としてメモリ・ソフトウェア救済機能を要するディペンダブルアーキテクチャについて検討するとともに³⁾、商用 FPGA ソフトコアプロセッサ向けに TMR と部分再構成によるエラー修正および同期復旧手法について提案・検討した。ソフトエラー要因として今回は、中性子と α 粒子に着目した。 α 粒子はエネルギーが減衰しやすく透過性が低いという特徴をもつので、システムを 3 層で構成した場合、最上層での α 粒子の影響を 100% とすると、中間層、最下位層における α 粒子の影響は、それぞれ、30%、10% となる。したがって、 α 粒子の影響が軽減される最下層にコンフィギュレーションメモリを配置することによってシステムのデペンダビリティを高めることができる。同様の理由から、コンテキスト情報を保持する大容量の DRAM は更に下位の層に配置することが望ましい。なお、メモリ容量の大きな DRAM のソフトエラー対策には ECC 等の既存のエラー訂正技術を用いることを考えている。中間層には LUT (Look-Up Table) より構成される FPGA を配置し、ソフトエラー対策として最下層の DRAM よりシリコン貫通配線 (TSV: Through-Si Via) を通して定期的にスクラビングを行う。このとき、TMR (Triple Module Redundancy) 化された CPU にてスクラビングの制御が行われる。提案する機能分散型のシステム構成を図 5 に示す。 α 線の影響が大

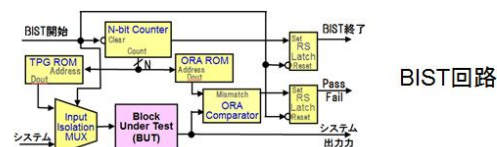
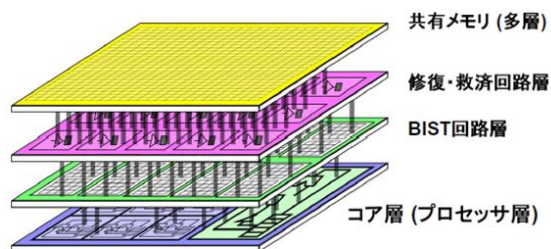


図 4 自己修復機能を有するディペンダブル 3次元 VLSI の構成

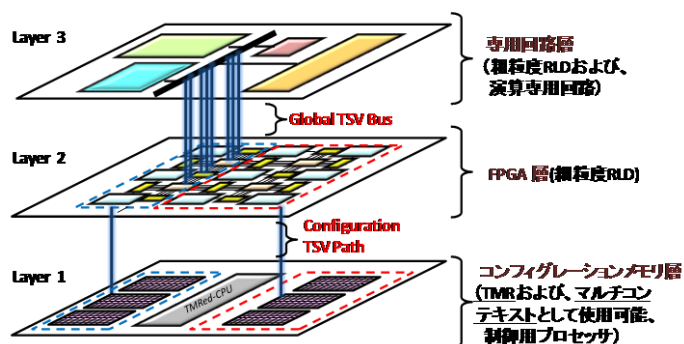


図 5 機能分散型リコンフィギュラブルシステムの構成

きい最上層には必要最低限のレジスタのみをもつ専用回路層、中間の FPGA 層、最下層のコンフィギュレーションメモリ層から構成される。以上のような機能分散型システムに対して、地上レベルの α 粒子および中性子におけるメモリ FIT 値を用いて MTBF (Mean Time Between Failures) を算出

した。その結果、3次元積層化することにより、MTBFが約1.74倍向上することが明らかとなった。ソフトコアプロセッサの高信頼化に向けたTMRと部分再構成によるエラー修正および同期復旧手法に関する研究に関しては、TMR回路においてメモリを共有し、その共有メモリを用いてレジスタ情報の退避と復帰を行うことでプロセッサ間の同期を実現した。システムを実装した結果、回路規模は約4.185倍、動作周波数は41.95%低下するという結果を得た。この回路規模は、Virtex-4FXシリーズにおいて中規模程度のデバイスに十分実装可能である。更に、復旧処理にかかる時間を測定した結果、 $6\mu s$ のオーバヘッドで復旧処理を実行できることを確認した。以上のことから、面積と動作周波数のオーバヘッドを満足できれば、全体再構成と比較して非常に短い時間でプロセッサの復旧が可能であり、プロセッサの高信頼化が実現できることが明らかになった。

§ 4. 成果発表等

(4-1) 原著論文発表

● 論文詳細情報

- 1) Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Akihiro Noriki, Kiyoshi Inamura, Kang-Wook Lee, Jicheol Bea, Tetsu Tanaka, and Mitsumasa Koyanagi, “Three-Dimensional Integration Technology Based on Reconfigured Wafer-to-Wafer and Multichip-to-Wafer Stacking Using Self-Assembly Method,” IEEE IEDM Technical Digest, pp.349-352 (Dec. 2009)
(DOI: 10.1109/IEDM.2009.5424353)
- 2) Kazuyuki Miyazawa, Takuma Shibahara, Koichi Ito and Takafumi Aoki, “A Stereo Correspondence Technique with Sub-Pixel Accuracy Using 1D Phase-Only Correlation,” IEEE Transactions on Image Processing (投稿中)
- 3) 一ノ宮佳裕, 石田智之, 田上士郎, 尼崎太樹, 久我守弘, 末吉敏則, “SRAM型FPGAの部分再構成によるソフトコアプロセッサの高信頼化,” 『電子情報通信学会論文誌, vol.J92-D, no.12, pp.2105-2113, (Dec. 2009)