

「ディペンダブル VLSI システムの基盤技術」
平成19 年度採択研究代表者

小野寺 秀俊

京都大学 大学院情報学研究科・教授

ロバストファブリックを用いたディペンダブル VLSI プラットフォーム

§ 1. 研究実施の概要

素子寸法の極限的な微細化に伴い、製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびにソフトエラーなどの一過性雑音事象への耐性低下が問題となっている。本研究では、これらのディペンダビリティ阻害要因の排除を目的とし、適応的調整と再構成が可能な新しい VLSI プラットフォームを開発する。すなわち、ばらつきに強靱な構造を持ち特性の適応的調整が可能なロバストファブリック、各種の高信頼化構造の実現が容易な再構成アーキテクチャ、必要に応じた信頼度で逐次処理を実行可能な再構成プロセッサ、機能記述から再構成アーキテクチャへのマッピング技術を明らかにし、アプリケーションに応じたディペンダビリティを持つ VLSI システムが実現可能であることを示す。また、ディペンダビリティ評価手法の検討とともに本技術の応用展開を図る。

平成 21 年度は、要素課題ごとの検討とともに、粗粒度再構成可能アレイ部と高信頼性プロセッサ等で構成されるプラットフォームの全体構成を設計し、プラットフォーム評価環境の構築に取り組んだ。ロバストファブリックについては、製造性ならびにばらつき耐性や信頼性を高めるための回路およびレイアウト構成法を検討した。また、遅延ばらつき解析の高精度化と高速化に取り組んだ。再構成アーキテクチャについては、要求されるディペンダビリティに応じて回路の再構成が可能なクラスタアレイ構造とその実装技術の開発に取り組み、動作検証用テスト回路を試作した。また、評価アプリケーションを用いて異なるディペンダビリティでマッピングできることを確認した。アプリケーションをクラスタアレイ上に自動配置配線する機能を実現し、部分的多重化によるディペンダビリティ向上効果を定量的に評価する環境を作成した。適応的多重化が可能な再構成プロセッサについて、商用 ISA への対応と SEU 注入評価を行った。開発プラットフォームの実用性を実証するため、FPGA を用いたプロトタイピング環境の構築に取り組んだ。また、衛星利用を想定した変調通信回路への適用を検討した。

平成 22 年度は、プロトタイピング環境を活用し必要に応じたディペンダビリティを持つ回路が提案プラットフォームにより実現可能であることを実証する。更に最終目標に向け、ホットスワップや

特性調節機構などの動的ディペンダビリティ向上技術に取り組む。

§ 2. 研究実施体制

(1) 京大グループ

- ① 研究分担グループ長:小野寺 秀俊 (京都大学、教授)
- ② 研究項目:ロバストファブリック、再構成可能ディペンダブル VLSI へのマッピング技術

(2) 阪大グループ

- ① 研究分担グループ長:尾上 孝雄 (大阪大学、教授)
- ② 研究項目:ディペンダブル VLSI プラットフォーム用再構成可能 VLSI アーキテクチャ

(3) 京都高度技術研究所グループ

- ① 研究分担グループ長:神原 弘之 (財団法人京都高度技術研究所、主席研究員)
- ② 研究項目:
ディペンダブル VLSI プラットフォームのアプリケーション展開に向けた評価・実用化検討

(4) 京都工繊大グループ

- ① 研究分担グループ長:小林 和淑 (京都工芸繊維大学、教授)
- ② 研究項目:ディペンダブル VLSI プラットフォーム信頼性向上技術の検討

(5) 奈良先端グループ

- ① 研究分担グループ長:嶋田 創 (奈良先端科学技術大学院大学、准教授)
- ② 研究項目:再構成プロセッサ

§ 3. 研究実施内容

(文中に番号がある場合は § 4(4-1)に対応する)

本研究は、物理的・自然現象的ディペンダビリティ阻害要因を克服するため、回路技術、アーキテクチャ、プロセッサ、設計自動化技術を結集し、適応的調整と再構成が可能な VLSI プラットフォームを開発するものである。本年度は、各種の高信頼化構造の実現が容易な粗粒度再構成可能アレイと高信頼性プロセッサ等から構成されるプラットフォームの全体構成を設計した。提案するプラットフォームを図 1.に示す。プラットフォーム実現に向けた要素課題の検討と共に、プラットフォームの有効性を実証するための FPGA プロトタイピング環境を構築している。平成 21 年度の研究実施内容を以下にまとめる。

(1) ロバストファブリック

今年度は、中間目標である製造性を強化するレイアウト構造の提示と特性の自己調節機能の実現に向けて、レイアウト設計ガイドラインの作成と動作特性の自己診断回路の設計、ならびに特性ばらつき評価技術を開発した。特に、ゲートポリシリコンのピッチと配置の規則性がゲート遅延ばらつきに及ぼす影響を、45nm, 65nm, 90nm の各プロセスにおいて実験的に評価した。その結果、形状を単純化したポリシリコンパターンを密に配置する事により、チップ内ばらつきとチップ間ばらつきの双方が減少する事を確認した¹⁷⁾。また、回路構造の異なる複数のリング発振回路を組み合わせることでチップ間ばらつき量を診断する回路を設計した。診断結果に基づき基板バイアス電圧を調整することにより、特性の自己調節機能を実現する。特性ばらつきの評価技術については、ばらつき要因の分析方法を明らかにした¹⁰⁾。また、同時スイッチングの影響を考慮した多入力論理ゲートの遅延ばらつき特性解析手法を開発した¹³⁾。チップレベルの遅延ばらつき評価技術について、経時的な故障につながるクリティカル経路の遅延時間を精度良く測定する手法を考案し、チップレベルのデバイスばらつきとの関係を明確化した¹²⁾。

なお、ばらつき解析に関する一連の研究成果を、DATE2010(設計技術に関するヨーロッパ最大の会議)におけるチュートリアル講演「Understanding CMOS Variability for More Moore」において紹介した。

(2) 再構成アーキテクチャ

中間目標である静的なディペンダビリティ獲得のため、冗長性が容易に導入可能な柔軟な信頼性を実現するクラスタアレイ構造とその実装技術を開発した。中間目標達成に必要なアーキテクチャ設計、アプリケーションの実現に必要な機能設計を完了し、その実デバイスでの検証に取り組んでいる。

昨年度までに、要求されるディペンダビリティに応じて、冗長化による信頼性向上と動的再構成による高性能・機能化が、アレイの基本構成要素であるクラスタごとに選択できる基本構造を開発した。これによりアプリケーション全体での要求ディペンダビリティでなく、さらにその内部機能ごとに必要十分なディペンダビリティを有する処理回路がクラスタアレイ上に実現でき、ディペンダビリティ・面積(消費電力)間のトレードオフを向上させる。

本年度は、クラスタアレイ上に実現が想定されるメディア通信処理、特にデジタルフィルタ、符号化回路、暗号化回路などのアプリケーション分析を行い、ディペンダビリティの可変性は同一の機構で演算機能が異なる4種類のクラスタ(ALUクラスタ、積和クラスタ、レジスタクラスタ、メモリクラスタ)を設計した⁸⁾。4種類のクラスタで構成されるヘテロジニアスアレイ上に複数のメディア通信処理を選択的に実現できることを確認した¹⁵⁾。マッピング技術グループと協力し、要素アプリケーションが、異なるディペンダビリティを有するマッピングで動作することを確認した。また、提案アーキテクチャの実応用性確保の観点から、データシートやアプリケーションノートなどの各種ドキュメントを作成し、FPL(再構成可能デバイスとその応用に関する最重要国際会議)で広報活動を行った。提案アーキテクチャの実応用性確保の観点から、関連企業・研究組織と協調研究開発の可能性に

ついて協議を行ってきた。さらに、ALU クラスタを、65nm プロセスを用いて試作設計を行い、テスト回路も含めて 4x8 アレイを集積した。平成 22 年度に機能評価並びにソフトエラー耐性の評価を行う予定である。

動的なディペンダビリティの確保に向けて、ホットスワップの効果を見積もるため、回路の動作履歴と NBTI 劣化との関係について評価を行った¹⁹⁾。クラスタ内セル間にホットスワップを適用することで、ホットスワップしない場合と比較して 10 年経過時点の NBTI 劣化による回路遅延を最大 14% まで削減できることを明らかにした⁸⁾。

クラスタアレイの VLSI 実装に必要な、回路技術や設計技術にも取り組んでいる。ソフトエラー耐性と性能のトレードオフに重要な SET パルス幅分布取得のため、高時間分解能な測定が可能な新規測定回路を考案し、その動作を 65nm CMOS プロセスで試作したテストチップを用いて α 線による加速試験で確認した²⁰⁾。SRAM の α 線起因ソフトエラー率につて、1.0V からサブスレッショルド領域である 0.3V までの電圧依存性を、世界で初めて測定した²¹⁾。これらは α 線だけでなく中性子線による実験も開始している。低電圧動作回路のチップ内速度ばらつきが、閾値電圧変動により表現できることを明らかにした²²⁾。

動的なディペンダビリティの実現に必要な、回路の静的/動的遅延変動の検出、ならびに適応的な速度制御に取り組んだ。タイミングエラー予告フリップフロップを用いて検出し、基板電位により離散的に速度制御する手法を考案し、加算回路への適用事例を 65nm CMOS プロセスで試作した。評価回路の測定結果や解析的评价により、適応的速度制御によるタイミングエラー発生率と消費電力のトレードオフを明らかにした^{9,14,16)}。ランダムばらつきを補償し、速度可変性を実現する基板バイアスクラスタリング手法を提案した。サブスレッショルド回路に適用したところ、タイミング要求を満たしながら、クラスタリングを行わない手法と比較してリーク電力を最大 30%削減した⁷⁾。オンチップのばらつきセンサーを利用してクロックスキュー低減が可能かのケーススタディを行った²⁴⁾。また発展課題として、高セキュリティアプリケーションが要求する高品質真性乱数の提供を目的とし、オシレータサンプリング方式真性乱数生成器の系統的設計に必要な乱数品質評価用動作モデルを提案した³⁾。

(3) 再構成プロセッサ

今年度は、昨年度の再構成プロセッサの予備実装で得られた再構成中の耐エラー確保の検討結果²³⁾を基に、商用命令セットによる実装を行い、これを完了した。これにより、GNU ユーティリティの利用が可能となった。この単独実装をロバストファブリック上に実装したものが、最終目標である、ロバストファブリック上で動的に信頼性調整を可能なプロセッサの実装となる予定である。また、実装したプロセッサへの SET 注入を行い、その挙動を確認した。演算カスケードニングに関しては、具体的な適用先¹⁾とスーパスカラ・プロセッサの命令スケジューラへの実装⁵⁾を示した。

さらに、回路シミュレーションによるフリップフロップのエラー耐性の検討、エラー耐性の高いフリップフロップ構造の提案を行ないプロセッサのエラー耐性の向上方法について検討した^{2,18)}。

(4) マッピング技術

今年度は、再構成アーキテクチャグループで開発中のクラスタアレイ上にアプリケーションをマッピングするための配置機能ならびに配線機能を実現した。これは DFG 形式で与えられたアプリケーションを指定された多重化モードで自動的に配置配線するものであり、昨年度までに作成したシミュレーションベースでのソフトエラー耐性(sensitive bit 数)評価環境と合わせて用いることにより、クラスタアレイ上に様々なアプリケーションをマッピングした時のソフトエラー耐性を比較検討できるようになった。更にこれを用いてアプリケーション(Viterbi デコーダ)に様々な部分的多重化を施したものを実際にマッピングし、ソフトエラー耐性を評価・比較した。この結果、再構成アーキテクチャグループで開発中のクラスタアレイは部分的多重化を柔軟に適用することによりコストとディペンダビリティのトレードオフを図ることが可能な粗粒度再構成アーキテクチャであることを世界に先駆けて実証することができた^{8,15)}。また、特に同時多発ソフトエラー(MCU)を想定した場合について、sensitive bit 数を求めるためのシミュレーション時間の削減に取り組んでいる。このほかマッピング技術との関連性の観点から、グループ内でも耐故障再構成アーキテクチャについて独自の切り口から調査、検討を進めている⁶⁾。

(5) アプリケーション展開に向けた評価・実用化検討

JAXA との議論を通して、市販の再構成デバイス(FPGA)を用いてデジタル変調回路を実現した際、放射線の影響が強い宇宙空間(バンアレン帯)で発生する問題が明らかになった。提案している中粒度再構成デバイスとプロセッサを用いてこのデジタル変調回路と同構成のシステムを設計した。設計したシステムには、ソフトエラーが通信機能に及ぼす影響を評価する機能を追加した。市販の FPGA を用いてこのシステムの動作を模擬することで、動作確認を行った。

また、再構成アーキテクチャで実現すべき耐故障化や耐性強化の指標を明確化すべく、ソフトエラーの発生がシステムの計算結果に与える影響の甚大さを、レジスタ転送レベルで網羅的にシミュレーションを行う事で求めた¹¹⁾。さらにソフトエラーの発生を検出する機構の追加により、プロセッサの回路規模がどのように増大するかを見積もった⁴⁾。

なお、当研究チームをはじめとして、デバイスレベルのディペンダビリティの試作評価に DVLSI 研究領域内の多くの研究チームが取り組んでいる。チーム毎に試作評価の目的は異なっているが、観測技術や測定技術には共通点がありえる。また、各チームが得た知見を持ち寄ることにより、補完的でより有益な情報取得が可能になる。そこで、これらの情報交換を行うために、「VLSI ディペンダビリティの物理・デバイス・回路レベルテスト構造フォーラム」を企画し、2009年9月25日と2010年3月30日に開催した。ほぼ全ての研究チームからの参加があり、研究領域を横断する活発な議論と意見交換を行うことができた。来年度以降も継続して実施する計画である。

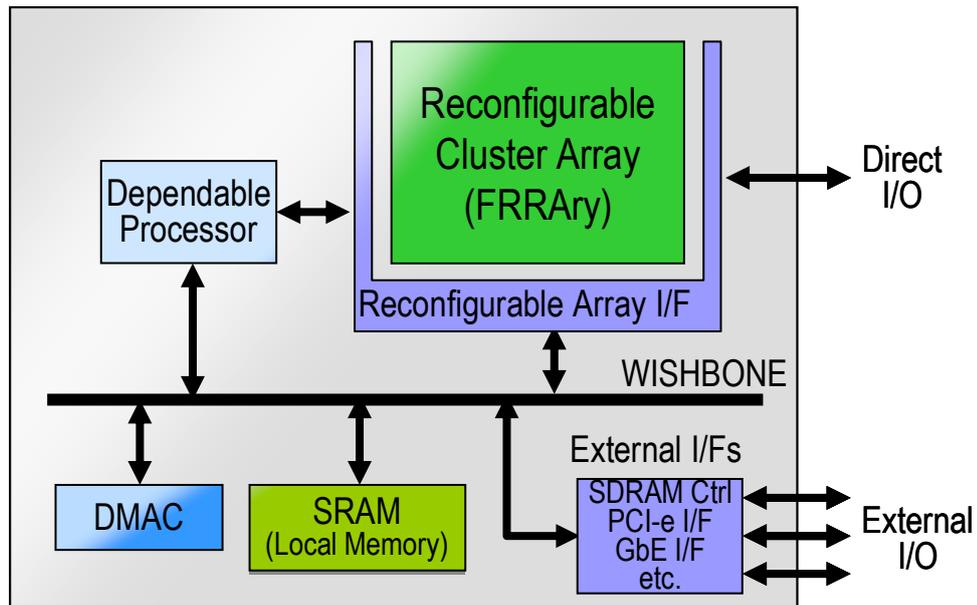


図 1. ディペンダブル VLSI プラットフォーム

§ 4. 成果発表等

(4-1) 原著論文発表

- 論文詳細情報

- [1] Jun Yao, Hajime Shimada, Kosuke Ogata, Shinobu Miwa, and Shinji Tomita, "Improving Effectiveness of Pipeline Stage Unification via ALU Cascading," 12th IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XII), pp. 423-436, April 2009.
- [2] 古田 潤, 小林 和淑, 小野寺 秀俊, "高い SEU/SET 耐性を持つ省面積・低遅延二重化フリップフロップ", 第 22 回回路とシステム軽井沢ワークショップ pp. 456-461, 2009 年4月.
- [3] 天木 健彦, 橋本 昌宜, 密山 幸男, 尾上 孝雄, "マルコフモデルによるオシレータサンプリング方式真性乱数生成器の乱数品質解析", 第 22 回 回路とシステム(軽井沢)ワークショップ, pp.474-479, 2009 年 4 月.
- [4] Hiroyuki Kanbara, Ryota Kinjo, Yuki Toda, Hiroyuki Okuhata, and Masanao Ise, "Dependable Embedded Processor Core for Higher Reliability", Proc. of 13th IEEE International Symposium on Consumer Electronics(ISCE 2009), pp.819-822, May 2009, DOI: 10.1109 / ISCE.2009. 5157061.
- [5] J. Yao, K. Ogata, H. Shimada, S. Miwa, H. Nakashima, and S. Tomita, "An Instruction Scheduler for Dynamic ALU Cascading Adoption," 情報処理学会論文誌, コンピューティングシステム, Vol. 2, No. 2, pp. 30-47, 2009 年 7 月.
- [6] Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi, and Yukihiro Nakamura,

- “Hot-Swapping Architecture Extension for Mitigation of Permanent Functional Unit Faults,” in Proc. of the 19th International Conference on Field Programmable Logic and Applications (FPL2009), pp.578–581, August 2009, DOI: 10.1109/FPL.2009.5272428.
- [7] K. Hamamoto, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Tuning-Friendly Body Bias Clustering for Compensating Random Variability in Subthreshold Circuits,” Proc. of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), pp.51–56, August 2009, DOI:10.1145/1594233.1594246
- [8] D. Alnajjar, Y. Ko, T. Imagawa, H. Konoura, M. Hiromoto, Y. Mitsuyama, M. Hashimoto, H. Ochi, and T. Onoye, “Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability,” Proc. of International Conference on Field Programmable Logic and Applications (FPL), pp.186–192, August 2009, DOI:10.1109/FPL.2009.5272317
- [9] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Adaptive Performance Compensation with In-Situ Timing Error Prediction for Subthreshold Circuits,” Proc. of IEEE Custom Integrated Circuits Conference (CICC), pp.215–218, September 2009, DOI:10.1109/CICC.2009.5280882
- [10] Hidetoshi Onodera, Haruhiko Terada, “Characterization of WID Delay Variability Using RO-array Test Structures,” Proceedings 2009 8th IEEE International Conference on ASIC , pp. 658–661, October 2009, DOI: 10.1109/ASICON.2009.5351332.
- [11] Hiroyuki Kanbara, Hiroyuki Okuhata, Masano Ise, Ryota Kinjo, and Yuki Toda , “Probability of Calculation Failures by Soft Errors in an Embedded Processor Core,” Proc. of the IEEE 8th International Conference on ASIC(IEEE ASICON 2009), October 2009, DOI: 10.1109/ASICON.2009.5351357.
- [12] T. Takahashi, T. Uezono, M. Shintani, K. Masu, and T. Sato, “On-Die Parameter Extraction from Path-Delay Measurements,” IEEE Asian Solid-State Circuit Conference (ASSCC), pp.101–104, November 2009, DOI: 10.1109/ASSCC.2009.5357189.
- [13] T. Fukuoka, A. Tsuchiya, H. Onodera, “Statistical Gate Delay Model for Multiple Input Switching,” IEICE Trans. Fundamentals, Vol.E92-A, No.12, pp. 3070 – 3078, December 2009, DOI: 10.1587/transfun.E92.A.3070.
- [14] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction,” IEICE Trans. on Fundamentals, vol.E92-A, no.12, pp.3094–3102, December 2009, DOI: 10.1587/transfun.E92.A.3094.
- [15] D. Alnajjar, Y. Ko, T. Imagawa, M. Hiromoto, Y. Mitsuyama, M. Hashimoto, H. Ochi, and T. Onoye, “Soft Error Resilient VLSI Architecture for Signal Processing,” Proc. of IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp. 183–186, December 2009, DOI:10.1109/ISPACS.2009.5383872

- [16] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Adaptive Performance Control with Embedded Timing Error Predictive Sensors for Subthreshold Circuits,” Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC) , pp. 361–362, January 2010, DOI:10.1109/ASPDAC.2010.5419861
- [17] H. Sunagawa, H. Terada, A. Tsuchiya, K. Kobayashi, H. Onodera, “Effect of Regularity-Enhanced Layout on Variability and Circuit Performance of Standard Cells,” IPSJ Trans. System LSI Design Methodology, Vol. 3, pp. 130–139, February 2010, DOI:10.2197 / ipsjtsldm.3.130.IPSJ
- [18] J. Furuta, K. Kobayashi and H. Onodera, “An Area/Delay Efficient Dual-modular Flip-Flop with Higher SEU/SET Immunity,” IEICE Trans. Electron. Vol. E93-C, No.3, pp. 340–346, DOI: 10.1587/transele.E93.C.340
- [19] H. Konoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye, “Comparative Study on Delay Degrading Estimation Due to NBTI with Circuit/Instance/Transistor-Level Stress Probability Consideration,” Proc. of International Symposium on Quality Electronic Design (ISQED), pp.646–651, March 2010.
- [20] R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye, “Measurement Circuits for Acquiring SET Pulse Width Distribution with Sub-FO1-Inverter-Delay Resolution,” Proc. of International Symposium on Quality Electronic Design (ISQED), pp.839–844, March 2010.
- [21] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Alpha-Particle-Induced Soft Errors and Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM,” Proc. of International Reliability Physics Symposium (IRPS), to appear.
- [22] H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, “Transistor Variability Modeling and Its Validation with Ring-Oscillation Frequencies for Body-Biased Subthreshold Circuits,” IEEE Trans. on VLSI Systems, to appear, DOI 10.1109/TVLSI.2009.2020594.
- [23] Jun Yao, Hajime Shimada, and Kazutoshi Kobayashi, “A Stage-Level Recovery Scheme in Scalable Pipeline Module for High Dependability,” International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems, to appear.
- [24] S. Abe, K. Shinkai, M. Hashimoto, and T. Onoye, “Clock Skew Reduction by Self-Compensating Manufacturing Variability with On-chip Sensors,” Great Lake Symposium on VLSI (GLSVLSI), to appear.

(4-2) 知財出願

CREST 研究期間累積件数(国内 1 件)