

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 18 年度採択研究代表者

中村 宏

東京大学大学院情報理工学系研究科・准教授

革新的電源制御による次世代超低電力高性能システム LSI の研究

1. 研究実施の概要

本研究課題の目的は、快適な高度情報化社会を支える高性能システム LSI のさらなる高性能化と低消費電力化を、回路実装、アーキテクチャ、コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を行い実現することである。

本年度は、上記の目的を達成するために各グループがこの目的に沿った研究を行うと同時に、グループ間の協調を実現させるための共通プラットフォームとして、MIPS-CPU (R3000) 互換のプロセッサ (開発コード名: Geyser-0 及び Geyser-1) の設計・試作を行った。Geyser は、パワースイッチによる細粒度の電源制御で低消費電力化を目指す汎用プロセッサである。低消費電力化という観点において本方式が克服すべき課題の一つは、パワースイッチの切り替えに伴うエネルギー的なオーバーヘッドを抑えることであり、パワースイッチの切り替え頻度を抑えつつ、パワーオフの時間を出来るだけ長くすることが肝要である。そのため、電源制御対象の演算器の使用頻度に応じて異なるパワーオフ制御を行う戦略を採用した。シミュレーションによる評価において、この戦略を採用すると 90nm テクノロジーを用いた Geyser-0 においてリーク電力を 25°C の場合に半減できること、また通常の動作条件に近い温度ではより削減効果が高くなり、100°C の場合ではダイナミック電力を考慮しても総電力をほぼ半減できることがわかった。微細化が進むと全体の消費電力においてリーク電力の占める割合が相対的に大きくなるため、パワースイッチによる電力削減効果は大きくなる。90nm テクノロジーにおいてこれだけの削減効果が得られたことは、最終的な研究目標の達成に向けて順調な進捗であると言える。さらに、システムソフトウェアと協調することで、温度に応じてパワーオフ制御を動的に変更することでさらに電力削減効果を向上させる戦略についても検討を加えた。65nm テクノロジーを採用する Geyser-1 の電力評価モデルも構築中であり、その上での評価も開始した。

また、電力効率アクセラレータとして、パワースイッチを採用する大規模リコンフィギュラブルプロセッサ Silent Mega Array (SMA) の電力モデル構築とアーキテクチャ検討も行った。パワースイッチが理想的に動作するという単純な仮定の元ではあるが、一桁程度電力を削減できる予備評価結果が得られ、この点も最終的な研究目標の達成に向けた順調な進捗である。

これらのほかに、各グループは階層間の協調による低消費電力化を目指した研究を行っており、

細粒度パワーゲーティングのグラウンドバウンス低減回路技術、超低電圧動作を実現する細粒度パワーゲーティング回路方式、動的リコンフィギャラブルプロセッサのリークおよびダイナミック電力の削減技術、マルチコア動的リコンフィギャラブルプロセッサのアーキテクチャの検討、コンパイラとアーキテクチャの協調による低消費電力化手法の検討、大規模リコンフィギャラブルプロセッサアレイ Silent Mega Array (SMA) のアーキテクチャ検討、パワーゲーティング方式と親和性の高い命令コード生成技術、Geysers-0 の OS を含む評価と OS によるパワーオフ制御を考慮したスケジューリング方式、統計情報に基づく動的電圧制御方式の異なる OS アーキテクチャへの展開、マルチコアプロセッサにおける省電力 Linux プロセススケジューラの評価、FPGA 版 Geysers による OS 開発環境と評価基盤の構築、などを行った。

今年度もほぼ想定通りの進捗と成果を出せる見込みであり、今後も当初計画どおりに、目標達成を目指して引き続き研究を推進させる。

2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

今年度は、回路実装とアーキテクチャの協調による低電力化、およびアーキテクチャとシステムソフトウェアの協調による低電力化を 2 つの柱とし、5 つの研究グループで以下の研究を実施した。

(1)回路技術グループ:主に下記の3つの項目に関して研究を行った。

- ・細粒度パワーゲーティングのグラウンドバウンス低減回路技術:平成 20 年度は、Geysers-0 を題材に、スリープ状態から動作状態への復帰時に発生する突入電流(ラッシュカレント)と、それに伴うグラウンドバウンスを解析するとともに、突入電流を抑制する回路方式として、パワーゲーティングの対象となる演算器の内部を細粒度なパワードメインに分割し、各ドメインをオンにするタイミングを細かくずらす方式を考案した。本方式を適用した結果、非適用時に比べ、突入電流を 47%に抑制でき、グラウンドバウンスを 53mV(電源電圧 1V 時)に抑えられることがわかった。しかも、スリープからの復帰が 3.3ns できることがわかり、動作時に細粒度でパワースイッチをオン/オフ制御する方式に充分適用可能であることがわかった。
- ・超低電圧動作を実現する細粒度パワーゲーティング回路方式:通常の電源電圧よりもかなり低い電圧で動作させるパワーゲーティング回路実現方式について検討し、Geysers-1 に適用し 65nm プロセスでチップを設計した。通常の電源電圧が 1.2V であるのに対し、0.5V 付近またはそれ以下の低電圧を想定しており、必要となるレベルシフト回路も設計した。また、動的リコンフィギャラブルグループとの共同研究により、パワースイッチを用いて低・高電源電圧を動的に細粒度で切替える Vdd 選択方式の基礎検討を行った。シミュレーションを用いた評価により、動的リコンフィギャラブルプロセッサの消費電力を約 20%低減できることがわかった。
- ・パワーゲーティング方式の詳細電力モデル:リーク電力低減がオーバーヘッド電力を上回るための最小スリープ期間(BET: break-even time)を、精度よく表現できるような電力モデルの研究を進めており、平成 20 年度は広範囲の文献調査を行い、基礎検討を行った。その結果、従来報告されているモデルでは、BET の温度依存性に関し、Geysers-0 での実験結果を説明できないことが判明した。引き続き、従来モデルの問題点の分析および、BET の温度依存性を精度良く表せるような、詳細な電力モデルの検討を行っている。また、この電力モデル

の妥当性を実チップで評価することを目的として、平成 20 年度、リークモニタ回路を、65nm プロセスを用いて設計し試作した。

(2)アーキテクチャグループ:主に以下の3項目について検討を行った。

- コンパイラとアーキテクチャの協調による低消費電力化手法の検討: Geyser において、コンパイラによる、スリープ制御のための命令コードを生成する手法と、キャッシュミスにおけるストールという実行時に判明する状況に応じてスリープ制御を行う手法とを、ハイブリッドに組み合わせる手法について検討を行った。パワーゲーティングにおいては BET を考慮したスリープ制御が必要であるため、BET の長さに応じてコンパイラによる制御と、L1 および L2 キャッシュミス時のそれぞれにおいてスリープを行う制御を切り替える必要がある。初期評価の結果、多くのアプリケーションにおいて BET が小さい(~数 10 サイクル程度)状況においてはコンパイラによる制御を用い、BET がそれ以上の値の際には L2 キャッシュミスをトリガーとしてスリープを行う制御によって理想的なスリープ制御に近づくことが明らかになった。
- チップマルチプロセッサ用プロセス実行制御方式の検討: 複数のプロセッサコアを1チップに搭載するチップマルチプロセッサにおいては、L2 キャッシュやメモリバスなどの共有リソース上で複数のプロセス間の競合が発生するが、各プロセスの実行スピードを調整することで競合による影響を柔軟に制御できる。この点に着目し、各プロセスの競合が性能へ与える影響を統計学習により予測することで、各プロセスの実行スピードを適切に制御でプロセス間の処理速度の公平さと、チップマルチプロセッサ全体での処理スループットを向上できることを示した[3]。各プロセスの実行スピードは電源電圧と周波数で制御できるため、この結果から性能/電力比を向上できることがわかった。
- 大規模リコンフィギャラブルプロセッサアレイ Silent Mega Array (SMA) のアーキテクチャ検討: しいき値電圧近傍の超低電圧でトランジスタを動作させ、従来の LSI と比較してダイナミック電力を大幅に削減することを目的とした大規模リコンフィギャラブルプロセッサアレイ SMA に関して、動的リコンフィギャラブルグループと密に連携を行いアーキテクチャの検討を行った。SMA は、組み合わせ回路部とレジスタ部を切り離すことにより組み合わせ回路部の超低電圧動作を可能とし、性能の低下を多数のプロセッサアレイの並列動作により補うアーキテクチャである。DCT などのアプリケーションを MuCCRA 用に開発されたコンパイラ [5][6] によってマッピングし、予備評価を行ったところ、既存の DSP と比較して一桁程度電力効率に優れているという結果が得られた。

(3)動的リコンフィギャラブルグループ:主に以下の3項目の検討を行った。

- 動的リコンフィギャラブルプロセッサのリーク電力の削減: 平成 20 年度は動的リコンフィギャラブルプロセッサに、回路技術グループ、アーキテクチャグループにより提案された細粒度動的パワーゲーティングを適用し、利用していない PE (processing element) のリーク電力を削減する方法を提案し、平成 19 年度に設計、実装した MuCCRA-2 に基づく動的リコンフィギャラブルプロセッサ上に組み込んでレイアウトレベルの評価を行った。この結果、9%前後のオーバーヘッドで、リーク電力を 48%削減できることが明らかになった。
- 動的リコンフィギャラブルプロセッサのダイナミック電力の削減: ダイナミック電力の約 20%を占めるコンテキスト制御に要する電力削減のため、命令バッファモードを提案した。この方式は、PE の利用率が少ないコンテキストにおいてコンテキストスイッチを行う必要がなく、利用コ

ンテキスト数も節約することができる。また、結合網の電力を削減するため、従来のアイランドスタイル、直結型の中間に当たる混合型を提案した。さらに、今までに提案したオペランドアインレーションなどを組み込んだ MuCCRA-3 を 65nm CMOS プロセスを用いて実装した。シミュレーションにより、MuCCRA-3 は MuCCRA-1 と比べエネルギー効率が4倍程度優れていることが分かった。

- マルチコア動的リコンフィギャラブルプロセッサのアーキテクチャの検討: 複数の動的リコンフィギャラブルプロセッサのアレイをマルチコアとして持つシステムの NoC (Network on Chip) およびマルチプロセス、マルチジョブ制御の検討を行った。NoC については新しい結合網 Fat-H-Tree の提案および低電力ルータの検討を行った [1][8]。

(4) システムソフトウェアグループ: 主に以下の4つの項目の検討を行った。

- Geysler-0 の OS を含む評価と OS によるパワーオフ制御を考慮したスケジューリング方式の基礎的検討: Geysler-0 上に本グループが開発した小型軽量の OS カーネルを移植し、システムソフトウェアを含む省電力効果の評価を行った。OS によりマルチタスク実行環境下で、各演算器に加え CP0 (システム管理のユニット) の利用頻度解析を行い、コア全体のリーク電力を 40% 近く削減できることがわかった。また、温度やユニット利用頻度の情報を基に OS のスケジューラでポリシー制御を行い、省電力効果を得られる可能性があることも明らかになった。
- 統計情報に基づく動的電圧制御方式の異なる OS アーキテクチャへの展開とその評価: 昨年度までに、Linux 上で開発・評価を行った統計情報に基づく動的電圧制御方式について、L4 μ カーネルのスケジューラに統計情報の取得とフィードバック制御を組み込むことで適用し、その評価を行った [4]。 μ カーネルでは、ユーザプロセスだけではなく、OS サーバも DVFS 制御の対象となり、実際に L4 μ カーネル上で2種類の OS を評価したところ、入出力管理のプロセスなどにおいて省電力効果が得られることが明らかになった。
- マルチコアプロセッサにおける省電力 Linux プロセススケジューラの基礎評価: コアごとに DVFS 制御を行えるマルチコアプロセッサ向けに、昨年度に実装・評価を行った統計情報に基づく Linux プロセススケジューラを拡張し、基礎評価を行った。統計情報および実行時フィードバックによりコアごとの電圧・周波数制御をプロセススケジューラで行い、省電力効果があることがわかった。同時に、シングルコアと比べて振る舞いが複雑なため予測の精度が十分でなく、ほぼ効果のないプログラムもあり、今後検討の余地があることも判明している。
- FPGA 版 Geysler による OS 開発環境と評価基盤の構築: アーキテクチャグループが FPGA に移植した Geysler-0 に、SRAM、DRAM、フラッシュ ROM、シリアル I/O などの周辺回路を付加し、Linux をはじめとする実 OS が動作する環境を構築した。同時に、スリープ回数などの内部制御情報を採取するパフォーマンスカウンタを付加し、より詳細な統計情報を高速に採取できる環境を構築した。

(5) コンパイラグループ: 主に以下の2項目について検討を行った。

- パワーゲーティング方式と親和性の高い命令コード生成技術の検討: Geysler-0 (および Geysler-1) に搭載されている演算器毎に細粒度のパワーゲーティングを行う方式に対し、コンパイラが近い将来の命令実行を考慮してパワーオン/オフを制御するための命令コードを生成する方式の検討を行った。各命令に対し、近い将来に当該演算器が使用される可能性がある場合にはパワーオフを抑制し、パワーオフ可能な期間が十分に長い時のみにパワー

オフを行うよう制御するためのヒント情報をコンパイラが付加するための基本アルゴリズムを構築した。シミュレーションによる初期評価の結果、無駄なパワースイッチの切り替えによるエネルギーオーバーヘッドを大きく低減でき、Geysler-0 の基本パワーゲーティング戦略のみの場合に比べ、大幅にリーク電力を削減できることが明らかになった。

- 超低電圧動作に適したアーキテクチャ向けコード生成技術の検討:しきい値電圧近傍の超低電圧でトランジスタを動作させ、従来のLSIに比べダイナミック電力を大幅に削減することを目指した Silent Mega Array (SMA) アーキテクチャを効率よく利用するためのコード生成方式について、アーキテクチャグループ・動的リコンフィギャラブルグループと連携して検討を行った。多数あるプロセッシングエレメントをどう利用するか、またそれらプロセッシングエレメントを有効に活用するためには集中レジスタファイルに対してどのようにアクセスすればよいかを中心に、電力効率を最大化できるようなコード生成方式の探索を行った。

3. 研究実施体制

(1)「回路技術」グループ

- ①研究分担グループ長:宇佐美 公良(芝浦工業大学 教授)
- ②研究項目:アーキテクチャ協調型超低電力回路技術

(2)「アーキテクチャ」グループ

- ①研究分担グループ長:中村 宏(東京大学大学院 准教授)
- ②研究項目:超低電力データレジデントアーキテクチャ

(3)「動的リコンフィギャラブル」グループ

- ①研究分担グループ長:天野 英晴(慶應義塾大学 教授)
- ②研究項目:超低電力動的リコンフィギャラブルアーキテクチャ

(4)「システムソフトウェア」グループ(東京農工大学)

- ①研究分担グループ長:並木 美太郎(東京農工大学大学院 教授)
- ②研究項目:超低電力を実現するアーキテクチャ協調型システムソフトウェア

(5)「コンパイラ」グループ

- ①研究分担グループ長:近藤 正章(電気通信大学大学院 准教授)
- ②研究項目:超低電力を実現するデータレジデントコンパイラ

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. 松谷 宏紀, 鯉淵 道紘, 王 代涵, 天野 英晴, ツリー型オンチップネットワークにおける適応的アクティベーション制御, 情報処理学会論文誌コンピューティングシス

- テム, Vol.1, No.2, pp.70-82, Aug 2008.
2. 大谷貴胤, 佐々木広, 近藤正章, 中村宏, モデリングに基づく Web サーバ用計算機クラスタの低消費電力化, 情報処理学会論文誌 コンピューティングシステム (ACS) , Vol.1, No.1, pp.120-132, 2008 年 6 月.
 3. 近藤正章, 佐々木広, 中村宏, トラクションコントロール実行 : CMP 向けプロセス実行制御方式の提案, 情報処理学会論文誌 コンピューティングシステム (ACS) , Vol.1, No.2, pp.111-123, 2008 年 8 月.
 4. 林和宏, 金井遵, 丸山勝巳, 並木美太郎, L4 マイクロカーネルにおける省電力スケジューラの開発, 情報処理学会論文誌, コンピューティングシステム(ACS), Vol.2, No.1, pp.96-109, 2009 年 3 月.
 5. Vasutan Tunbunheng, Hideharu Amano, A Retargetable Compiler Based on Graph Representation for Dynamically Reconfigurable Processor Arrays, Vol.E91-D No.11 pp.2655-2665, Nov. 2008.
 6. Vu Manh Tuan, Hideharu Amano, A Mapping Method for Multi-Process Execution on Dynamically Reconfigurable Processors, Vol.E91-D No.9 pp.2312-2322, Sept. 2008
 7. Vu Manh Tuan, Hideharu Amano, A Preemption Algorithm for a Multitasking Environment on Dynamically Reconfigurable Processors, Vol.E91-D No.12 pp.2793-2803, Dec. 2008.
 8. Hiroki Matsutani, Michihiro Koibuchi, Yutaka Yamada, D. Frank Hsu, Hideharu Amano, "Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network", IEEE Transactions on Parallel and Distributed Systems (accepted for publication)

(2) 特許出願

平成 20 年度 国内特許出願件数 : 1 件 (CREST 研究期間累積件数 : 1 件)