

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 18 年度採択研究代表者

高木 直史

名古屋大学大学院情報科学研究科・教授

単一磁束量子回路による再構成可能な低電力高性能プロセッサ

1. 研究実施の概要

超伝導単一磁束量子 (SFQ) 回路による再構成可能な大規模データパス (RDP) を有するプロセッサの基盤技術の確立を目指し、RDP アーキテクチャ技術の確立、SFQ 回路による再構成可能な回路の構成法の開発、SFQ-RDP に適した算術演算ユニットの構成法の開発、SFQ 論理回路設計技術の開発、SFQ 回路プロセスの高度化及び高信頼化を行っている。

RDP アーキテクチャ技術に関しては、アーキテクチャを確定し、コンパイラを開発するとともに、いくつかのアプリケーションに対して RDP 向きのアルゴリズムを開発することを最終目標としている。今年度は、1次元熱伝導方程式等、種々のアプリケーションを分析し、RDP 向けのアルゴリズムならびにプログラムを作成するとともに、アーキテクチャ検討用のベンチマークとして計 24 個のデータフローグラフ (DFG) の作成を行った。アーキテクチャの検討を効率よく進めるためには DFG のマッピングツール等が有効であるため、当初計画より先行してコンパイラの開発を進めた。これらを用いて種々の構成の RDP の性能評価を行い、年度末に RDP アーキテクチャを仮決定した。

再構成可能な回路および算術演算ユニットの構成法に関しては、多層配線プロセス向きの構成法の開発を最終目標としているが、1 μ m 多層配線プロセスによる回路設計環境が整うまでは、従来の 2 μ m プロセスの使用を前提に構成法の開発を行っており、当初計画では、平成 21 年秋までに、ALU 2x2段の SFQ-RDP プロトタイプと半精度浮動小数点加算器および乗算器の 25GHz 動作実証を目指していた。今年度は、当初計画より先行して研究を進め、ALU 2x3段の SFQ-RDP プロトタイプについては一部の機能を除き 23GHz動作を、半精度浮動小数点加算器については一部の機能を除き 20GHz動作を、半精度浮動小数点乗算器については 25GHz 動作実証を達成した。また、RDP 用クロスバ型スイッチの接合数を大幅に削減した。

論理回路設計技術および SFQ 回路プロセスに関しては、1 μ m 多層配線プロセス技術を確立して、論理デバイスおよび受動配線 (PTL) デバイスを開発し、このデバイスに対応した論理セルライブラリを構築するとともに、自動配置配線ツールを開発して、大規模な SFQ 集積回路の設計、製作が可能であることを示すことを最終目標としている。今年度は、昨年度に決定した 10層デバイス構造に基づいて多層配線プロセスを最適化するとともに、論理セルの設計指針を決定し、論理セルおよび PTL 用ドライバ・レシーバを設計して十分な動作余裕を確認した。さらに、設計したセル

を用いて加算器、ALU、2x2 スイッチを設計し、50GHz 以上での高速動作を実現した。さらに、信頼性の向上、設計・試作期間の短縮、コストの削減を図るため、8層デバイス構造の検討を行い、10 層と同等の回路性能を得る見通しを得た。新8層デバイス構造に対応するため、物理パラメータ抽出用各種レイアウト設計、各種基本論理セル、PTL 用ドライバ・レシーバセル等を新たに設計した。また、前年度に開発したツールの洗練、改善を行い、1 μ m 多層配線プロセス用の配線ツールを開発した。

2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

1. RDP アーキテクチャ技術

以下の三つの項目について研究、開発を行い、RDP アーキテクチャを仮決定した。

①アプリケーションの分析、RDP 向き計算アルゴリズムの開発

1次元熱伝導方程式や1次元振動方程式、2次元 Poisson 方程式、量子化学電子反発積分計算についてRDPの使用を考慮してアプリケーションを分析し、その上でRDP使用向けのアルゴリズムならびにプログラムを作成した。また、RDP アーキテクチャ検討用のベンチマークとして上記アプリケーションについて、計 24 個のデータフローグラフ (DFG) の作成を行った。

②RDP コンパイラの開発

DFG のマッピングツールを開発した。その際に演算器同士の全接続数や隣接行間最大接続数、演算器レイアウトについての最適化を可能とした。また、人手によりソースプログラム内に印付けられたRDP計算部分に対し、DFGを抽出可能とするコード分割部分の開発を行った¹⁾。

③RDP アーキテクチャの開発と評価

アーキテクチャを検討するにあたり上記②で作成したマッピングツールを適用したが、上記①で作成したベンチマーク DFG についてサイズを4種類の候補に限定する事でそれぞれのRDPに必要な幅や高さ、演算器数、隣接行間結合距離、演算器レイアウトを求めた。更に上記①で作成したRDP用プログラムについて性能評価実験を行った。その結果、主記憶上でのデータの再配置が主なボトルネックとなっており、データ配置を工夫する等のアルゴリズムの更なる開発が重要であることが分かった。

2. 再構成可能な回路および算術演算ユニットの開発

①SFQ 回路による再構成可能なデータパスの実証

平成 19 年度に、平成 20 年度目標の2x2RDPの動作実証に成功したことを受けて、本年度はさらに回路規模を大きくした2x3RDPの設計を行った。ここでは、信号ークロック間のタイミング調整のため、新たに等長配線を用いた設計を行った。その結果、ALUの減算機能を除き、2x3RDPの23GHz動作に成功した。また、SFQ-RDPのALU間を結ぶSFQスイッチネットワークについて、大規模RDP用クロスバ型スイッチに用いる接合数削減の検討を行った。その結果、基本スイッチセルの改良⁵⁾により、制御ブロックを含めても回路規模を45%に縮小可能であること、及び、ネットワーク構成法を改良することにより20%程度の改善の可能性があることが分かった。さらに、配線資源を考慮したときの、ネットワーク構成法を検討した。

②SFQ-RDP用算術演算ユニットの構成法の開発と高速動作実証

2um 標準プロセスの使用を前提に、SFQ-RDP のための浮動小数点加算器および乗算器の基本アーキテクチャを決定した。これに基づき半精度ビットシリアル浮動小数点加算器⁷⁾および乗算器¹³⁾を設計、試作した。加算器ならびに乗算器の回路規模と消費電力は、それぞれ11070 接合、3.5 mW、ならびに11044 接合、3.5 mW であった。これらの演算器のオンチップ高速テストを行い、浮動小数点加算器については、仮数部の最終出力結果を除く全ての正常動作を20GHz(1.67 GFLOPS 相当)において確認した。浮動小数点乗算器については、全機能の25GHz(2.1 GFLOPS 相当)における正常動作を確認した。

また、浮動小数点除算器の構成方法を検討した。除算器の主要な部分である仮数部計算回路について詳細設計を行い、4bit 仮数部除算器の19GHzでの動作を実証した⁴⁾。

3. 論理回路設計技術およびSFQ回路プロセス

①SFQ回路高度化のための多層配線プロセス最適化

前年度に開発した10層のNb層から成るデバイス構造及びデザインルールに基づいた多層配線プロセスの試作を行い、接合、抵抗、コンタクトといった基本素子パラメータの測定評価と層間リークや断線といった欠陥率の評価を行った。10層構造で導入した完全平坦化技術により、接合下部に配置した複数個のコンタクトや配線パターンの段差にもかかわらず、良好な接合特性が得られることを確認し、加えて多層構造に伴う欠陥率の増大もほとんどないことを確認した^{8),12)}。また、複数のグランド面を有する10層構造において、磁束トラップの影響を除去するための最適なモート構造を検討した。その結果、複数のグランド面を貫くビア構造のモートとセルを囲むように配置した細長いモートを組合せた構造が、最も効果的であることが分かった⁹⁾。この最適なモート構造をSFQ基本ゲートのセル構造に採用した。さらに、本10層配線プロセスの信頼性評価を目的として、64ビット、160ビット、640ビット、1280ビット及び2560ビットのシフトレジスタの設計試作を行った。その結果、64ビットから約1万接合規模の2560ビットまでの全てのサイズのシフトレジスタで正常動作を確認することができた¹²⁾。

また、本多層配線プロセスの欠陥率の低減、設計・試作期間の短縮、及びレチクルコストの削減を目的として、上記10層構造において最上部のNb層と主グランド面下のNb層を削減した8層のデバイス構造を検討した結果、プロセス精度の向上などによりこれらの層を削減しても回路性能を維持できる見通しを得た。この新8層構造を用いたデバイスのテストを行うために、各種評価パターンを盛り込んだマスクの設計を行った。

②多層配線プロセスに適した論理セル・配線技術開発

新多層配線デバイスに対応する論理セルの設計指針を決定した^{10),14)}。また、新多層配線デバイスの各層インダクタンス抽出を詳細に行い、インダクタンス抽出用設計ツールに反映させるとともに、受動配線(PTL)のパラメータの決定及びPTL用ビア構造の最適化を図った⁶⁾。上記セル設計指針に基づき、論理セル及びPTL用ドライバ・レシーバの設計を行い、十分な動作余裕を確認した。さらに、設計したセルを用いて加算器、ALU、2x2スイッチを設計し、50GHz以上での高速動作を実現した。一方、新8層プロセスに対応するため、8層プロセスにおける物理パラメータ抽出用各種レイアウト設計、各種基本論理セル、PTL用ドライバ・レシーバセル等を新たに設計した。

③多層配線プロセスに対応した論理回路設計ツールの開発

前年度に開発したツールの洗練、改善を行い、1um アドバンスプロセス用の配線ツールを開発した。配線ツールをサンプル回路に適用したところ、良好な配線結果が得られた。また、1um アドバンスプロセスにおけるセルベース回路設計フローを検討し、自動配線の前段階であるセル配置の自動化が有用であるという結論を得た。この検討結果に基づき、タイミングを考慮したセル自動配置ツールの開発に着手した。

④SFQ 回路プロセスの高信頼化および SFQ 回路の試作

2um 標準プロセスを用いて、2. で述べた SFQ 回路の試作とともにプロセス評価チップおよびプロセス評価用シフトレジスタの試作を行い、これらの測定評価結果に基づいて問題点を把握し、その対策を行うとともにプロセス条件の最適化を行った。その結果、断線やショートなどの欠陥率の低減を図ることができた。

3. 研究実施体制

(1) 高木グループ

①研究分担グループ長: 高木 直史(名古屋大学大学院 教授)

②研究項目

- ・多層配線プロセスに対応した論理回路設計ツールの開発
- ・SFQ-RDP 用算術演算ユニットの構成法の開発

(2) 村上グループ

①研究分担グループ長: 村上 和彰(九州大学大学院 教授)

②研究項目

- ・アプリケーションの分析、RDP 向き計算アルゴリズムの開発
- ・RDP コンパイラの開発
- ・RDP アーキテクチャの開発と評価

(3) 吉川グループ

①研究分担グループ長: 吉川 信行(横浜国立大学大学院 教授)

②研究項目

- ・多層配線プロセスに適した論理セル開発
- ・SFQ 算術演算ユニットの高速動作実証

(4) 赤池グループ

①研究分担グループ長: 赤池 宏之(名古屋大学大学院 助教)

②研究項目

- ・超伝導多層配線による広帯域フレキシブル超伝導配線技術及び論理セル設計技術の開発
- ・SFQ 回路による再構成可能なデータパスの実証

(5) 永沢グループ

①研究分担グループ長:永沢 秀一((財)国際超電導産業技術研究センター 主管研究員)

②研究項目

- SFQ 回路高度化のための多層配線プロセス最適化とセルライブラリ構築
- SFQ 回路プロセスの高信頼化および SFQ 回路の試作

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. F. Mehdipour, H. Noori, H. Honda, K. Inoue, and K. J. Murakami, "A gravity-directed temporal partitioning approach," *IEICE Electronics Express*, vol. 5, no. 10, pp. 366-373, May 2008.
2. K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto, "Direct measurements of propagation delay of single-flux-quantum circuits by time-to-digital converters," *IEICE Electronics Express*, vol. 5, no. 9, pp.332-337, May 2008.
3. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, N. Takagi, "Novel serial-parallel converter using SFQ logic circuits," *Physica C*, vol. 468, pp. 1977-1982, Sep. 2008.
4. M. Tanaka, K. Obata, K. Takagi, N. Takagi, A. Fujimaki, N. Yoshikawa, "A high-throughput single-flux-quantum floating-point serial divider using the signed-digit representation," *IEEE Trans. Appl. Supercond.*, accepted.
5. I. Kataeva, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Inoue, H. Honda, K. Murakami, "An Operand Routing Network for an SFQ Reconfigurable Data-Paths Processor," *IEEE Trans. Appl. Supercond.*, accepted.
6. K. Takagi, M. Tanaka, S. Iwasaki, R. Kasagi, S. Nagasawa, T. Satoh, H. Akaike, A. Fujimaki, "SFQ Propagation Properties in Passive Transmission Lines Based on a 10-Nb-Layers Structure", *IEEE Trans. Appl. Supercond.*, accepted.
7. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Itou, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, "Design and implementation of SFQ half-precision floating-point adders," *IEEE Trans. Appl. Supercond.*, accepted.
8. T. Satoh, K. Hinode, S. Nagasawa, Y. Kitagawa, M. Hidaka, N. Yoshikawa, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi, "Planarization Process for Fabricating Multi-layer Nb Integrated Circuits Incorporating Top Active Layer," *IEEE Trans. Appl. Supercond.*, accepted.
9. K. Fujiwara, S. Nagasawa, Y. Hashimoto, M. Hidaka, N. Yoshikawa, M. Tanaka,

- H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi, "Research on Effective Moat Configuration for Nb Multi-Layer Device Structure", IEEE Trans. Appl. Supercond., accepted.
10. H. Akaike, M. Tanaka, K. Takagi, I. Kataeva, R. Kasagi, A. Fujimaki, K. Takagi, M. Igarashi, H. Park, Y. Yamanashi, N. Yoshikawa, K. Fujiwara, S. Nagasawa, M. Hidaka, and N. Takagi, "Design of Single Flux Quantum cells for a 10-Nb-layer process", Physica C., accepted.
 11. M. Tanaka, H. Akaike, A. Fujimaki, "Control of return currents in the single-flux-quantum circuits using positive/negative bias supply lines," Physica C., accepted.
 12. S. Nagasawa, T. Satoh, K. Hinode, Y. Kitagawa, M. Hidaka, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi, N. Yoshikawa, "New Nb multi-layer Fabrication Process for Large-Scale SFQ Circuits," Physica C, accepted.
 13. H. Hara, H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, K. Obata, M. Tanaka, N. Takagi, K. Takagi, A. Fujimaki, S. Nagasawa, "Design and Implementation of SFQ Half-Precision Floating-Point Multipliers", IEEE Trans. Appl. Supercond., accepted.
 14. H. Akaike, K. Shigehara, A. Fujimaki, T. Satoh, K. Hinode, S. Nagasawa, M. Hidaka, "The Effects of a DC Power Layer in a 10-Nb-Layer Device for SFQ LSIs", IEEE Trans. Appl. Supercond., accepted.

(2) 特許出願

平成 20 年度 国内特許出願件数 : 0 件 (CREST 研究期間累積件数 : 0 件)