

「情報システムの超低消費電力化を目指した技術革新と統合化技術」  
平成 18 年度採択研究代表者

小池 帆平

(独) 産業技術総合研究所エレクトロニクス研究部門・グループ長

しきい値電圧をプログラム可能な超低消費電力 FPGA の開発

## 1. 研究実施の概要

本研究課題では、少量多品種向け LSI として、スーパーコンピュータから各種情報家電まで幅広い分野で大量に利用されている FPGA(Field Programmable Gate Array:プログラム可能論理素子)の、漏れ電流に起因する静的消費電力を最小限にするために、FPGA を構成するトランジスタのしきい値電圧を細粒度でプログラム可能とした超低消費電力 FPGA「Flex Power FPGA」を開発し、FPGA の静的消費電力を 100 分の 1 以下に低減させ、低消費電力型高速大容量情報処理システムの基盤技術を確立することを目指す。

これまでに、研究用ソフトウェアツール Flex Power VPR の開発とこれを用いたシミュレーション評価、基本構成要素のみを集積した実験チップの開発と性能測定、基本チップアーキテクチャの検討、今後開発予定のチップテストのための実験環境の構築などを進めてきたが、昨年度は、2 回のシャトルサービスを利用して、Flex Power FPGA の基本コンセプトを実証することを目的とした基本チップの開発を段階的に進め、部分的な動作確認を行うとともに、Flex Power FPGA 用の独自のソフトウェアツールの開発を進め、重要度の高いルーティング部のインプリメンテーションを中心に研究を進めてきた。また、深刻な半導体特性ばらつきに対処する Robust Flex Power FPGA 技術について独創的な提案を行った。

平成 20 年度は、改良チップの試作と周辺ソフトウェアの総合フロー構築に集中的に取り組んだ。まず、昨年度まで試作チップの製造を委託してきた国内シャトルサービスが昨年度末でサービスを終了したことにともない、以降のチップの製造を委託する新たなシャトルサービスの選定と新たなサービスに向けた LSI 設計環境の再構築を行なった上で、昨年度開発した動作確認を主目的とした基本チップの機能/性能/動作確実性を向上させた改良チップ第 1 版の開発を行なった。また、昨年度に引き続き、Flex Power FPGA 用の独自のソフトウェアツールの開発を精力的に進め、昨年度インプリメントしたルーティング部に引き続いて、プレースメント部、ビットストリーム生成部のインプリメンテーションを完成させ、Vt マッピング部との接続作業も完了した。これらを総合し、小規模回路の論理合成結果を、製造の完了した改良チップ第 1 版にマッピングし、正しく動作することの確認に成功するに至っている。

今後は、改良チップ第1版の精密な測定と回路シミュレーションによる検証を進め、新たな高性能半導体デバイスの特性データとも突きあわせて、Flex Power FPGA の消費電力削減効果を評価・実証し、数値目標達成度合いと最終数値目標達成見込みを確認しつつ、更なる改良版の開発を進めていく予定である。

## 2. 研究実施内容

平成 20 年度に実施した研究内容は以下の通りである。

### 1. 改良チップ第1版の開発

平成 20 年度は、昨年度まで試作チップの製造を委託してきた国内シャトルサービスが昨年度末でサービスを終了したことにともない、以降のチップの製造を委託する新たなシャトルサービスの選定と新たなサービスに合わせた LSI 設計環境の再構築を行なった上で、1 回のシャトルサービスを利用して、昨年度開発した動作確認を主目的とした基本チップの機能／性能／動作確実性を向上させた改良チップ第1版の開発を進め、12 月にテープアウトを行った。

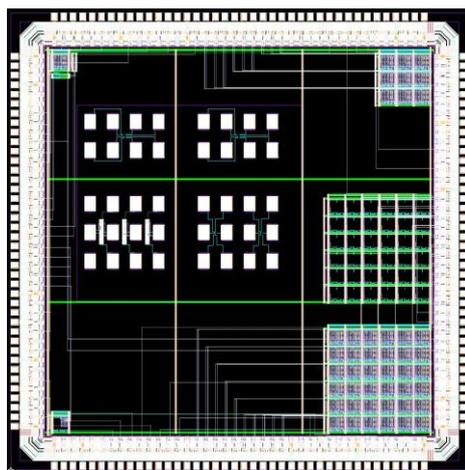


図 1 : Flex Power FPGA 改良チップ第 1 版

改良チップ第1版は、FPGA アレイ部を小規模試作にとどめつつ各種テスト機能と各種 TEG を内蔵させたものであり、90nm、6 層 Cu 配線の技術を利用した、おおむね 5×5mm のチップに、新規設計の FPGA 基本タイルが 6×6 に配置した FPGA アレイ部のほか、より小規模な 3×3 FPGA アレイ、詳細な動作確認を行うためのテスト機能と各種 TEG を内蔵している。基本タイルは新しいファブの設計ルールに合わせて全面的に新規設計を行ったものであり、昨年度の試作チップと比べ、コンフィギュレーションメモリの完全な SRAM 化、ボディバイアス制御用レベルシフタの内蔵、など、改良チップとしての性能面・機能面での改良を加えるとともに、設計の簡素化・簡略化、設計検証の徹底によって動作確実性の向上を図ったものとなっている。昨年度、チップ試作の成果が不十分であった反省から、本年度は、(1) 無理のないスケジュールを組むことの可能なシャトルサービスの選定、(2) 設計支援環境の充実、などの対策に十分配慮しつつ、チップ試作に臨んだ。

2月半ばに改良チップ第1版が納品された後直ちに、リングオシレータ回路、カウンタ回路などの、今回実装したアレイ部に収まる規模の小規模回路をFPGAアレイに書き込んで動作確認を行い、改良チップ第1版が、昨年度のように部分的な動作にとどまることなく、Flex Power FPGA機能の全体について正しく動作することを、無事確認することに成功した。一連の動作確認作業は、研究現場で、本研究開始時点で導入した簡易テスト基板を用いて行ったもので、確認項目が限られているが、今後、年度が改まり予算執行が可能となるのを待って、LSI テスト装置を用いた本格的な性能測定作業を外注し、省電力効果を含む、より詳細な性能評価へと進めていく予定である。

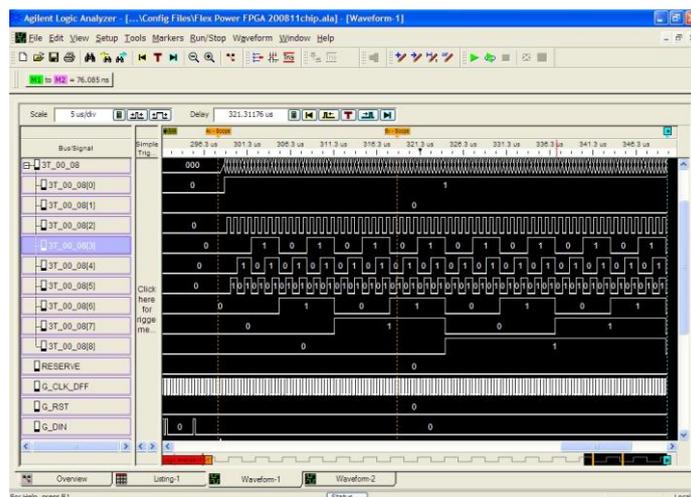


図 2：改良チップ第1版の動作確認例（カウンタ回路の動作）

## 2. 周辺ソフトウェアの開発

平成 20 年度は、これまで用いてきた、トロント大学開発の実験用ソフトウェアツールVPRの限界を破るべく、Flex Power FPGA 用の独自のソフトウェアツールの開発を精力的に進めた。Flex Power FPGA 用ソフトウェアは、主に、(1) 論理演算をルックアップテーブルに割り当てるテクノロジーマッピング、(2) ルックアップテーブルをクラスタに割り当てるパッキング、(3) クラスタを含むタイルの物理的位置を決定するプレースメント、(4) タイル間の配線リソースを決定するルーティング、(5) 各回路のしきい値を決定する Vt マッピング、および各種のインタフェースなどから成り、Flex Power FPGA にマッピングする回路のネットリストを受け取り、Flex Power FPGA チップに書き込むビットストリームファイルを生成する。

平成 20 年度は、前年度にインプリメントしたルーティング部に引き続いて、プレースメント部、ビットストリーム生成部のインプリメンテーションを完成させ、従来の Flex Power VPR 向けに作られた Vt マッピング部をこれらに接続する作業も完了した。また、論理合成などの、より上流工程の処理について、商用のツールを用いた合成結果の回路ネットリストを取り出し、開発中のツールが受け取れることを確認し、Flex Power FPGA を実際に利用することを可能とするトータルな回路設計フローの構築について、目処をつけることができた。

以上のようにして構築した、Flex Power FPGA 用のトータルな回路設計フローを用い、高位ハードウェア記述言語(Verilog-HDL)で記述したテスト回路(カウンタ回路)に対して論理合成を行い、

その結果得られたネットリストに対して、改良チップ第1版をターゲットとした、パッキング、プレースメント、ルーティング、Vt マッピングを行い、チップに書き込むビットストリームファイルを生成させた。得られたビットストリームファイルを、今回試作した改良チップ第1版に書き込み、既述した論理回路として正しく動作することを確認した。これによって、Flex Power FPGA 用のトータルな回路設計フローの一連の動作について確認を行うことに成功した。

今後も、Flex Power FPGA 用のトータルな回路設計フローの改良を続け、産業応用に結びつきうる程度に安定度と完成度の向上を図るとともに、本ツールを積極的に新たな試作チップ評価に活用していく予定である。

### 3. 研究実施体制

#### (1)「産総研」グループ

① 研究分担グループ長:小池 帆平((独)産業技術総合研究所 グループ長)

#### ② 研究項目

- Flex Power FPGA 技術統合化の研究
- Flex Power FPGA アーキテクチャの研究
- Flex Power FPGA 回路技術の研究
- Flex Power FPGA チップレイアウト設計
- Flex Power FPGA 関連ソフトウェアの研究
- Super Flex Power FPGA の研究
- Dynamic Flex Power FPGA の研究
- Robust Flex Power FPGA の研究

#### (2)「明大」グループ

① 研究分担グループ長:堤 利幸(明治大学 専任講師)

#### ② 研究項目

- Flex Power FPGA チップの設計、テストの研究
- Super Flex Power FPGA 向けデバイスのモデリングに関する研究

### 4. 研究成果の発表等

特許出願

平成 20 年度 国内特許出願件数 : 1 件 (CREST 研究期間累積件数 : 7 件)