

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 17 年度採択研究代表者

小林 光

大阪大学産業科学研究所・教授

極限ゲート構造によるシステムディスプレイの超低消費電力化

1. 研究実施の概要

「小林」グループ、全体

本プロジェクトでは、システムディスプレイの超低消費電力化を行う。この目的のため、我々が開発した「硝酸酸化法」を用いて TFT のゲート酸化膜を作製し、その薄膜化を行う。一段階硝酸酸化法では、120℃の低温で 1.2~1.4 nm の膜厚を持つ酸化膜が形成でき、そのリーク電流密度は同膜厚の熱酸化膜よりも一桁以上小さくできることを見出した。硝酸濃度の増加と共にリーク電流密度は低減し、98%硝酸で形成した酸化膜のリーク電流密度は同換算膜厚のシリコンオキシナイトライド膜よりも小さくなることを見出した。室温で硝酸酸化を行った場合も、酸化膜のリーク電流密度は同膜厚の熱酸化膜よりも少し低くなった。これを基に、32×40 cm² サイズのTFT試作を行った。室温硝酸酸化膜の上に従来の CVD 法を用いてゲート酸化膜を形成した場合、ゲート酸化膜厚を従来膜厚の約半分である 40 nm とした場合も、十分良好なリーク電流特性を示した。p 型チャンネル TFT では、3V 駆動が可能であることが示され、**TFT の動作電圧低減で従来の 1/25 に消費電力が低減可能であることが分かった。マルチドライバ方式とリフレッシュレート低減による低消費電力化では、従来の 2/5 に消費電力を削減することに成功している。従って、現時点での低消費電力化率は、合わせて 1/25×2/5=1/62.5 を達成している。**

二種類の濃度の硝酸を用いる二段階硝酸酸化法では、10 nm 以上の膜厚を持つ酸化膜を 120℃の低温で形成できる。濃度 68wt%の共沸硝酸で 10 nm 程度の酸化膜を形成し、その後 250℃程度の低温で水素処理を行った場合、その電気特性(リーク電流特性、C-V 特性)は熱酸化膜とほぼ同等であることが確認できた。したがって、二段階硝酸酸化法で TFT ゲート酸化膜を形成した場合、従来のゲート酸化膜厚の 1/4~1/5 程度に膜厚を低減でき、来年度以降の目標に向けての 2.5 V の駆動電圧で TFT が駆動可能になると考えられる。

硝酸酸化法を用いてゲート酸化膜の薄膜化を行った場合、低電圧 TFT 等の新構造デバイスが可能となり、これに適用できる新規回路技術を開発することによって、さらに TFT の低消費電力化が可能となる。このように、来年度までに材料、プロセス、デバイス、システムを統合的に開発することによって、3V 駆動2型サイズのシステムディスプレイの超低消費電力化の試作と実証を行う。

「谷口」グループ

本グループは、硝酸酸化膜形成プロセス技術を開発する小林グループとシステムディスプレイの設計・試作・評価を担当するシャープ(株)との間を補完し、システムの超低消費電力化を実現するためのプロセス技術の最適設計、TFT デバイスの評価、TFT デバイスモデルの開発、新回路機能ブロックの提案・設計を行っている。

新構造デバイスの研究開発では、二次元デバイスシミュレータを用い、チャンネルドーピングを用いての n 型チャンネル TFT のしきい値電圧制御について検討を行った。n 型チャンネル TFT において、 SiO_2/Si 界面に多量の負の固定電荷や界面準位が存在する場合には、チャンネルドーピングを p 型から n 型に変更することにより、大幅なしきい値電圧の低減、及び、サブスレッショールド係数の改善が可能であることが分かった。さらに、n 型のドーピング濃度が増加するにつれて、しきい値電圧が直線的に減少することから、ドーピング濃度を調整することで、所望のしきい値電圧が実現できると期待される。

硝酸酸化膜 TFT の SPICE モデルの研究開発では、短チャンネル TFT における AC 特性の解析とモデリングを行った。デバイスシミュレータを用いて結晶粒界が C-V 特性に与える影響を検討した結果、結晶粒界におけるエネルギー障壁が反転層を分断することにより、C-V 特性が大きな影響を受けることが分かった。さらに、チャンネル抵抗に結晶粒界の影響を考慮した新たな等価回路モデルを提案し、デバイスシミュレーション結果と比較したところ、定性的に実験結果とよい一致を示した。

超低消費電力 TFT 用の新回路機能ブロックの研究開発では、TFT を使ったアナログ回路の基本ブロックを構築した。正相と逆相の差動信号を使用するアナログ信号処理では、それぞれの処理に対して同一特性の回路が必須である。既存のアナログ信号処理回路では、TFT のしきい値や移動度のバラツキが非常に大きいため、同サイズの TFT を組み合わせた回路でも特性がばらつく問題を抱えている。そこで超高精度な差動信号処理を実現する新しい TFT 用アナログ基本回路を考案し、理論計算およびシミュレーションでその回路の動作確認を行った。

「今井」グループ

液晶ディスプレイの駆動方法(回路構成)での消費電力低減効果を確認するため、従来 TFT を使用した液晶ディスプレイモジュールの試作、表示点灯させるための駆動回路の設計・製作に着手した。現時点においては、従来 TFT を用いた実パネル試作を終え、並行して進めた駆動回路は基本回路部分が動作し、パネルに表示できることを確認した。

システム・回路による低消費電力化の検討を行い、マルチドライバー方式と表示リフレッシュタイムの低減を組み合わせることにより、従来比 2/5 に低減可能であることを実証した。

また、2型サイズのシステムディスプレイの設計を行い、試作投入を行った。硝酸酸化法を用い、TFT 回路を形成する前半工程を完了後、液晶ディスプレイに組み上げる後半工程でトラブルが発生し、残念ながら、ディスプレイとして仕上げることは出来なかった。

2. 研究実施内容

「小林」研究グループ及び「今井」研究グループ

1. 硝酸酸化プロセスの研究開発：一段階硝酸酸化法による低リーク電流密度を持つゲート酸化膜の形成

一段階硝酸酸化法で低リーク電流を持つ極薄酸化膜を形成すれば、その上に CVD 法で堆積する酸化膜の膜厚を低減しても十分に良好なリーク電流特性を持つため、TFT 駆動電圧が低減でき、TFT の超低消費電力化が実現できると考えられる。

一段階硝酸酸化法を用いて単結晶シリコン上に膜厚 1.2~1.4 nm の酸化膜を形成し、その上に Al 電極を作製して、<Al/SiO₂/Si(100)> MOS 構造とした。図 1 に、MOS ダイオードのリーク電流密度と酸化に用いた硝酸濃度の関係を示す。硝酸濃度の増加と共にリーク電流密度

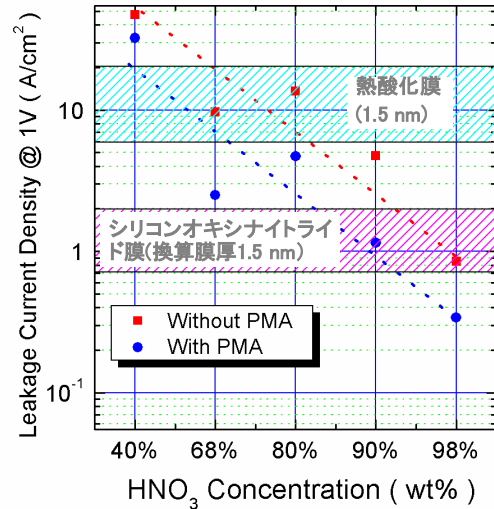


図 1 一段階硝酸酸化法で形成した <Al/1.2~1.4 nm SiO₂/Si(100)> MOS ダイオードのリーク電流密度の硝酸濃度依存性

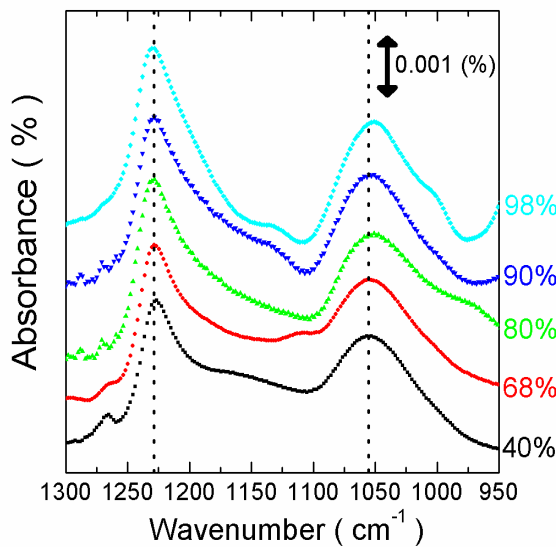


図 2 硝酸酸化法で形成した極薄 SiO₂/Si 構造のフーリエ変換赤外吸収スペクトルの硝酸濃度依存性

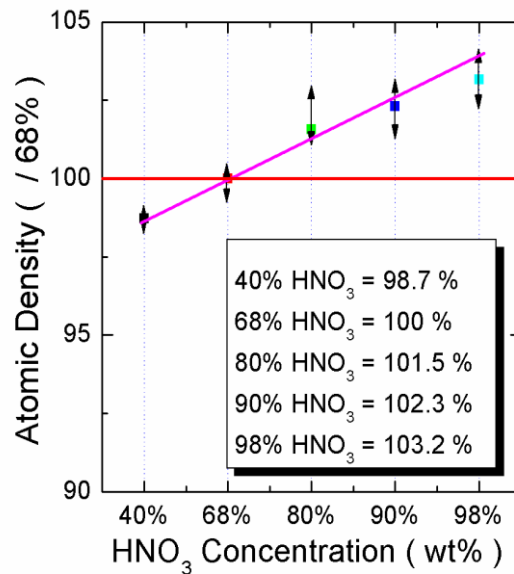


図 3 硝酸酸化法で形成した極薄 SiO₂ 膜の原子密度の硝酸濃度依存性

は低減し、濃度 98wt% の高濃度硝酸を用いた場合、リーク電流密度は 1.5 nm の膜厚を持つ熱酸化膜の 1/100 程度、同換算膜厚を持つシリコンオキシナイトライド膜と比較してもさらに低いリーク電流密度を持つことが確認された。

図 2 に、硝酸酸化法で形成した極薄 SiO₂/Si 構造のフーリエ変換赤外吸収スペクトルを示す。Si-O-Si 非対称伸縮振動の longitudinal optical (LO)フォノン及び transverse optical (TO)フォノンの 2 本のピークが観測されている。これら二本のピークの振動数、 ν_{LO} 及び ν_{TO} 、から SiO₂ 膜の原子密度、 ρ 、を次式を用いて求めることができる。

$$C\rho = \nu_{LO}^2 - \nu_{TO}^2 \quad (1)$$

ここで、定数 C は熱酸化膜の値から求めることができる。

図 3 に、 ν_{LO} 及び ν_{TO} から求めた SiO₂ 膜の原子密度を示す。原子密度はシリコンの酸化に用いた硝酸濃度の増加に伴って増加した。SiO₂ 膜の原子密度の増加に伴って、SiO₂/Si 界面でのバンドの不連続エネルギーが増加することがわかった。バンドの不連続エネルギーが増加することによって、キャリアが酸化膜をトンネルする確率が減少して、リーク電流密度が低減したと考えられる。

図 4 に、硝酸酸化法で形成した極薄 SiO₂/Si 構造の Si 2p 領域の XPS スペクトルを示す。99 及び 103eV 近傍に強度の強いピークが観測されており、これらはそれぞれシリコン基板と SiO₂ 膜のものである。これらのピークの面積強度比から、SiO₂ 膜の膜厚が 1.2～1.4nm と求められた。これら二本のピークの間、サブオキサイド、Si⁺、Si²⁺、Si³⁺による強度の弱いピークが観測された。硝酸濃度の増加に伴って、これらサブオキサイドのピークの強度は減少した。硝酸濃度の増加に伴い、酸化力が増加し、不完全な酸化物であるサブオキサイドが減少したと考えられる。サブオキサイドは、電子やホール traps 準位として働くと思われる。硝酸濃度の増加に伴い、traps 準位が減少することも、リーク電流密度低減の一要因であると思われる。

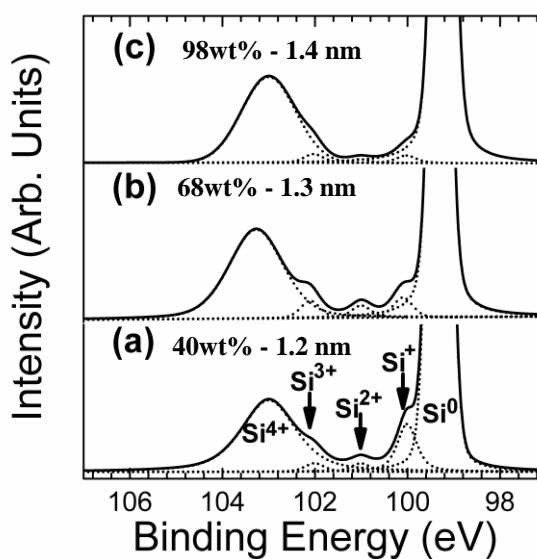


図 4 種々の濃度の硝酸を用いて形成した極薄 SiO₂/Si 構造の XPS スペクトル: (a) 40wt%; (b) 68wt%; (c) 98wt%

2. 二段階硝酸酸化法による低リーク電流密度を持つゲート酸化膜の形成

二種類の濃度の硝酸を用いる二段階硝酸酸化法では、 120°C の低温で 10 nm 以上の膜厚を持つ酸化膜が形成でき、その良好なリーク電流特性と界面特性より、TFT のゲート酸化膜厚を大幅に減少でき、TFT 駆動電圧を 2.5 V 程度に低減できると考えられる。

二段階目の硝酸濃度を $68\text{wt}\%$ (共沸硝酸)とした場合そのリーク電流密度は小さくなり、さらに 250°C で水素処理を施した場合、図5a に示すように 900°C の高温で形成された熱酸化膜と同レベルのリーク電流密度を持つことがわかった。さらに、図5b に示すようにその電気容量-電圧(C-V)特性は熱酸化膜とほぼ同レベルであり、界面準位密度、固定電荷密度が共に非常に小さいことが確認された。

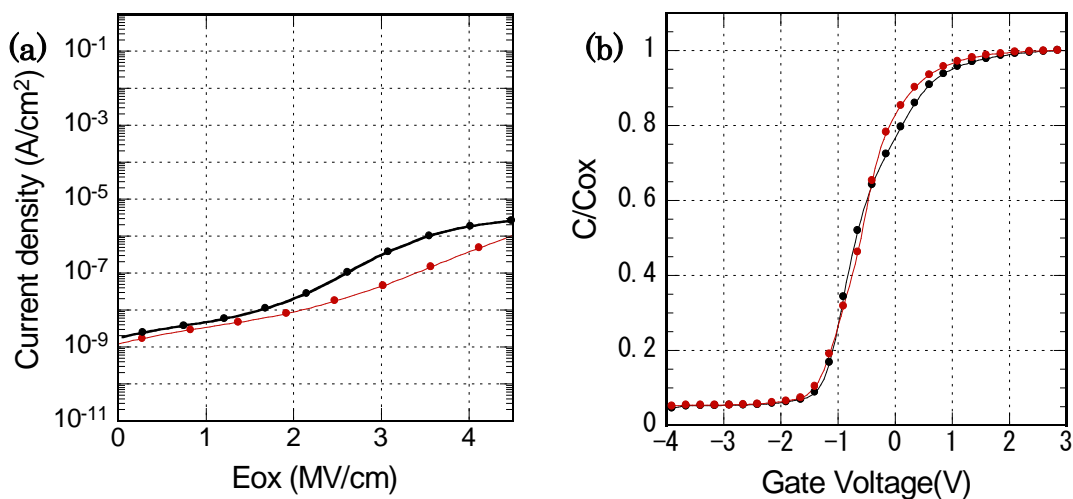


図5 $\langle\text{Al}/\text{SiO}_2/\text{Si}(100)\rangle$ MOS ダイオードの電流-電圧特性(a)、電気容量-電圧特性(b)。黒は 120°C で形成された二段階硝酸酸化膜、赤は 900°C で形成された熱酸化膜の特性を示す。

3. 新規欠陥消滅型洗浄法による TFT の高性能化

HCN 水溶液等のシアン溶液では、 CN^- イオンがシリコンダングリングボンド等の欠陥準位に選択的に吸着することによって欠陥準位が消滅すると共に、金属汚染を除去できることを我々は見出している。本プロジェクトでは、大型 TFT に使用できる欠陥消滅型洗浄法を開発した。

TFT は LSI に比較して大型であり、LSI の洗浄に用いる高濃度(数%以上)の薬液を使用することはできない。本プロジェクトでは、ppm オーダーの極低濃度 HCN 水溶液でも十分な金属除去効果を有することを見出した。(これは、当初計画では想定されていなかった。)

図6に、2.6ppm と 1ppm の濃度を持つ HCN 水溶液を用いて、銅で強制汚染したシリコンウェーハを洗浄した際の、表面銅濃度と洗浄時間の関係を示す。2.6ppm の HCN 水溶液で洗浄した場合、室温(25°C)でも 2 分以内に分光装置の検出限界(全反射蛍光 X 線分光装置、検出下限： $\sim 3 \times 10^9$ 原子/cm²)以下に銅汚染が除去された。さらに低濃度の 1ppm HCN 水溶液で洗浄した場合も、液温を 35°C に上昇することによって 5 分以内に銅汚染が完全に除去された。

HCN 水溶液は銅以外、鉄、ニッケル、クロム、マンガン、亜鉛、チタン等、典型的な半導体上の金属汚染の除去が可能であることがわかっている。

シアン化合物の一般的な環境排出基準は 1ppm であり、HCN 洗浄液の廃液の排出は困難でない。また、紫外線照射+オゾン水処理で、シアン成分は炭酸ガスと窒素に完全無毒化・分解でき、イオン交換膜を用いても簡単に除去できる。さらに、金属触媒を用いてメタンとアンモニア等から高濃度(~ 3000 ppm)の HCN 水溶液をかなりの速度(500 mL/h)で合成することにも成功しており、TFT 製造への応用に必要な基本的技術は確立できている。

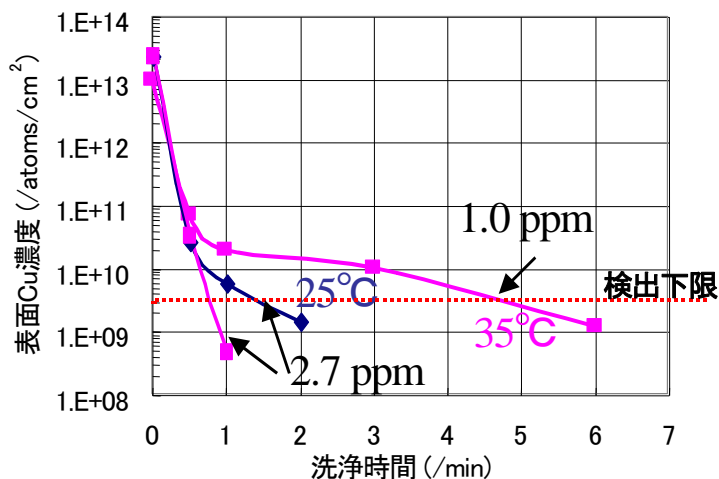


図 6 極低濃度 HCN 水溶液で銅汚染のあるシリコンウェーハを洗浄した際の銅濃度と洗浄時間の関係：a) 22°C の 2.6ppm HCN 水溶液で洗浄、b) 35°C の 1ppm HCN 水溶液で洗浄。

「谷口」研究グループ

4. 硝酸酸化膜 TFT の SPICE モデルの研究開発

(1)短チャネル TFT における AC 特性の解析とモデリング

2次元デバイスシミュレータを用いて、TFT のゲート容量の解析、及び、モデリングを行った。シミュレーションでは、硝酸酸化法によるゲート酸化膜の薄膜化を想定し、ゲート酸化膜厚 30 nm、ゲート長 1 μm、poly-Si 膜厚 50 nm とし、また、結晶粒界はチャネルに対し垂直に、ドレイン端から 250 nm の位置に 1 箇所のみ存在するとした。また、簡単のため、ソース・ドレイン間電圧はゼロとした。

図7にゲート・ソース間容量 C_{gs} とゲート・ドレイン間容量 C_{gd} のゲート電圧依存性のシミュレーション結果を示す。比較のため、結晶粒界が存在しない場合の結果も示している。粒界がない場合(破線)は、構造がチャネル中央で対称のため、 C_{gs} と C_{gd} は等しくなったが、ドレイン端に粒界がある場合(実線)は、ソース・ドレイン間電圧がゼロにも係わらず、 C_{gs} と C_{gd} が異なったゲート電圧依存性を示し、また、ゲート電圧が高くなるにつれて、粒界がない場合の値に漸近していくことが分かった。TFT 内部の物理量を解析したところ、結晶粒界のエネルギー障壁による反転層の分断がこれらの原因であることが明らかになった。この結果から、等価回路を考え、以下に示す C_{gs} 、 C_{gd} モデルを導いた。

$$\frac{C_{gs/d}}{C} = \frac{1-\alpha}{2} + \frac{\alpha}{R_{ch1/2}(1/R_{ch1}+1/R_{ch2})}$$

ここで、 C は酸化膜容量、 α は容量の分割係数である。また、 R_{ch} はチャネル抵抗で、結晶粒界のエネルギー障壁の関数となっている。図8に等価回路モデルによる C_{gs} 、 C_{gd} の計算結果を示す。粒界が存在する場合(実線)は、 C_{gs} と C_{gd} が異なったゲート電圧依存性を示し、また、ゲート電圧が増加するにつれて粒界がない場合の容量値(破線)に漸近しており、図7に示した C_{gs} 、 C_{gd} のゲート電圧依存性を定性的に正しく再現していることが分かる。

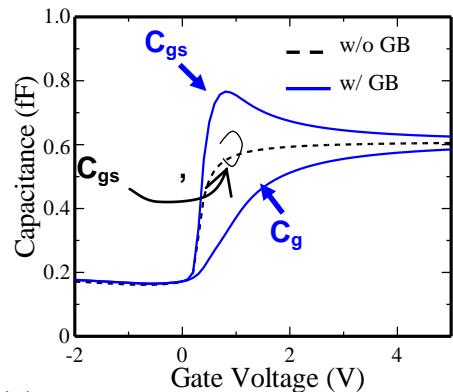


図7 C_{gs} 、 C_{gd} のシミュレーション結果

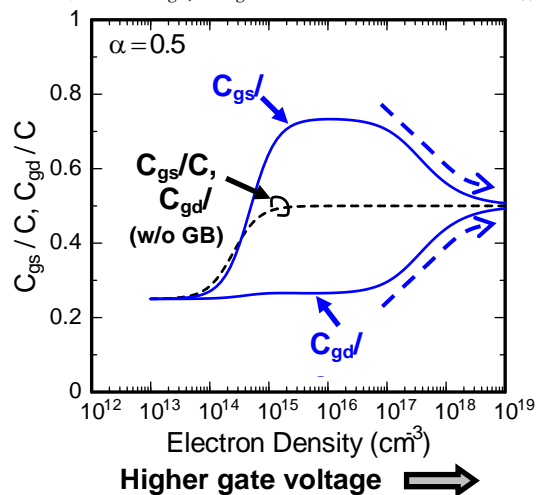


図8 等価回路モデルによる計算結果

5. 低消費電力 TFT 用の新回路機能ブロックの研究開発: 離散時間動作バラツキ補償全差動増幅器

システムディスプレイを構成する回路をすべてディスプレイと同じくガラス基板上へ混載できれば、浮遊容量への無駄な充放電がなくなるゆえ消費電力が減少するだけでなく、製作コストも下がることが期待される。ディスプレイを構成する回路にはソースドライバなどといったアナログ回路が必要となるが、隣接する素子であっても特性が大きくばらついている TFT でアナログ回路の実現は非常に困難である。そこでそのような素子特性を考慮してアナログ基本回路である差動増幅器、特に全差動増幅器を考案した。

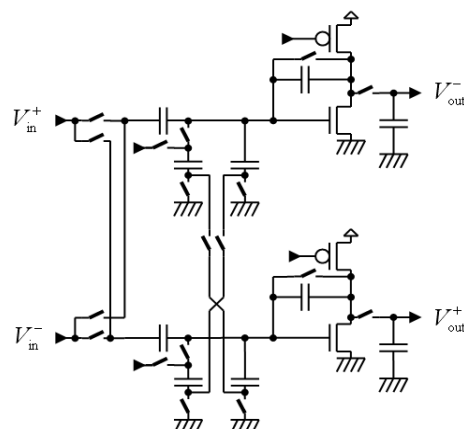


図9 提案全差動増幅器

アナログ回路は正相信号と逆相信号の処理をするために同一回路が必要となる。既存回路アーキテクチャではすべてのトランジスタの特性が揃っているとして設計されているため、そのような同一回路は簡単に設計できるが、TFT では素子ごとに特性が異なるためその設計手法を用いることはできない。そこで信号処理の根本から考え直し、正相出力信号と逆相出力信号の基準電位が違うゆえ特性が異なる素子を用いたアナログ回路が実現できないことを見出し、その基準電位が揃うように図9に示す回路を考案した。簡単な解析の結果、しきい値や移動度のバラツキが小さければ電源電圧が抑えられることがわかった。

「今井」研究グループ

6. 超低消費電力高機能 SDOG の研究開発

モバイル用途の表示コンテンツは、バッテリー駆動時間を少しでも長くするように工夫されている。待機状態時が大きな割合を占める表示コンテンツは、常時変化する表示(動画)は用いず、グラフィックスやテキストを主体とした静止画である。そこに着目して、次の二つの機能、マルチドライバと表示リフレッシュレート制御による消費電力の試算を行い、その効果があることを確認した。

(1) マルチドライバ機能

液晶ディスプレイにおいて、自然画など多階調表示を実現するには、デジタル映像信号から表示画素に書き込む電圧を生成するため、複数の基準電源を要する DAC 回路を用いている。グラフィックスやテキストのように階調表現力を要さない表示については、DAC 回路を用いない専用の画素電圧書き込み回路を用意することで、基準電源を停止させることが可能となる。また、画素への書き込みスキャン方式を、点順次(ラインメモリが不要で、回路規模を小さく出来る)、線順次(ラインメモリを要するが、回路動作周波数を低く出来る)を、表示コンテンツに応じて切り替えて、回路動作周波数を低くすることが可能となる。以上を踏まえて、画素電圧書き込み回路を多階調表示(自然画)用とグラフィックス・テキスト表示用に独立させる駆動方式(マルチドライバ機能)により、グラフィック・テキスト表示の消費電力は多階調表示の 1/2 にできることがわかった。

(2) 表示リフレッシュレート制御

画素に印加された電圧は液晶と補助容量へ蓄えられ、一定周期で、印加電圧を更新することにより、液晶ディスプレイの表示は成立している。この画素への電圧印加を繰り返す周期(表示リフレッシュレート)は、回路動作周波数を決定する大きなパラメータである。表示リフレッシュレートと回路動作周波数は比例関係にあり、周波数を低く抑えることで、消費電力を低くすることができる。回路の基本周波数を制御する方法もあるが、フレームを間引く方法について図 10 に示す評価セットを作成し、検討を行った。一般的な液晶材において、50Hz(通常 60Hz) 迄間引き動作では、表示画質には影響なく、消費電力は 60Hz に比較して、50Hz 動作では、4/5 にできることがわかった。

以上より、**携帯電話など待機状態の多いモバイル機器において、消費電力を 2/5 に低減させることが可能となる。**

この検討結果に基づき、2型画面サイズのシステムディスプレイを設計した。現在、まず、ガラスの溶出成分汚染を大幅に低減した室温硝酸酸化膜プロセスをもとに、本システムディスプレイの種々の試作投入準備を完了し、投入した。

また、液晶ディスプレイの低消費電力駆動(マルチドライバ機能、表示リフレッシュレート制御)について、駆動評価のための実機(図 10)を作製した。従来 TFT を用いて、2 型 QVGA 液晶パネルをターゲットに設計・試作を行い、また、表示点灯させるための駆動回路を設計・製作した。

従来 TFT プロセスを用いた実パネル試作を終え、その駆動回路の基本部分の動作の確認も終えて、マルチドライバ機能の実パネル表示と消費電力低減効果を確認することができた。



図10 評価セット全体図
(左：パネル、右：駆動回路)

3. 研究実施体制

(1)「小林」グループ

① 研究分担グループ長:小林 光 (大阪大学 教授)

② 研究項目

1. 硝酸酸化プロセスの研究開発
2. 気体硝酸酸化法の検討
3. 硝酸法による CVD 堆積膜の改質
4. 新規欠陥消滅法による TFT の高性能化と低消費電力化
5. 大面積 TFT 用硝酸酸化装置の開発
6. 大面積 TFT の硝酸酸化技術の開発
7. 廃液硝酸の高純度化技術

(2)「谷口」グループ

①研究分担グループ長:谷口 研二(大阪大学大学院 教授)

②研究項目

1. 硝酸酸化膜 TFT の SPICE モデルの研究開発
2. 新構造 TFT の研究開発
3. 超低消費電力 TFT 用の新回路機能ブロックの研究開発

(3)「今井」グループ

①研究分担グループ長:今井 繁規(シャープ株式会社 所長)

②研究項目

1. 大面積 TFT の硝酸酸化技術の開発と試作
2. 超低消費電力高機能 SDOG の研究開発
3. メモリ、CPU 内蔵の超低消費電力 SDOG の研究開発

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. W.-B. Kim, Asuha, T. Matsumoto, H. Kobayashi, Ultrathin SiO₂ layer on atomically flat Si(111) surfaces with excellent electrical characteristics formed by nitric acid oxidation method, Appl. Phys. Lett. 93, 072101-1-3 (2008).
2. S. Imai, S. Mizushima, Asuha, W.-B. Kim, and H. Kobayashi, Properties of thick SiO₂/Si structure formed at 120°C by use of two-step nitric acid oxidation method, Appl. Surf. Sci. 254, 8054-8058 (2008).
3. H. Kobayashi, K. Imamura, K. Fukayama, S.-S. Im, O. Maida, Y.-B. Kim, H.-C. Kim, and D.-K. Choi, Complete prevention of reaction at HfO₂/Si interfaces by 1 nm silicon nitride layer, Surf. Sci. 602, 1948-1953 (2008).
4. M. Madani, Y.-L. Liu, M. Takahashi, H. Iwasa, and H. Kobayashi, SiC cleaning method by use of dilute HCN aqueous solutions, J. Electrochem. Soc. 155, H895-H898 (2008).
5. E. Pincik, H. Kobayashi, R. Brunner, M. Takahashi, J. Rusnak, and M. Jergel, On similar electrical, optical and structural properties of MOS structures prepared on a-Si:H/c-Si, porous silicon/c-Si, and c-Si, Mater. Sci. Forum 609, 11-25 (2009).
6. J. Rusnak, M. Ruzinsky, K. Imamura, T. Matsumoto, M. Stefecka, M. Takahashi, H. Kobayashi, and E. Pincik, Investigation of deep interface traps in very-thin oxide/Si structures prepared at low temperatures using chemical solutions, Mater. Sci. Forum 609, 123-127 (2009).
7. E. Pinčík, H. Kobayashi, R. Brunner, M. Takahashi, Y.-L. Liu, L. Ortega, K. Imamura, M. Jergel, and J. Rusnák, Passivation of defect states in Si-based and GaAs structures, Appl. Surf. Sci. 254, 8059-8066 (2008).

8. S. Jurecka, H. Kobayashi, M. Takahashi, R. Brunner, M. Madani, and E. Pincik, On topographic properties of semiconductor surfaces and thin film systems, *Mater. Sci. Forum* 609, 275-279 (2009).
9. R. Brunner, H. Kobayashi, M. Kucera, M. Takahashi, J. Rusnak, and E. Pincik, Photoluminescence of passivated a-Si:H, *Mater. Sci. Forum* 609 281-285 (2009).
10. K. Imamura, M. Takahashi, S. Imai, and H. Kobayashi, Band alignment of SiO₂/Si structure formed with nitric acid vapor below 500°C, *Surf. Sci.* 603(7), 968-972 (2009).

(2) 特許出願

平成 20 年度 国内特許出願件数 : 6 件 (CREST 研究期間累積件数 : 9 件)