

遠藤 哲郎

東北大学 学際科学国際高等研究センター・教授

縦型ボディーチャネル MOSFET とその集積プロセスの開発

1. 研究実施の概要

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術・デバイス技術の開拓のために、デバイスのボディー領域全体を電流駆動領域とする新概念の縦型構造トランジスタのデバイス技術に加えて、その回路設計・材料・プロセス技術までを一貫して開発するものである。これにより、平面型 MOSFET と比較して、駆動電流特性、リーク電流特性、集積密度を大幅に向上させた半導体 LSI の新しいユニバーサル技術プラットフォームを提供する。

平成20年度は、研究開始の第1年次にあたり、本研究の要素技術となる縦型ボディーチャネル MOSFET に対するデバイス設計技術とそのデバイスモデリング技術、及び、その基本ロジック回路のレイアウト技術、ならびに CMOS 縦型ボディーチャネル MOSFET の製造に必要な基本ユニットプロセス技術の開発を重点的に進めた。また、平行して、次年度以降に続く縦型ボディーチャネル MOSFET 及びその集積回路の試作に不可欠であるデバイス特性評価用 TEG 設計とプロセスモニター TEG 設計と回路設計からなるマスク設計を進めた。

平成21年度は、本格的に縦型ボディーチャネル MOSFET による基本集積回路及び集積化プロセス技術の開発に乗り出す。具体的には、第1の研究項目として、昨年度設計した縦型ボディーチャネル MOSFET 及びその基本集積回路の TEG マスクを活用して、そのデバイス特性を取得し、その試作・評価の結果を踏まえて、設計理論の高精度化を目指す。第2の研究項目として、昨年度に構築したデバイスモデル解析システムを活用して、縦型ボディーチャネル MOSFET の SPICE モデルの確立を目指すと共に、縦型ボディーチャネル MOSFET による集積回路の高効率な回路ネットワークの合成とレイアウトパターンの生成技術の確立を目指す。第3の研究項目として、昨年度に構築した 3Xnm 世代のシリコン 3 次元加工技術、並びに、様々な面方位を有する微細シリコンピラー側面の均一な酸化技術を活用して、単体の CMOS 縦型ボディーチャネル MOSFET の製造に必要な基本ユニットプロセス技術の開発を中心としながらも、プロセスインテグレーション技術の開発にも着手する。

2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術・デバイス技術の開拓のために、デバイスのボディー領域全体を電流駆動領域とする新概念の縦型構造トランジスタのデバイス技術に加えて、その回路設計・材料・プロセス技術までを一貫して開発し、それにより半導体 LSI における新しいユニバーサル技術プラットフォームの実現に挑むものであり、以下の3つの主要課題から構成される。

- ① 縦型ボディーチャネル MOSFET のデバイス技術の構築
- ② 縦型ボディーチャネルデバイスに基づく回路技術とその設計技術の構築
- ③ 縦型ボディーチャネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築

縦型ボディーチャネル MOSFET のデバイス技術の構築に関しては、研究代表者の遠藤哲郎(東北大学)が実施した。hp32nm世代のデバイスを精度よく試作することは困難であるため、例えば65nm世代での試作サンプルによる実験的手法と32nm世代以降の微細デバイスに対するデバイスシミュレーションによる理論的解析手法を組み合わせることで、hp32nm世代以降における縦型ボディーチャネル MOSFET のデバイス設計理論の確立を目指す。

平成20年度は、ボディーチャネル構造と駆動力向上・消費電力抑制の関係を明らかにするためのデータベースの構築を推し進めた。その中で、デバイスの発熱問題、つまり大きな駆動電流を流すことによりデバイス自身の温度が上昇する問題に対して、本デバイス構造が非常に優れていることを発見した。そして、詳細にデバイス温度の上昇過程を解析することで、駆動電流を維持しながらより効率的に放熱できるデバイス構造の方針を明らかにした。さらに、これらの知見と、上述の②③の主要課題に対する研究から見出された知見を統括して、次年度以降に続く縦型ボディーチャネル MOSFET 及びその集積回路の試作に不可欠なデバイス特性評価用 TEG 設計とプロセスモニター TEG 設計と回路設計からなるマスク設計を行った。今後は、今年度の研究成果を盛り込んだ新規設計の TEG の試作を行い、縦型ボディーチャネル MOSFET のデバイス技術の確立を目指す。

縦型ボディーチャネルデバイスに基づく回路技術とその設計技術の構築に関しては、研究代表者の遠藤哲郎(東北大学)が実施した。平成20年度は、まず初めに、縦型ボディーチャネル MOSFET による集積回路設計の要となるレイアウト技術の開発を行った。具体的には、パターンレイアウトに対してデザインルールチェックを自動的に行う DRC 技術を開発した。また、縦型ボディーチャネル MOSFET はデバイス構造が3次元化されるため、従来の平面型 MOSFET とはまったく異なるパターンレイアウトとなる。そのため、パターンレイアウトから回路ネットワークを抽出する LVS 技術において新しい抽出アルゴリズムを考案し、縦型ボディーチャネル MOSFET による集積回路パターンレイアウトから、回路ネットワークの抽出に成功した。そして、これら開発した設計技術を活用して、基本ロジック回路並びに小規模集積回路のパターン設計に着手した。さらに、縦型ボディーチャネル MOSFET のデバイスモデリング技術に関しては、トランジスタモデル抽出環境を構築した。今後は、研究成果の産業界への効率的な展開を可能にするために、標準 SPICE で

活用されているBSIM4モデルをベースに、縦型ボディーチャネルMOSFETのデバイスモデリング技術の開発を進める。

縦型ボディーチャネルMOSFETによるCMOS集積回路の材料・プロセス技術の構築に関しては、研究分担者の小池淳一(東北大学)と塚本雄二(東京エレクトロン(株))と研究代表者の遠藤哲郎(東北大学)が実施した。hp32nm世代以降における単体のCMOS縦型ボディーチャネルMOSFETの製造に必要となる基本ユニットプロセス技術の開発を行うと共に、プロセスインテグレーション技術の開発にも一部着手した。

CMOS縦型ボディーチャネルMOSFETの基本ユニットプロセスであるゲート、ソース、ドレイン電極の形成方法の確立は小池淳一が担当し、平成20年度は、拡散バリア層形成法の確立に取り組んだ。具体的には、縦型ボディーチャネルMOSFETの金属電極の形成に適用可能なCVD法によるMn酸化物の成膜技術を構築した。そして、CVD法により成膜されたMn酸化物が、400℃までCuに対して優れた拡散バリア性を有することを、TEM観察と組成分析により明らかにした(原著論文:1)。今後は、この知見に基づき、Mn酸化物層のバリア性を組織学的にだけでなく、電気的にも調査するとともに、トランジスタとの直接コンタクトの形成を目指してシリサイド上のバリア性を調査する予定である。

CMOS縦型ボディーチャネルMOSFETにとって、様々な結晶面方位を有するエッチングしたシリコン側面にゲートスタック構造が形成できる材料・プロセス技術を構築することは重要である。極微細シリコンピラー加工技術とその側面の平滑化技術、及び、異なる結晶方位を持つ表面に対する均一な酸化技術の開発は、塚本雄二と遠藤哲郎が担当した。具体的には、平成20年度では、シリコン加工用のハードマスクの新しい形成技術を開発し、直径34nmのシリコンピラーの形成に成功した。さらに、シリコンエッチング技術において、プラズマ条件とシリコン加工形状との関係を詳細に追跡調査することで、シリコンの結晶方位によるファセットが生じることなくシリコンを垂直にエッチングできるプロセス条件を見出した。また、この開発した新しいシリコンエッチング技術により、エッチング側面の表面ラフネスも抑制できることを見出し、ばらつきを 3σ で1nm以下にまで削減することに成功した。また、異なる結晶方位を持つ表面に対する均一な酸化技術の開発においては、研究開始時にシリコン直径 $1\mu\text{m}$ の条件ではシリコンの酸化速度の結晶面方位依存性をほぼ抑制する手法を開発していた。そして平成20年度の研究で、シリコン直径50nmの条件においても、シリコンの酸化速度の結晶面方位を抑制できる酸化プロセス技術を開発した。さらに、この新しい酸化プロセス技術によって、従来大きな課題となっていたMissing Mass現象を抑制できる傍証を得た。これは大きな進展であると考えられる。今後は、これらの成果に基づき、縦型ボディーチャネルMOSFETに対するHigh-k絶縁膜・メタルゲートのゲートスタック構造の材料・プロセス技術を開発する。

縦型ボディーチャネルMOSFETのプロセスインテグレーション技術の開発は、遠藤哲郎と塚本雄二が担当する。平成20年度は、リソグラフィ技術に頼ることなく縦型ボディーチャネルMOSFETの集積度を上げることを可能とするプロセスフローを考案し、特許出願を行った。今後は、これら開発してきたプロセス技術ならびにプロセスインテグレーション技術を縦型ボディーチャネルMOSFET及びその集積回路の試作に適用し、その有用性をデバイスレベルで確認す

ると共に、ゲートスタック構造などの技術課題にも取り組み、集積プロセス技術の確立を目指す。

3. 研究実施体制

(1)「遠藤」グループ

①研究分担グループ長:遠藤 哲郎(東北大学、教授)

②研究項目

・縦型ボディークチャネルMOSFETとその集積プロセスの開発

(2)「小池」グループ

①研究分担グループ長:小池 淳一(東北大学、教授)

②研究項目

・縦型ボディークチャネルMOSFETのメタル拡散層形成技術の開発

(3)「塚本」グループ

①研究分担グループ長:塚本 雄二(東京エレクトロン株式会社、室長代理)

②研究項目

・縦型ボディークチャネルMOSFETに基づく CMOS 集積回路の材料・プロセス技術の開発

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. K. Matsumoto, K. Neishi, H. Ito, H. Sato, S. Hosaka, and Koike, “Chemical Vapor Deposition of Mn and Mn Oxide and their Step Coverage and Diffusion Barrier Properties on Patterned Interconnect Structures”, Applied Physics Express, 2, 036503 (2009)

(2) 特許出願

平成 20 年度 国内特許出願件数 : 1 件 (CREST 研究期間累積件数 : 1 件)