

尾辻 泰一

東北大学電気通信研究所ブロードバンド工学研究部門・教授

グラフェン・オン・シリコン材料・デバイス技術の開発

## 1. 研究実施の概要

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術の開拓のために、独自のアイデアに基づくグラフェン・オン・シリコン (GOS: Graphene On Silicon)材料・プロセス技術の開発を通し、相補的スイッチングデバイス (CGOS) 技術、及びプラズモン共鳴テラヘルツデバイス (PRGOS) 技術の開発を行うものである。具体的には、まず、Si 基板上に SiC をエピタキシャル成長させその最上面をグラフェン化するというアイデアで、GOS の実現を図る。次に、この GOS プロセス技術を既存 CMOS プロセス技術に導入して新しい CGOS (Complementary GOS)と呼ばれる超高速・低消費電力の相補型トランジスタロジックを実現し、シリコンテクノロジーによる 1THz 以上の電流遮断周波数と超 100GHz クロック動作の実現をめざす。さらには、電子輸送に基づく CGOS の動作限界をさらに 1 桁以上超えるプラズモン共鳴と呼ばれる新たな動作原理に基づくテラヘルツ帯信号処理デバイス (PRGOS: Plasmon Resonant GOS) を CGOS プロセスに完全整合するシリコンテクノロジーにより実現する。最終的には、CGOS と PRGOS を融合した新しい集積デバイス技術を開発し、電子輸送限界を超えた超高周波帯域の開拓をめざすものである。これにより、シリコンテクノロジーをベースとしながら、キャリア輸送限界を超えた新しい超高速大規模集積デバイスの実現が期待される。

20 年度は、研究開始の第 2 年次にあたり、本格的に GOS 材料デバイス技術の開発に乗り出し、以下のような成果を収めた。すなわち、第一に、Si(110)基板上に低温成長させた高品質 3C-SiC 薄膜に超高真空熱処理を施すことにより、世界初の Si 基板上グラフェン形成に成功した。第二に、成長した GOS を用いてバックゲート型 GOSFET のトランジスタ動作の確認に成功した。第三に、強束縛(TB: Tight binding)法を用いた単層および二層グラフェン・ナノリボンのエネルギーバンド構造の計算により、FET チャネルに適したグラフェンの構成はナノリボン (ナノメートルオーダーの極狭窄リボン) ではなく、幅広 (数十 nm 以上) のアームチェア型二層グラフェンであることを明らかにした。第四に、グラフェン固有のアンバイポーラ特性を回避する相補型論理回路構成を考案し、回路シミュレーションとシリコン個別部品による実験から、可能性と改良点を明らかにした。第五に、

GOSFET のデバイスモデリングの研究を推進し、単層グラフェンナノリボン FET、ならびに 2 層グラフェンチャネル FET の DC/AC モデルの構築と動作特性の高精度解析を実現した。第六に、グラフェンチャネルのテラヘルツ帯プラズモン共鳴特性の測定実験を推進した（現在進行中）。第七に、新材料グラフェンのデバイス応用に関する国際シンポジウム（会議名称：International Symposium on Graphene Devices: Technology, Physics, Modeling: ISGD 2008, 開催期間：2008/11/17~19, 開催地：会津大学（福島県会津若松市））を開催し、内外の第一線で活躍する研究者を招聘し、最先端の研究情報を収集するとともに、本 JST-CREST 研究課題で推進する独自の GOS 材料デバイス技術の優秀性を内外に問い、技術の先導性を強くアピールすることに成功した。

## 2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術の開拓のために、独自のアイデアに基づくグラフェン・オン・シリコン（GOS: Graphene On Silicon）材料・プロセス技術の開発を通し、相補的スイッチングデバイス（CGOS）技術、及びプラズモン共鳴テラヘルツデバイス（PRGOS）技術の開発を行うものであり、GOS 形成、GOSFET デバイスプロセス、デバイスモデリング、CGOS 論理ゲート、および PRGOS デバイスプロセスの主要課題に対して、独自技術の開発に挑むものである。

GOS 形成技術に関しては、研究分担者・末光眞希が有する有機シランガスソース分子線エピタキシー（Organo-silane Gas-Source Molecular Beam Epitaxy: OS-GSMBE）法という独自技術を用い、20 年度 CREST 予算で導入した GOS 薄膜形成・評価装置を稼動して、Si 基板の上に 3C-SiC をエピタキシャル成長させその最上面をグラフェン化するという斬新

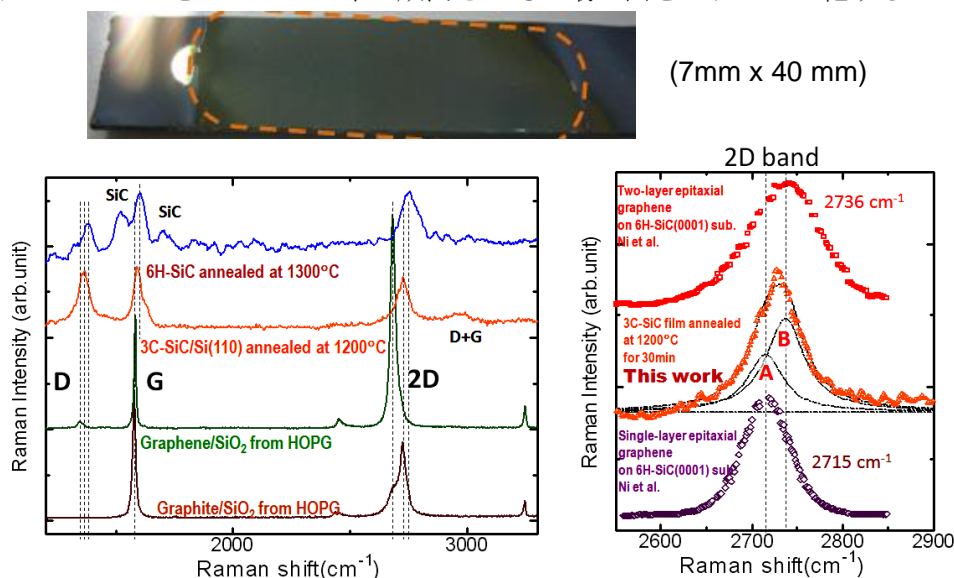


図 1. 3C-SiC/Si(110)の表面改質で作成した GOS サンプル（上）とその Raman 分光スペクトル<sup>[7]</sup>. 左下：6H-SiC 表面改質グラフェン、および SiO<sub>2</sub> 表面へ転写したピーリンググラファイト&グラフェンとの比較. 右下：2D バンドの 6H-SiC グラフェンとの詳細比較. 試作 GOS は単層グラフェンと 2 層グラフェンからなることがわかる.

なアイデアで挑んだ。その際、Si 結晶と SiC 結晶の間に存在する約 20%もの大きい格子不整合を解消する必要があった。そこで従来とは異なる面方位の Si(110)基板上に 3C-SiC をエピ成長させるという新しい方法を考案した結果、格子歪を大幅に抑制でき、世界初の GOS 形成に成功した<sup>[7]</sup>。Raman 分光及び TEM (透過型電子顕微鏡) による結晶性評価の結果、単層または多層のグラフェンが 1 cm<sup>2</sup>以上の広大な領域に形成できていることを確認した<sup>[7]</sup> (図 1)。ただし、Raman 分光より推定されるグレインサイズは大きくはない。今後、上記評価手段に AFM (原子間力顕微鏡) や LEEM (低速電子顕微鏡) を相補的に組み合わせて、結晶表面のモルフォロジーを広領域かつ高精度に評価を進めるとともに、グレインサイズの拡大化、成長層数制御のためのエピタキシャルグラフェン成長技術の検討を推進する。グラフェンナノリボン(エッジ)の Raman 分光による定量的評価も試みる。

GOSFET デバイス技術に関しては、グラフェンシートをナノリボン加工することによってバンドギャップを生じせしめ、FET としてのスイッチング機能を実現する。研究分担者・末光哲也が有する電子線露光による 30nm 級の微細ゲート加工技術を適用し、線幅 20~40nm のナノリボンをサブミクロンないしミクロンオーダーの間隔で複数並列配置したマルチナノリボンパターンをグラフェンシートに作製する技術を開発する。平成 20 年度は、ドライエッチング加工による 20 ミクロン程度の広幅な GOS リボンをチャンネルとしてバックゲート型 FET を構成し、そのトランジスタ動作の確認に成功した (図 2)。SiC エピ層をチャンネルとする比較用デバイスとの特性比較から、n 型導電性のグラフェン極薄層が形成されていることを確認するとともに、ドレイン電流電圧特性にピンチオフ (飽和) 傾向を確認した。しかしながら、単層もしくは 2 層グラフェンの電子移動度から予測される高い導電率は得られておらず、表面の平坦性劣化やグレイン・ドメインの形成等が懸念される。今後、結晶性と電気的特性との対応関係の明確化と特性向上を推進するとともに、トップゲート型 GOSFET の実現と、速度性能優位性の検証を進める。

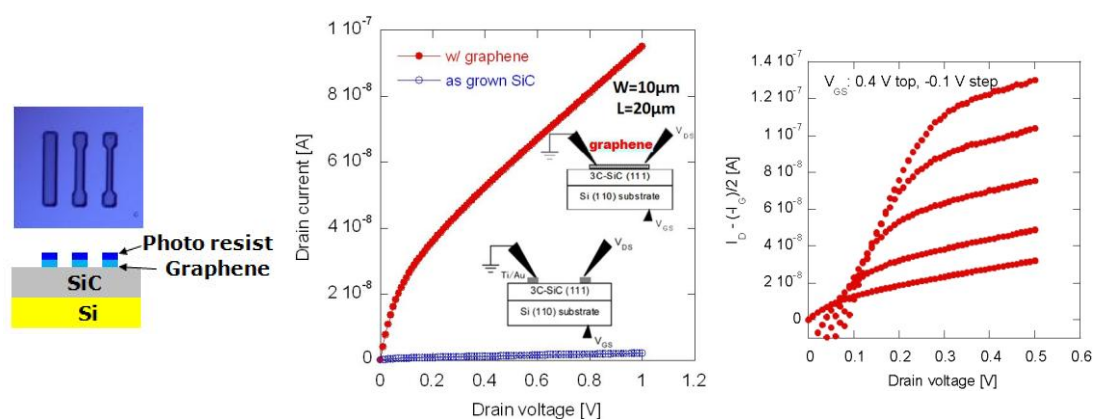


図 2. バックゲート型 GOS による FET 動作の確認. 左 : GOS のグラフェンリボン化、中 : GOS と非グラフェン化 SiC/Si とのドレイン電流・電圧特性比較、右 : GOS ドレイン電流・電圧特性のゲートバイアス依存性. (T. Suemitsu et al., 17th European Heterostructure Technology Workshop, Venice, Italy, pp. 135-136, Nov. 3-5, 2008.)

デバイスモデリングに関しては、研究分担者・リズィヴィクトールのオリジナルによりディラックフェルミオン・キャリア輸送型デバイスモデリングの開発を進めるとともに、プラズモン共鳴型デバイスのモデリングも行い、デバイス・回路設計のための基盤技術構築を図るとともに、デバイス・回路シミュレータへと展開する。平成 20 年度は、ディラックフェルミオン・キャリア輸送型デバイスモデリングの開発を重点的に進め、単層グラフェンナノリボンチャンネル FET<sup>[1-3]</sup>、ならびに 2 層グラフェンチャンネル FET の直流ならびに高周波 AC 解析用モデル<sup>[4]</sup>の構築を行い、動作特性の解析のための定式化を行なった (図 3)。今後は、トランジスタ動作に最適なグラフェンデバイス構造を検討し、平行して佐野グループと共同で回路シミュレータへの実装を進める。また、高精度モンテカルロシミュレータあるいは運動論的方程式に基づくシミュレータの構築を行う。

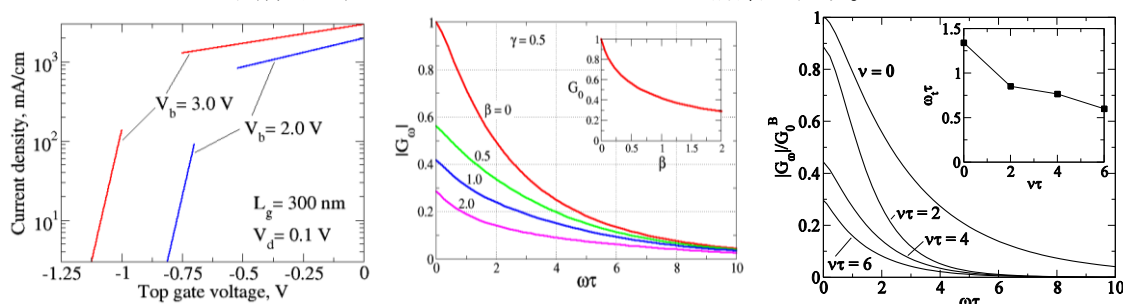


図 3. グラフェンナノリボンチャンネル FET (左、中) における動作特性<sup>[1-3]</sup>. 左: DC ドレイン電流のゲートバイアス依存性、中: AC トランスコンダクタンスの周波数依存性 (挿入図は DC トランスコンダクタンスの電子衝突パラメータ依存性)、右: 二層グラフェンチャンネル FET における AC トランスコンダクタンスの周波数依存性<sup>[4]</sup>.

CGOS 論理ゲートの開発に関しては、GOSFET の最適化構成法の検討と Si-CMOS に対する速度性能優位性の検証、ならびに研究分担者・佐野栄一と研究代表者・尾辻泰一のオリジナルによる CGOS 論理ゲートの構造設計を行う。平成 20 年度は、まず、強束縛(TB: Tight binding)法を用いてグラフェン・ナノリボンのエネルギーバンド構造を計算し、FET チャンネルに適した構造はナノリボン (ナノメートルオーダーの極狭窄リボン) ではなく、幅広 (数十 nm 以上) のアームチェア型二層グラフェンであることを明らかにした<sup>[5]</sup> (図 4)。これは、当研究計画で掲げる数十 nm 級のナノリボン化が実用上機能することの裏付けとなる結果である。また、ドリフト・拡散近似の 2 次元デバイスシミュレータを開発し、GOSFET の短チャンネル効果と動作速度を解析した結果、Si-SOI MOSFET および Si-DG (double gate) MOSFET の ITRS 値より一桁高い速度性能を達成できる見通しを得た。更に、GOSFET による相補的論理動作を得る回路構成として、電子・ホール伝導の遷移電圧 ( $V_{th}$ ) が異なる二種類の FET を縦型接続した相補型論理回路を考案した。回路解析の結果、当初予測しなかった新たな非平衡動作モードの可能性を見出した。そこで、Si MOSFET を用いた擬似アンバイポーラゲートによって実験的に相補型論理回路の入出力特性を評価したところ、上記モードの存在が示唆された。今後は、安定な CGOS 動作実現のための回路構成法の検討ならびに、CGOS 論理ゲートの設計・試作を推進する。

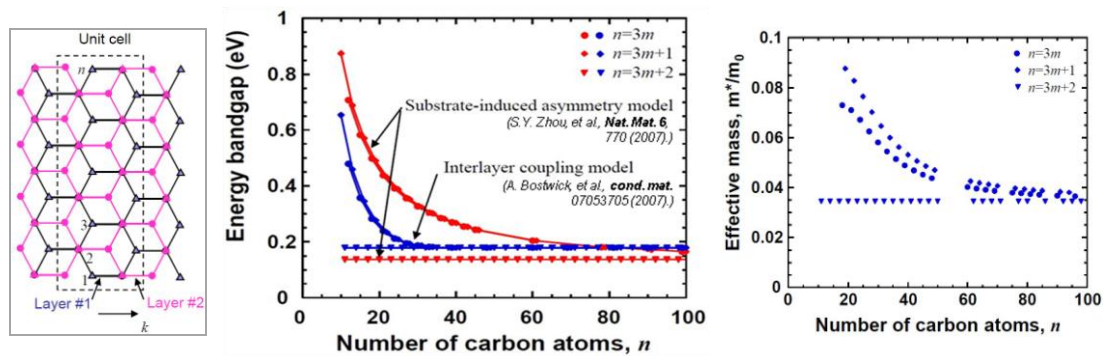


図4. 強束縛法によるバイレイヤーグラフェンのエネルギーバンド、有効質量計算結果<sup>[5]</sup>.

PRGOS デバイスの開発に関しては、キャリア輸送型電子デバイスの速度性能限界を打破しうるプラズモン共鳴という新しい動作原理に立脚したプラズモン共鳴型デバイスに、質量消失効果を有するグラフェンチャンネルを導入することにより、従来不可能であったシリコンベースの室温動作テラヘルツ帯電磁波発生デバイスを開発する。平成 20 年度は、19 年度に定式化したグラフェンチャンネルのテラヘルツ帯プラズモン共鳴特性の実験的な検証のための試料設計・作成を行った。グラフェンの高い移動度を考慮して、室温でも共鳴特性が観測可能なマイクロオーダーの共振器サイズとしてグラフェンリボンパターン加工した。21 年度早々に、テラヘルツ ATR (Attenuated Total Reflection : 全反射減衰) 測定法 (京都大学理学研究科 : 田中耕一郎教授のご協力による) を用いて、時間分解による過渡応答測定を実施する。さらには、PRGOS の有効性を検証するために GOSFET を基本構造とするプラズモン共鳴型テラヘルツエミッターの試作評価を進める。

### 3. 研究実施体制

#### (1)「GOS/PRGOSデバイス(尾辻泰一)」グループ

① 研究分担グループ長: 尾辻 泰一 (東北大学、教授)

② 研究項目

グラフェン・オン・シリコン (GOS) デバイスならびにプラズモン共鳴型 GOS (PRGOS) テラヘルツデバイス技術の開発

#### (2)「GOS プロセス(末光真希)」グループ

① 研究分担グループ長: 末光 真希 (東北大学、教授)

② 研究項目

グラフェン・オン・シリコン (GOS) プロセス技術の開発

#### (3)「GOSモデリング(リズィーヴィクトール)」グループ

① 研究分担グループ長: RYZHII Victor (会津大学、教授)

② 研究項目

グラフェン・オン・シリコン (GOS) デバイスマデリング技術の開発

#### (4)「CGOSロジック(佐野栄一)」グループ

① 研究分担グループ長:佐野 栄一 (北海道大学、教授)

② 研究項目

相補型グラフェン・オン・シリコン(CGOS)論理集積回路技術の開発

#### 4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. V. Ryzhii, M. Ryzhii, A. Satou, and T. Otsuji, "Current-Voltage Characteristics of a Graphene Nanoribbon Field-Effect Transistor," J. Appl. Phys., Vol. 103, pp. 094510-1-8, May 2008.
2. V. Ryzhii, M. Ryzhii, and T. Otsuji, "Thermionic and tunneling transport mechanisms in graphene field-effect transistors," Physica. Status Solidi (a), Vol. 205, No. 7, pp. 1527-1533, May 2008.
3. V. Vyurkov and V. Ryzhii, "Effect of Coulomb scattering on graphene conductivity," JETP Lett., Vol. 88, No. 5, pp. 370-373, September 2008.
4. M. Ryzhii, A. Satou, V. Ryzhii, and T. Otsuji, "High-frequency properties of a graphene nanoribbon field-effect transistor," J. Appl. Phys., Vol. 104, No. 11, pp. 114505-1-6, December 2008.
5. E. Sano and T. Otsuji, "Performance prediction of graphene-channel field-effect transistors," Jpn J. Appl. Phys., Vol. 48, pp. 011604-1-4, 2009.
6. Y. Yamamoto, K. Asaoka, M. Suemitsu, "Initial oxidation of Si(110) as studied by real-time synchrotron-radiation x-ray photoemission spectroscopy," J. Vac. Sci. Technol. B, Vol. 27 pp.547-550, Feb. 2009.
7. Yu Miyamoto, Hiroyuki Handa, Eiji Saito, Atsushi Konno, Yuzuru Narita, Maki Suemitsu, Hirokazu Fukidome, Takashi Ito, Kanji Yasui, Hideki Nakazawa and Tetsuo Endoh, "Raman-Scattering Spectroscopy of Epitaxial Graphene Formed on SiC Film on Si Substrate," e-Journal of Surface Science and Nanotechnology, Vol. 7 pp. 107-109, Feb. 2009.

(2) 特許出願

平成 20 年度 国内特許出願件数 : 1 件 (CREST 研究期間累積件数 : 2 件)