

「ディペンダブル VLSI システムの基盤技術」
平成 20 年度採択研究代表者

米田 友洋

国立情報学研究所・教授

ディペンダブルネットワークオンチッププラットフォームの構築

1. 研究実施の概要

集積システムの微細化・大規模化が進むにつれ、さまざまなアプリケーション製品の高機能化が図られ、VLSI 内収容コア数は急速に増加することになり、その実現はますます難しくなる。まず、チップ内長距離配線の伝送速度低下や伝送障害、配線困難性、配線間干渉等の問題が生じる。また、高速クロックのネットワーク全域への分配困難性や、アイドルネットワーク部の電力消費も大きな問題である。これらを解決するために、GALS-NoC(Globally Asynchronous Locally Synchronous-Network On Chip)方式が研究されるようになってきたが、依然としていくつかの大きな問題がある。単なるコアの寄せ集めによる冗長・不要部分の増加や、微細化によるコア内の局所的な性能劣化等である。前者は、チップの物理的、コスト的な実現性を難しくし、後者はマージン増加による性能低下と信頼性低下を引き起こす。このような問題が及ぼす影響は、プロセスのテクノロジーが進み、微細化が進むにつれてより大きくなることに注意しなくてはならない。そこで、プロセスの微細化により悪影響を受けるのではなく、その恩恵を十分に享受できるプラットフォームの開発が非常に重要になりつつある。このようなプラットフォームとして、我々は「多数のコアが適応的に協調動作して異種多様なタスクを効率よく実行できるプラットフォーム」を考え、それを新しい技術に基づく NoC システムとして実現することを目指している。

平成 20 年度は、高アダプタビリティ・高性能・高ディペンダビリティ実現のための要素技術の基礎的検討として、ハードウェアレベルでの動的局所的な性能劣化検出機構および自律的な劣化部分回避機構の検討、プロセッサコアレベルでの自律的なタスク・プロセッサコア割当変更機構の基礎的検討、NoC ルータの解析と同期式・非同期式実現の検討、Simulink 記述からの NoC 用高位合成システムの基礎的検討、および、多値データ転送の効率化方式の検討を行い、また、実験基盤の整備として、各種非同期式回路用セル、ばらつき評価用セル等の開発を行った。評価・実証用 NoC プロトタイプ設計については、カーメーカ、関連メーカとの NDA 締結を含む連携準備を行い、エンジン・車体系の物理モデル、シミュレーション環境の調査を行うことで、具体的アプリケーション選定の足がかりを作った。

平成 21 年度は、引き続き要素技術の具体的検討を続けるとともに、実際の車載制御等で用いられている CPU コアとそのネットワークインタフェースを実装し、エンジン制御等のアプリケーションを HILS(Hardware In the Loop Simulator)システムを用いて動作させる環境を準備する予定である。

2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

平成 20 年度は、高アダプタビリティ・高性能・高ディペンダビリティ実現のための要素技術に関しては、主に基礎的検討および実験基盤の整備を行い、NoC プロトタイプ的设计・試作実験については、具体的アプリケーション選定の足がかりを作った。それぞれの概要は以下の通りである。

(1) 要素技術に関する基礎的検討と実験基盤の整備について

まず、同種の計算を並行的に行うようなアプリケーションに対して、図1のようにデータを演算器に流し込むような計算アーキテクチャを想定し、そのうえで、演算器の劣化に耐える仕組みをハードウェア的かつ自律的に行う機構について検討した。

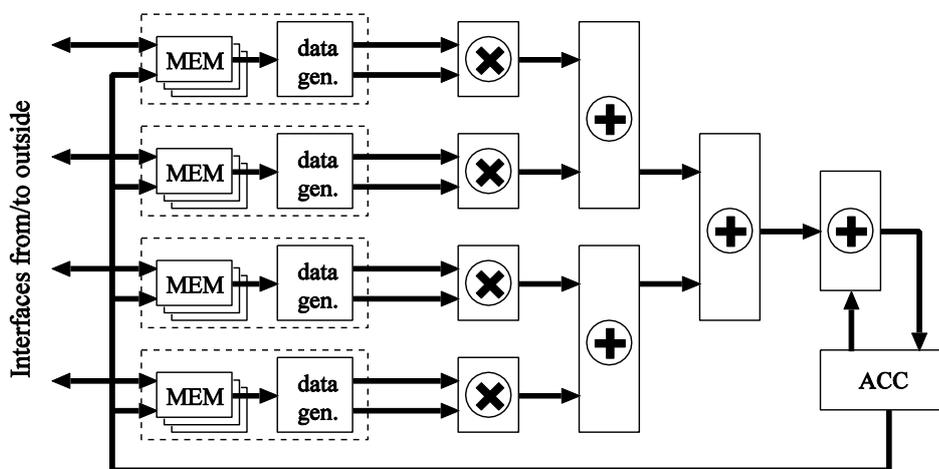


図1

まず、これらの演算の制御を非同期式に行うことで、演算器の劣化による突然の誤動作を防ぐことができる。しかし、データが送り込まれる演算器が固定の場合、一つの演算器が劣化しただけでも、全体の計算完了時刻は確実に遅れる。そこで、図2のように、データが任意の演算器に割り当て可能なように、ルータを設け、さらに、非同期式回路の特性を生かして、応答信号の帰ってきている側にデータを送るというルーティングを考案した。

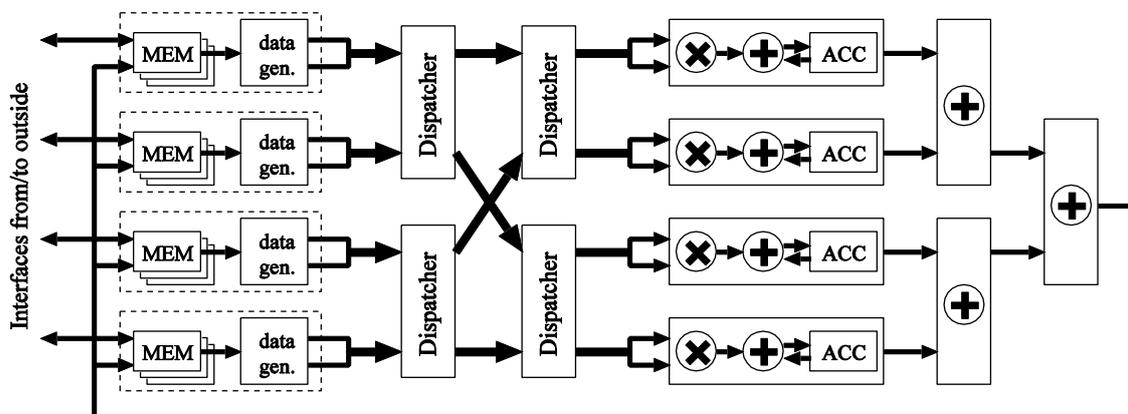


図2

この方式を、32 元線形連立方程式ソルバに応用し、130nm プロセスで配置配線したモデルにおけるシミュレーションを行い、動作を確認するとともに、演算器に遅延を挿入することで、劣化故障を模擬した結果、自立的な耐劣化機構が良好に動作することを確認した。図3は、この一例を示したもので、図1の従来手法(赤の棒グラフで表示)では、演算器が劣化していない場合(左)、1台の演算器が劣化している場合(中央)、2台の演算器が劣化している場合(右)において、演算に要する時間(相対時間で表示)が増加していくのに対し、図2の提案手法(青の棒グラフで表示)では演算時間がほとんど変わっていない。この設計に対して図4(a)のように試作を行った。この結果は、”Achieving degradation tolerance in a hardware accelerator with parallel functional units”として、国際ワークショップに投稿中である。

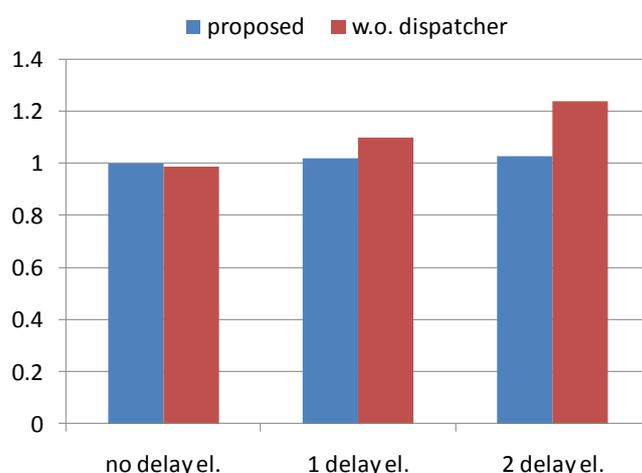


図3

次に、非同期式回路を実現する上で必要となる、各種 C 素子、非同期式アービタ、各種遅延素子等のライブラリセルを作成し、チップ試作した。また、図4(b)のように、プロセスパラメータのばらつき評価を目的として、各種遅延素子による発振回路 256 個を実装したチップを試作した。

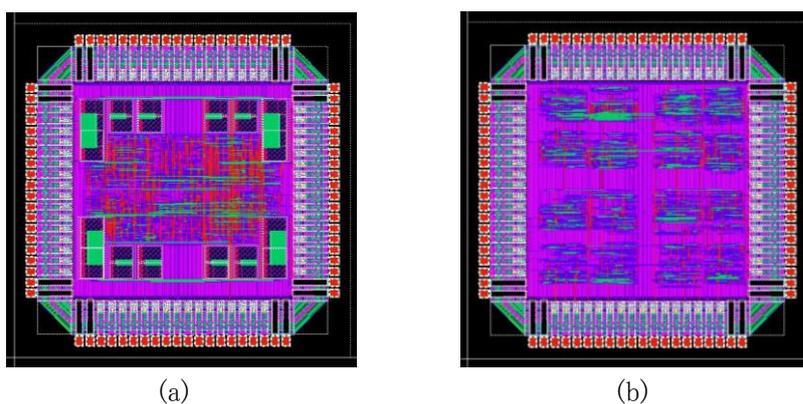


図4

さらに、ネットワークオンチップの通信部分への活用を目的とした、多値通信の研究を推進する前段階として、ルータ間多値転送回路のプロトタイプ試作を行なった(図5)。これは、非同期通信方式の一つである Single Track 方式と呼ばれる転送方式を電流モードで実現したものであり、少ない配線本数で非同期的な転送が可能となる。これを電流モードにより実現することで、高速な転

送動作が実現できることを確認した。

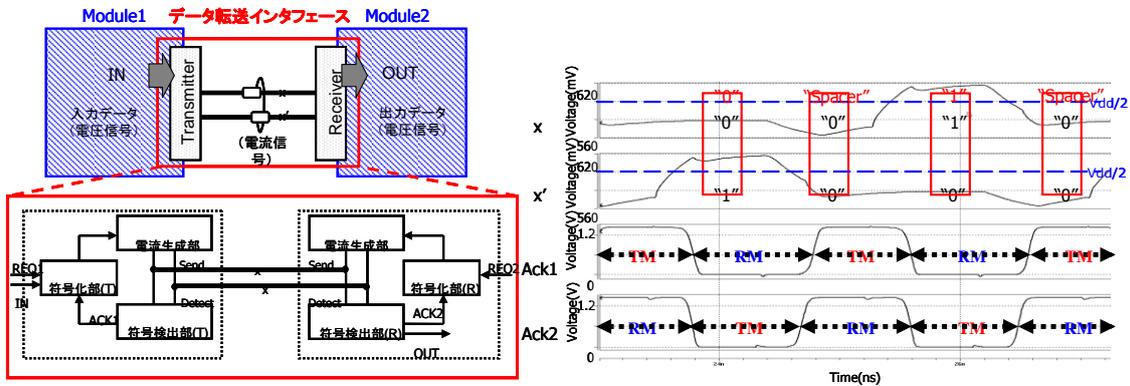


図5

また、将来に向けた多値回路の自動配置配線を可能とする設計プロセス(図6)を確立し、それを具体的なアプリケーションに適用した。今回の試作では、多値電流モードによる多ビット乗算器を試作し、人手による配置配線が必要となる従来手法に比べて効率的に多値回路の設計を実現することができた。

このほか、プロセッサコアレベルでの自律的なタスクプロセッサコア割当て変更機構の基礎的検討、NoC ルータの解析と同期式・非同期式実現の検討、Simulink 記述からの NoC 用高位合成システムの基礎的検討(図7)を行った。

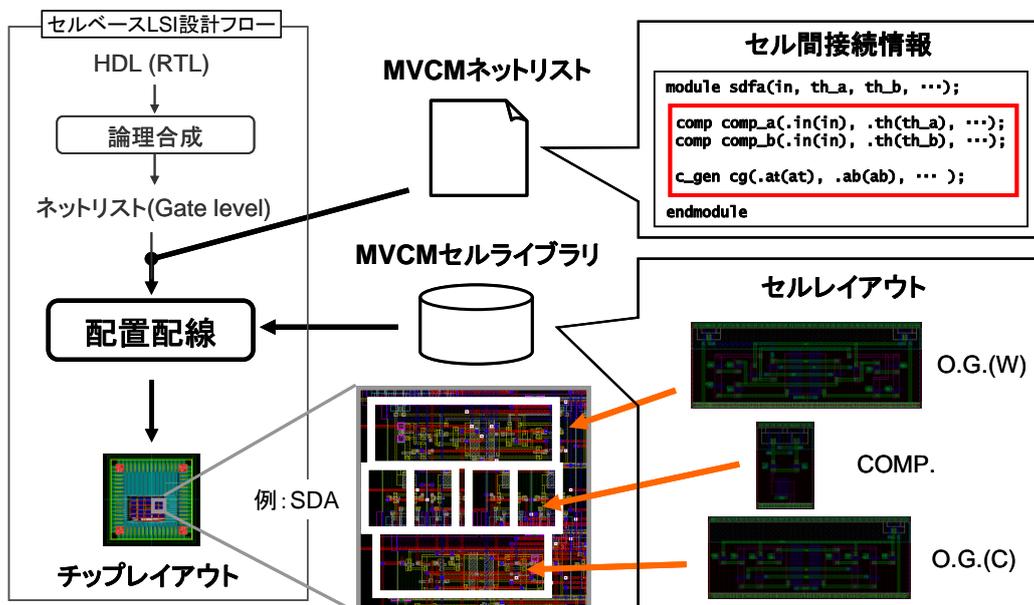


図6

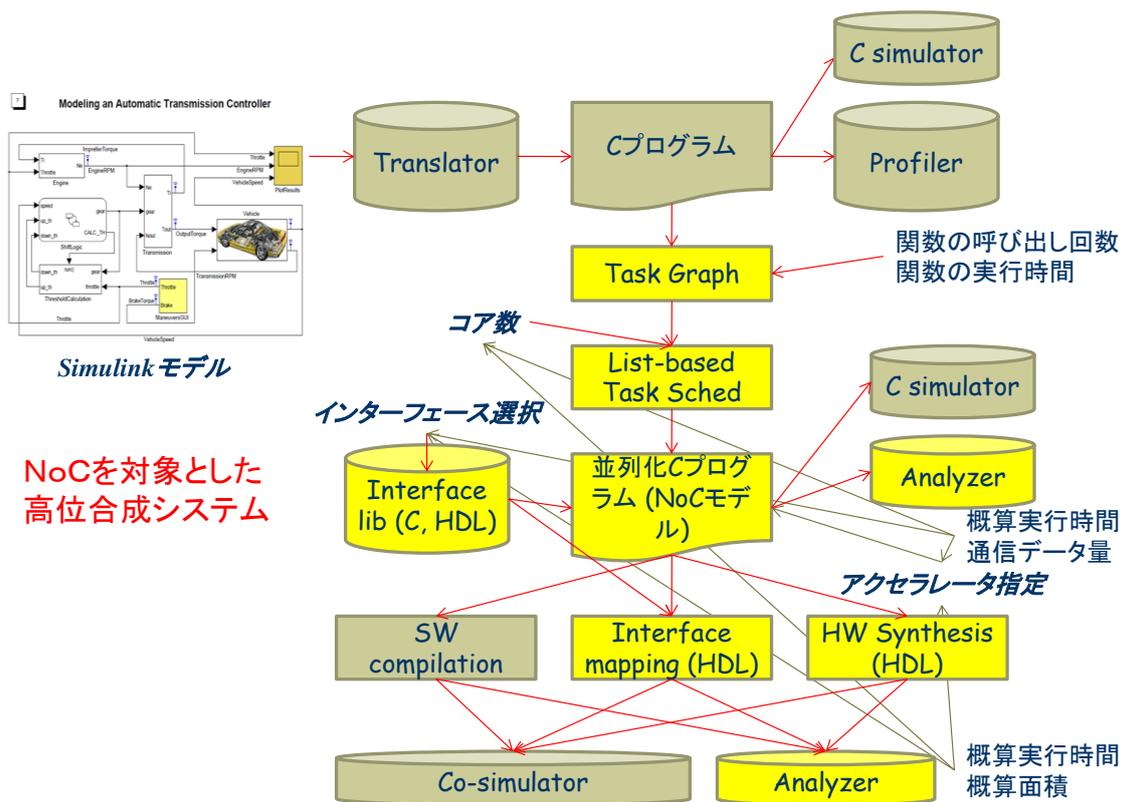


図7

(2) NoC プロトタイプに関する検討について

NoC プロトタイプの具体的なアプリケーションを選定するために、カーメーカー社と情報交換を定期的に行うことで連携することで合意し、NDAを締結した。また、カーエレクトロニクス関連メーカを訪問し、今後の連携について協議した。さらに、エンジン・車体系の物理モデル、シミュレーション環境の調査を行い、より具体的な環境でエンジン制御等の評価が行える見通しを得た。

3. 研究実施体制

(1) 「NII」グループ

① 研究分担グループ長: 米田 友洋

(大学共同利用機関法人 情報・システム研究機構 国立情報学研究所、教授)

② 研究項目

(ア) モジュール再割り当て技術の基礎

(イ) プロトタイプ設計・製作における仕様決定

(ウ) ハードウェアアクセラレータの実現

(2) 「東大」グループ

① 研究分担グループ長: 今井 雅(東京大学、特任准教授)

② 研究項目

- (ア) データパス符号化のための符号化技術
- (イ) 非同期式回路各種セルライブラリの制作・整備
- (ウ) NoC ルータの基礎的検討

(3)「東北大」グループ

- ①研究分担グループ長:松本 敦(東北大学、助教)
- ②研究項目
 - (ア) 多値通信技術
 - (イ) 多値セルベース設計フローの確立

(4)「会津大」グループ

- ①研究分担グループ長:齋藤 寛(会津大学、准教授)
- ②研究項目
 - (ア) 高位合成技術
 - (イ) NoC ルータの基礎的検討

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. Naoya Onizawa and Takahiro Hanyu: Robust Multiple-Valued Current-Mode Circuit Components Based on Adaptive Reference-Voltage Control, Proc. 39th IEEE International Symposium on Multiple-Valued Logic, Okinawa, Japan, May 2009 (accepted).
2. Yo Ohtake, Naoya Onizawa, and Takahiro Hanyu: High-Performance Asynchronous Intra-Chip Communication Link Based on a Multiple-Valued Current-Mode Single-Track Scheme, Proc. 2009 IEEE International Symposium on Circuits and Systems, Taipei, Taiwan, May 2009 (accepted).
3. Masashi Imai, Kouei Takada, and Takashi Nanya: Fine-grain Leakage Power Reduction Method for m-out-of-n Encoded Circuits Using Multi-Threshold-Voltage Transistors, Proc. Async 2009, May, 2009 (accepted).

(2) 特許出願

平成 20 年度 国内特許出願件数 : 1 件 (CREST 研究期間累積件数 : 1 件)