

「ディペンダブル VLSI システムの基盤技術」  
平成 20 年度採択研究代表者

梶原誠司

九州工業大学大学院情報工学研究院・教授

フィールド高信頼化のための回路・システム機構

## 1. 研究実施の概要

本研究では、VLSI 出荷後の運用時に発生する問題に対処することにより VLSI のフィールドでの高信頼性を確保することを目的とした、論理回路の劣化検知、その結果の活用を含めた VLSI の自己テスト、および、自己修復に関する技術を研究開発する。これらは、外部からの LSI テスタを用いずにシステムのパワーオン・パワーオフ時を利用した自己テストによる実施を前提とする。システムは、本技術を用いて VLSI の劣化を故障発生以前に検知でき、用途に応じて、システムの予防的な停止あるいは自己修復を行うことが可能となる。

研究の技術目標として以下に示す  $D \cdot A \cdot R \cdot T$  という 4 つの指標を設け、順次、各指標を向上させる技術を開発していく。

$D$ (取扱い可能な劣化要因の比率)、 $A$ (測定精度により検出可能な比率)、 $R$ (修復可能な比率 × 修復による MTTF 増加比率)、 $T$ (パワーオン・パワーオフテストによる検出率)

本年度は、このうち、 $D$  および  $A$  の向上に関し、以下の研究を行った。

### 1. 劣化検知箇所選定とテストパターン評価

限られた時間で効率的にテストを行うために、エレクトロマイグレーションと NBTI を題材に、劣化検知の優先的なテスト対象箇所を検討。またテストパターンの測定精度の評価手法を検討。

### 2. SoC/NoC のフィールド高信頼化テスト手法(劣化要因によらない網羅的テスト)

高精度なタイミング測定精度で遅延故障テストを行うために、テスト時の温度変動によるダイレイ変動を制御する技術を、熱シミュレータを用いて検討。また NoC のテスト手法を検討するために、非同期インターコネクト回路モデル、故障モデルに関する調査を実施。

### 3. 補正を伴う劣化判定

テスト時の測定遅延値が温度、電圧等の環境変化で大きく変動するため、その測定値補正法を、回路シミュレータを用いて検討。また環境変化と劣化の相関に基づいた劣化判定方法の精度を評価。

### 4. パワーオン・パワーオフテストを実現する全体制御技術

各要素技術を SoC/NoC で実現する DFT 回路の階層構造と階層間インタフェースを検討。

本年度の以上の研究により、システムのパワーオン・パワーオフ時を利用した自己テストの、次の基本的な方針の妥当性を確認できた。

(1) 代表的な劣化モードに対しては優先的にテストを行い、劣化要因によらない網羅的テストと組み合わせることで、システム空き状態の限られた時間で効率的なテストを行う。

(2) テスト時の温度制御、および、測定遅延値の温度変化等を補正することにより、高精度な劣化遅延の判定を行う。

今後、実際のシステムのアプリケーション調査を通じて、より具体的な目標設定と、実用化へ向けた研究を推進予定である。

## 2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

### 1. 劣化検知箇所選定とテストパターン評価

システムの空き状態を使った限られた時間内で効率的にテストを行うために、エレクトロマイグレーションと NBTI を題材に、劣化検知の優先的なテスト対象箇所を検討。またテストパターンの測定精度の評価手法を検討した。テストの効率化については、代表的な劣化モードに対しては、遅延値増加を精密に測定する高精度なテストを優先的にを行い、劣化要因によらない網羅的テストと組み合わせることで、効率的なテストを行うことを目指している。海外デバイス研究者との交流を含む調査検討の結果、PMOS の NBTI (負バイアス温度不安定性) や NMOS の HCI (ホットキャリア注入効果) については、劣化により遅延増加が電圧バイアス時間の  $\alpha$  乗 ( $\alpha$  は 0.16~0.45) に比例するため、前者の精密なテストを行うこととし、銅配線プロセスでの配線やビアのエレクトロ/ストレスマイグレーション等によるボイド等については、主金属が切れてもバリアメタルにより導通があり、抵抗増加はわずかなため、後者の網羅的テストを行うことにした。

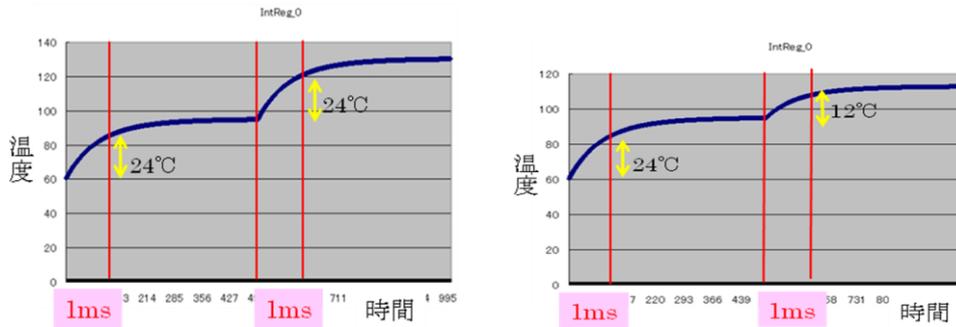
本年度は NBTI について複数のサンプル回路を調査した。NBTI は、通常動作で Duty Cycle (トランジスタがオンで、チャンネルが形成されている状態、すなわち負バイアス状態の時間比率) が 8 割を超えると劣化の進捗が急激に大きくなる。調査回路では、8 割を超える回路が 30~50% になるものが多いことが分かり、精密なテストについてテスト対象箇所を絞ることが有効と分かった。また、テスト対象以外に関係するテストパターンのビット値を、遷移遅延故障を対象に評価するが、パワーオン・パワーオフテストは BIST (組み込み自己テスト) によるため、ドントケアまたは不定値を表す X を含むテスト圧縮可能なテストパターンであることが望ましい。そこで、0, 1, X の 3 値で表された入力パターンに対するテスト品質評価手法を開発した<sup>[1]</sup>。

### 2. SoC/NoC のフィールド高信頼化テスト手法

特定の劣化要因、故障要因を考慮せず、回路遅延の増加として現れるあらゆる劣化や故障を対象とするフィールドテストの研究を進めている。フィールド運用時の微小な遅延の増加を検知するためには、高精度なタイミング測定精度での遅延故障テストの実現が不可欠である。しかし、論理パスの遅延は、温度変動により大きく変わることが知られている。そこで本研究では、テスト時の温度変動を一定にすることで、ディレイ変動を制御する技術の確立を目指している。

本年度はまず、SoC/NoC に関するテスト時の温度変化を解析する目的で、SoC/NoC の部品であるコア単体の、消費電力と温度変化を熱シミュレーションにより解析した。例題としたプロセッサ

回路中の1コアに対する実験では、温度が1msで急激に上昇すること、また最終安定温度が消費電力に比例することを確認した(図 2-1)．SoC/NoC ではコア間の温度バラツキも伴うので、温度変化は更に増大すると予想される．パワーオン・パワーオフテストは、数msという短い時間内に実行することを目指しているため、このような不安定な温度状態が測定精度に大きく影響を与えることが分かった．今後は、SoC/NoC 全体に対し、テスト時の温度を一定にするための入力パターン、テストアーキテクチャを提案し、高精度なフィールドテスト実現へと発展させていく．



(a) 消費電力を4w→8w の場合

(b) 消費電力 4w→6w の場合

図 2-1. コア単体に対する消費電力と温度変化

また NoC のテスト手法を検討するために、これまでに提案されている非同期インターコネクト回路モデル、それらに関するテスト容易化設計法、テスト生成法に関して調査を行った．

### 3. パワーオン・パワーオフテストを実現する全体制御技術

各要素技術を SoC/NoC で実現する DFT 回路の階層構造と階層間インタフェースを検討．

各研究チーム間の切り口を明確にし、アプリケーション実装時の枠組みを明確化するために図 3-1 に示す全体制御構造を定めた．全体は、上位の制御階層、実際のテストを担当する論理階層、測定に専念する物理階層に分けた．測定履歴を参照した劣化判定は制御階層で行う必要があること、論理階層は従来のテスト設計用 DFT 回路の拡張となること、物理階層は新規の測定用 IP (Intellectual Property) として各論理コア内に搭載する必要があることが明確になった．

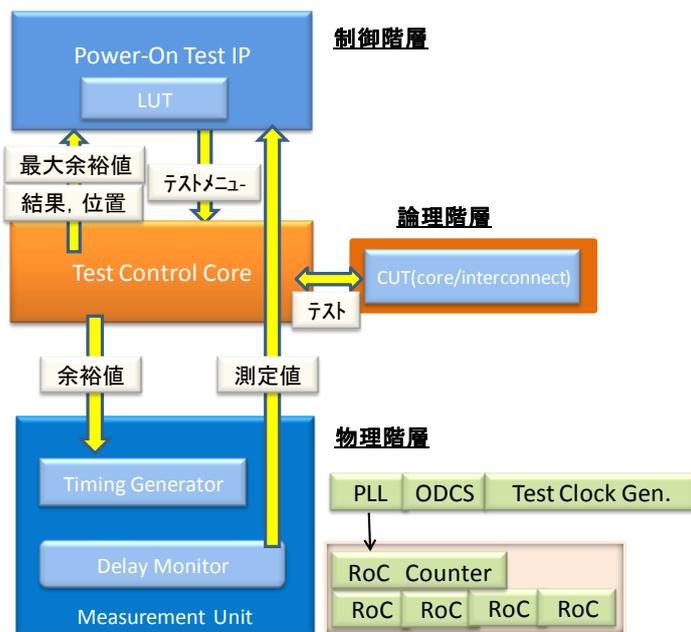


図 3-1 全体制御のDFT回路構造とインタフェース

技術レベルについて:

近年、システムにおいて劣化状態を検知する手法はいくつか提案されてきている。回路的に信号の不安定状態をモニタする技術や、生産テストで用いた BIST 技術を殆どそのままシステムで用いる方法が主流であり、本手法のように、実用化のためにシステムの要件を考慮し、熱変動等のテスト環境条件の補正や、テスト時間の積極的に短縮を行うアプローチはまだない。今後、実際のシステムのアプリケーション調査を通じて、より具体的な目標設定と、実用化へ向けた研究を推進予定である。

### 3. 研究実施体制

#### (1)「九工大」グループ

① 研究分担グループ長: 梶原 誠司(九州工業大学大学院、教授)

#### ② 研究項目

- ・ 劣化検知を行う際の測定対象箇所選択手法
- ・ パワーオン・オフテストで用いるテストパターンのテスト品質評価
- ・ 補正を伴う劣化判定手法

#### (2)「奈良先端大」グループ

① 研究分担グループ長: 藤原 秀雄(奈良先端科学技術大学院大学、教授)

#### ② 研究項目

- ・ SoC/NoC フィールド高信頼化テスト手法
- ・ 非同期インターコネクトテスト
- ・ SoC/NoC 熱解析

#### (3)「首都大」グループ

③ 研究分担グループ長: 三浦 幸也(首都大学東京、准教授)

#### ④ 研究項目

- ・ NAND 型リング発振器の温度・電圧特性と発振周波数への影響調査
- ・ 論理パスモデルの温度・電圧特性とトランジスタ劣化による遅延時間への影響調査

### 4. 研究成果の発表等

#### (1) 論文発表 (原著論文)

1. S. KAJIHARA, S. OKU, K. MIYASE, X. WEN, Y. SATO, “On Calculation of Delay Range in Fault Simulation for Test Cubes”, the 2009 International Symposium on VLSI Design, Automation, and Test (VLSI-DAT), Hsinchu, Taiwan, April 27-29, 2009. (accepted)

#### (2) 特許出願

平成 20 年度 国内特許出願件数：0 件（CREST 研究期間累積件数：0 件）