

「情報システムの超低消費電力化を目指した技術革新と統合化技術」  
平成 18 年度採択研究代表者

高木 直史

名古屋大学大学院情報科学研究科・教授

単一磁束量子回路による再構成可能な低電力高性能プロセッサ

## 1. 研究実施の概要

超伝導単一磁束量子 (SFQ) 回路による再構成可能な大規模データパス (RDP) を有するプロセッサの基盤技術の確立を目指し、RDP アーキテクチャ技術の確立、SFQ 回路による再構成可能な回路の構成法の開発、SFQ-RDP に適した算術演算ユニットの構成法の開発、SFQ 論理回路設計技術の開発、SFQ 回路プロセスの高度化及び高信頼化を行っている。本年度は以下の研究を行った。

RDP アーキテクチャ技術に関しては、科学技術計算向けライブラリ等を対象としてアプリケーション分析を行い、計算量およびメモリアクセス回数の見積りを行った。また、アプリケーション・プログラムからデータフローグラフ抽出のための仕様決定、ならびに、データフローグラフを入力とする RDP マッピングツールを開発した。さらに、RDP の詳細アーキテクチャ検討のために性能評価環境の開発に着手した。

再構成可能な回路の構成法に関しては、スイッチネットワークについて検討を行い、大規模 RDP 用にクロスバ型、実証用小規模 RDP 用にマルチプレクサ型を用いることにした。また、平成 20 年度目標の 2x2RDP の設計を先行して行い、23GHz までの正常動作を確認した。算術演算ユニットに関しては、浮動小数点加算器、乗算器のクロッキング法、回路アーキテクチャを検討し、基本アーキテクチャを決定した。従来の 2 $\mu$ m プロセスの使用を前提に、半精度ビットシリアル浮動小数点加算器と乗算器の設計を行い、それぞれ、20GHz、25GHz のクロックでの動作が可能なことを示すとともに、演算器の回路コンポーネントの設計、試作を行い、機能動作の実証を行った。

論理回路設計技術および SFQ 回路プロセスの面では、本年度よりプロセスの研究者を加え、超伝導工学研究所の 1 $\mu$ m 多層配線プロセスを用いた新しいデバイス構造を決定した。これに基づく論理セルライブラリの開発を開始し、基本論理セルおよび超伝導配線用駆動回路、受動回路を開発した。さらに、回路設計ツールの開発の基本方針を決定し、自動配線ツールをまず重点的に開発することとし、受動配線技術を前提とした SFQ 回路向けの配線アルゴリズムを検討し、自動配線

ツールを試作した。また、2um 標準プロセスの高信頼化を図った。

## 2. 研究実施内容

(文中にある参照番号は4.(1)に対応する)

### 1. RDP アーキテクチャ技術

RDP アーキテクチャを決定するため、以下の三つの項目について研究、開発を行った。

#### ① 科学技術計算向けライブラリ等を対象としたアプリケーション分析

数値計算ライブラリの RDP の適用可能性分析として、Runge-Kutta 常微分方程式解法や Simpson の積分公式、更に、定数係数 2 階偏微分方程式に対する差分法計算の RDP へのマッピングならびに計算量およびメモリアクセス回数の見積りを行い、計算が可能であることを示した。

#### ② データフローグラフ抽出のための仕様決定ならびにマッピングツールの開発

対象アプリケーションからの RDP 計算箇所抽出のためのディレクティブ仕様ならびに抽出されたデータフローグラフ(DFG)の仕様を決定した。更に DFG の分割マッピングプログラムを作成し、現在は検証を行っている。

#### ③ RDP 性能評価環境の開発

RDP の詳細アーキテクチャ検討のために性能評価環境開発に着手した[1]。汎用プロセッサ部分は SimpleScalar で、RDP 部分についてはモデル式により実行時間を求める環境を構築した。適用実験として二電子積分計算を対象とした全実行時間の見積りを行い、現状の積分計算アルゴリズムをそのまま適用した場合でも、12.8GB/sec のメモリバンド幅を持つシステムでは 65%もの計算時間削減が可能であることを示した。

### 2. 再構成可能な回路および算術演算ユニットの構成法

#### ① 再構成可能な回路の構成法

SFQ-RDP の ALU 間を結ぶ SFQ スイッチネットワークについてクロスバ型及びマルチプレクサ型の性能予測と比較検討を行い、大規模 RDP 用にクロスバ型、実証用小規模 RDP 用にはマルチプレクサ型を用いることにした。また、SFQ-RDP の設計では、平成 20 年度目標の 2x2RDP の設計を先行して行った[2]。ただし、ALU は、実績を重んじ従来の設計手法のものを用いた。その結果、連続する ALU 間のタイミング調整が極めて重要なことがわかった。今回、ラッチ回路を新たに挿入することによりタイミング調整を行った結果、23GHzまでの2x2RDPの正常動作を確認した。

#### ② 算術演算ユニットの構成法

2um 標準プロセスの使用を前提に、SFQ-RDP のための浮動小数点加算器、乗算器のクロッキング法、回路アーキテクチャを検討した。これにより、SFQ 浮動小数点演算器の回路アーキテクチャと回路規模、性能、ならびに消費電力の関係を明らかにし、SFQ 浮動小数点加算器、乗算器の基本アーキテクチャを決定した。また、2um 標準プロセスを用いて半精度ビットシリアル浮動小数

点演算器の詳細設計を行い、シミュレーションにより加算器、乗算器についてそれぞれ、20GHz、25GHzのクロックスピードでの動作が可能なことを示した。更に、演算器の回路コンポーネントの設計、試作を行い[3]、浮動小数点加算器用11ビット加算器ならびに浮動小数点乗算器用4ビット乗算器の機能動作の実証を行った。

### 3. 論理回路設計技術およびSFQ回路プロセス

#### ① 1 $\mu$ m多層配線プロセス開発

昨年度指摘されたアドバンスプロセスの課題であるSFQ回路駆動電流による磁場への耐性を高めるべく、デバイス構造そのものの検討を行い、新しいデバイス構造の提案(図1)とそれを実現するためのプロセス(多層配線プロセス)の開発を行った。このデバイス構造では、膜厚を増加させたグラウンド面[4]とともに、磁場に敏感な接合部を含むアクティブ層と電源層との間にストリップライン構造の2層の受動配線(PTL)層を配置することにより、上記磁場の影響を大幅に低減させている。ただし、この構造では、接合直下に配線やコンタクトパターンが配置されるため、高品質な接合の作製に不可欠な

接合下層の表面平坦性に課題が生じる。この点を解決するため、新たに完全平坦化層を開発し、図中M6およびM7層間の平坦化プロセスを導入した。この結果、下層のパターンの有無に係らず、良好な特性を持つ接合を再現性良く得られることを確認した。その他、配線リーク、断線等の欠陥もほとんどないことを確認した。

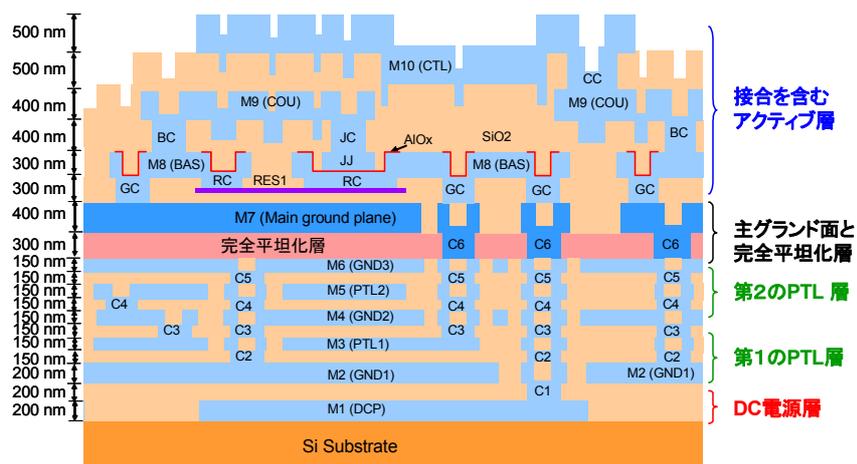


図1 多層配線プロセスの新デバイス構造

#### ② 論理セル・配線技術開発

①で述べた新しいデバイス構造に基づいた論理セルライブラリの開発を開始した。新多層配線デバイスのインダクタンス抽出を行うとともに、SFQ回路入出力セルおよび超伝導受動配線用ドライバおよびレシーバの設計を行い、十分な動作余裕を得ることができた。また、いくつかの基本論理セルを設計した。

#### ③ 論理回路設計ツール

回路設計ツールの開発の基本方針を決定し、自動配線ツールをまず重点的に開発することとした。超伝導受動配線技術を前提としたSFQ回路向けの配線アルゴリズムを検討し、自動配線ツールを試作した。試作ツールを従来の2 $\mu$ m標準プロセスの実設計データに適用し、設計支援に有

用であることを示した。また、1 $\mu$ m アドバンスプロセスについて、論理セルおよび配線の開発状況を参考にパラメータを見積り、配線方式を検討した。

#### ④ 2 $\mu$ m プロセス高信頼化

2. で述べた SFQ 回路の試作とともにプロセス評価チップおよびプロセス評価用シフトレジスタの試作を行い、これらの測定評価結果に基づいて問題点を把握し、その対策を行うとともにプロセス条件の最適化を行った。その結果、断線やショートなどの欠陥率の低減を図ることができた。

### 3. 研究実施体制

#### (1) 高木グループ

①研究分担グループ長:高木 直史(名古屋大学大学院、教授)

##### ②研究項目

- ・多層配線プロセスに対応した論理回路設計ツールの開発
- ・SFQ-RDP 用算術演算ユニットの構成法の開発

#### (2) 村上グループ

①研究分担グループ長:村上 和彰(九州大学、教授)

##### ②研究項目

- ・二電子積分計算プログラムを対象としたアプリケーション分析
- ・大規模再構成可能データパス・アーキテクチャの検討

#### (3) 吉川グループ

①研究分担グループ長:吉川 信行(横浜国立大学、教授)

##### ②研究項目

- ・多層配線プロセスに適した論理セル開発
- ・SFQ 算術演算ユニットの高速動作実証

#### (4) 赤池グループ

①研究分担グループ長:赤池 宏之(名古屋大学、助教)

##### ②研究項目

- ・超伝導多層配線による広帯域フレキシブル超伝導配線技術および論理セル設計技術の開発
- ・SFQ 回路による再構成可能なデータパスの実証

(5) 永沢グループ

①研究分担グループ長:永沢 秀一((財)国際超電導産業技術研究センター、主管研究員)

②研究項目

- ・SFQ 回路高度化のための多層配線プロセス最適化とセルライブラリ構築
- ・SFQ 回路プロセスの高信頼化および SFQ 回路の試作

#### 4. 研究成果の発表等

(1) 論文発表(原著論文)

- [1] F. Mehdipour, H. Noori, M. S. Zamani, K. Inoue, and K. Murakami: “Improving Performance and Energy Saving in a Reconfigurable Processor via Accelerating Control Data Flow Graphs”, IEICE Transactions on Information and Systems, vol. E90-D, no.12, pp.1956-1966, Dec. 2007.
- [2] S. Iwasaki, M. Tanaka, Y. Yamanashi, H. Park, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Murakami, H. Honda and K. Inoue: “Design of a reconfigurable data-path prototype in the single-flux-quantum circuit”, Superconductor Science and Technology, vol. 20, no. 11, pp. S328-S331, Nov. 2007.
- [3] H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, and N. Takagi, “ Novel Serial-Parallel Converter Using SFQ Logic Circuits”, Physica C (to be published).
- [4] H. Akaike, A. Fujimaki, S. Nagasawa, Y. Kitagawa, and M. Hidaka, “Effects of the film thickness of a ground plane in the SFQ circuits with a dc-power layer”, Superconductor Science and Technology, vol. 20, no. 11, pp. S336-S340, Nov. 2007.