

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 17 年度採択研究代表者

小林 光

大阪大学産業科学研究所・教授

極限ゲート構造によるシステムディスプレイの超低消費電力化

1. 研究実施の概要

(文中にある参照番号は 4. (1) に対応する)

本プロジェクトでは、新規の低温酸化膜形成法である「硝酸酸化法」を活用して、リーク電流密度の低い高電気特性の SiO_2/Si 構造を創製し、これを TFT に応用して TFT とシステムディスプレイの超低消費電力化を行う。硝酸酸化法で形成される SiO_2/Si 構造は従来の低温酸化法である CVD 法等と比較して格段に良好なバルク特性と界面特性を持ち、その上膜厚が均一な SiO_2 膜を形成できるため、TFT のゲート酸化膜の膜厚を従来の 80nm 程度から 20nm 以下に低減でき、その結果駆動電圧を現状の 15V から 3V 以下に低減できる。TFT のゲート酸化膜の薄膜化により、TFT の消費電力を 1/25 以下にする。

硝酸酸化法の TFT ゲート絶縁膜への応用として、1) 共沸硝酸酸化法を用いて低リーク電流を持つ 1nm 程度の極薄 SiO_2 膜を形成し、その後 CVD 法で SiO_2 膜を堆積する方法[1]、2) 二段階硝酸酸化法を用いて 10nm 以上の膜厚を持つ SiO_2 膜を形成する方法[2-4]、を検討する。方法 1) で形成される極薄 SiO_2 膜は熱酸化膜よりも良好なリーク特性を持ち、さらに直接酸化法であるため界面特性も良く、その上に堆積する CVD 膜の膜厚を従来の膜厚から大幅に低減できると期待される。本年度は、原子レベルで平坦な SiO_2/Si 界面を形成する方法を開発して、その結果低リーク電流密度を達成した。方法 2) に関して本年度は、高ドーパ Si 基板上に多結晶シリコン薄膜を堆積し、その上に二段階硝酸酸化法を用いて 8nm 程度の膜厚を持つ SiO_2 膜を形成し、その電気特性を測定した。

TFT のゲート酸化膜が薄膜化できれば、TFT の微細化と高性能化が可能となる。微細化、高性能化ができれば、新規のデバイス構造も可能となり、これに適合する回路を開発することによっても低消費電力化が可能となる。さらに、メモリ、CPU、ドライバー、アンプ等を内蔵するシステムディスプレイが可能となり、システム技術の開発によっても低消費電力化ができる。すなわち、本プロジェクトでは、材料、プロセス、デバイス、システム技術を統合的に研究開発することによって、システム

ディスプレイの超低消費電力化を行う。

2. 研究実施内容

(文中にある参照番号は 4. (1)に対応する)

1. 超平坦な SiO₂/Si 界面の形成と TFT の低消費電力化

原子レベルで平坦なシリコン表面は、化学エッチングや水素処理を用いて比較的容易に形成できる。原子レベル平坦面上に、硝酸酸化法を用いて SiO₂ 膜を形成する場合、120°Cの低温で成膜ができるため、SiO₂ 界面が荒れることなく元の平坦性を保つと期待できる。平坦な界面を形成できれば、均一な SiO₂ 膜厚と均一な電界等により、リーク電流密度の低減と SiO₂ 膜の薄膜化が可能で、TFT の超低消費電力化に繋がる技術となる。

Si(111)ウェーハを RCA 洗浄後、フッ酸(HF)でエッチングした場合、原子レベルでラフな表面が形成され、ルート平均自乗(RMS)ラフネスは、0.19nm であった。このラフな表面を硝酸酸化した場合、酸化膜の表面はラフであった。また、硝酸酸化膜を除去した後のシリコン表面もラフであった。この結果は、ラフな表面を硝酸酸化すると、ラフな Si/SiO₂ 界面が形成されることを示している。

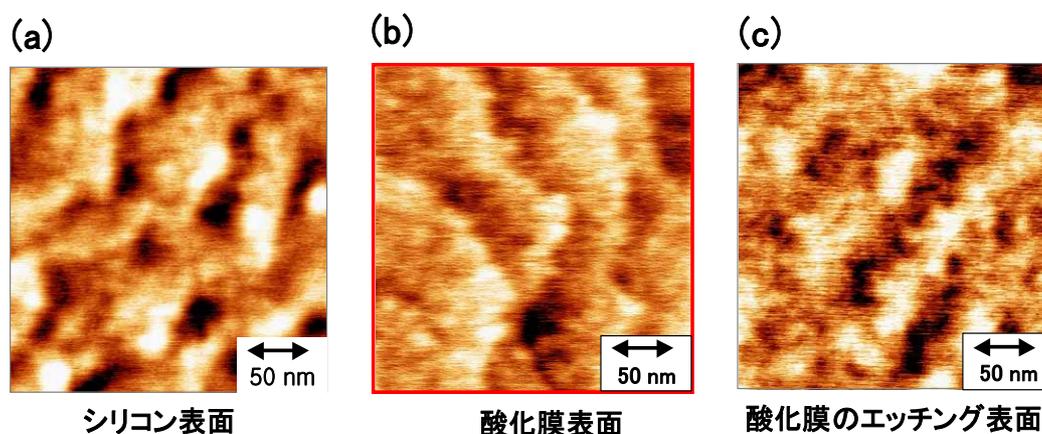


図 1 シリコン表面の AFM 写真 : a) NH₄F エッチングによって形成した Si(111)平坦面 ; b) 試料 a を共沸硝酸で酸化した表面 ; c) 試料 b を NH₄F でエッチング後

一方、フッ化アンモニウム(NH₄F)でシリコンをエッチングした場合、図 1a に示すように bi-layer step が観測された。これは、シリコン表面が原子レベルで平坦であることを示している。図 1a では、RMS ラフネスは 0.13nm であった。この表面を硝酸酸化した場合、やはり bi-layer step が観測され(図 1b)、さらに、この酸化膜をエッチングした後も、bi-layer step が観測され(図 1c)、Si/SiO₂ 界面が原子レベルで平坦であったことがわかる。

すなわち、平坦なシリコン表面を硝酸酸化した場合、平坦な Si/SiO₂ 界面が形成される。RMS ラフネスは 0.07nm と、超平坦な界面が形成されたことがわかる。

図 2 に、硝酸酸化膜をもつ <Al/SiO₂/Si(111)> MOS ダイオードの電流-電圧特性を示す。

共沸硝酸に 1 時間浸漬することにより形成された酸化膜の膜厚は、1.2~1.3nm であった。図中の矢印は、種々の文献で報告されている約 1.5nm の膜厚を持つ熱酸化膜のリーク電流密度である。フッ酸エッチングしたシリコン上に形成した硝酸酸化膜のリーク電流密度は、熱酸化膜に比較して少し高いが(曲線 a)、5%の水素雰囲気中 250°C で熱処理 (Post-metallization anneal, PMA) した後は、熱酸化膜とほぼ同等のリーク電流密度となった(曲線 b)。一方、フッ化アンモニウムでエッチングして原子レベルの平坦面を形成し、それを硝酸酸化した場合、リーク電流密度は熱酸化膜よりも少し低くなった(曲線 c)。これを PMA 処理することによって、リーク電流密度はさらに低減して(曲線 d)、熱酸化膜の 1/10 程度の低いリーク電流密度を達成できた。

超平坦面と PMA 処理による硝酸酸化膜の低リーク電流密度は、1)均一な膜厚の SiO₂ 膜、2)SiO₂ 中の均一な電界、3)Si²⁺に起因する欠陥準位の低減、4)SiO₂/Si 界面での高いバンドの不連続エネルギー、によると結論した。

2. TFT の超低消費電力化に有力な低リーク電流を持つ SiO₂/多結晶シリコン構造の創製

前年度までの研究で、凹凸を持つ TFT 用多結晶シリコン薄膜上にも、硝酸酸化法を用いて均一な膜厚を持つ

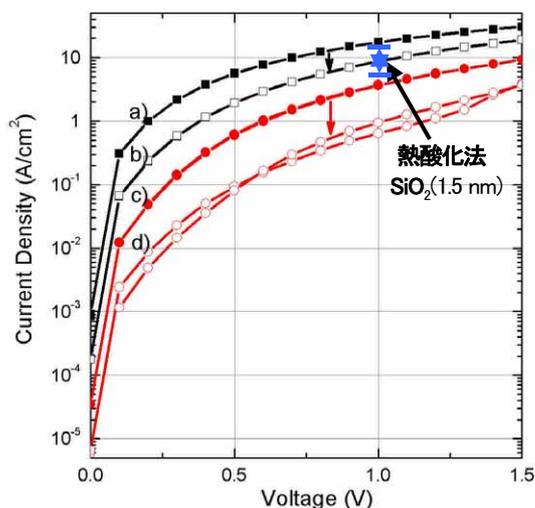


図 2 共沸硝酸酸化法で形成した <Al/1.2~1.3nm SiO₂/Si(111)> MOS ダイオードの電流-電圧特性：a) ラフな Si(111)表面を硝酸酸化；b) ダイオード a を PMA 処理；c) 原子レベルで平坦な Si(111)表面を硝酸酸化；d) ダイオード c を PMA 処理

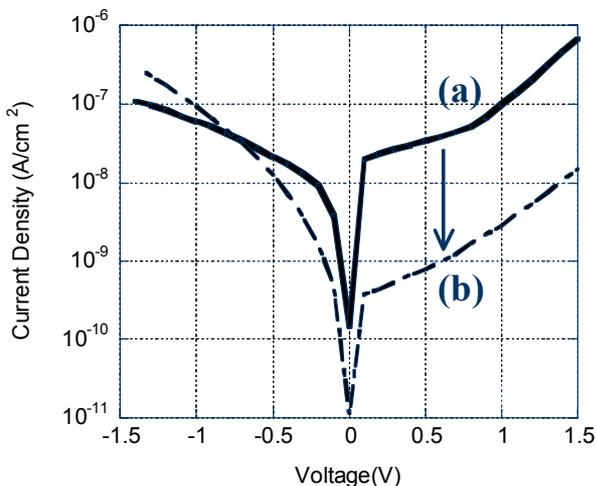


図 3 二段階硝酸酸化法で形成した <Al/8.3 nm SiO₂/多結晶シリコン> MOS ダイオードの電流-電圧特性：a) 熱処理なし；b) 窒素中 800°C で熱処理

SiO₂ 膜が形成できることを見出している。本年度は、多結晶シリコン薄膜上に二段階硝酸酸化法で形成した SiO₂ 膜厚の電気特性の測定とその向上を目指す研究を行った。

高ドープの n 型 Si ウェーハ上に多結晶シリコン薄膜を堆積し、その上に二段階硝酸酸化法を用いて 8nm の SiO₂ 膜を形成した。その上に Al 電極を形成して、<Al/SiO₂/多結晶シリコン薄膜>MOS 構造とした。図 3 に示すように、熱処理を施さない場合でも低いリーク電流が得られた(曲線 a)。窒素中 800°C で熱処理を施した場合、リーク電流密度がさらに低減した(曲線 b)。図 3 で得られたリーク電流密度は、多結晶シリコン薄膜を熱酸化した際に得られる同膜厚の SiO₂ 膜のリーク電流密度よりも低い。この結果は、硝酸酸化法で形成される SiO₂ 膜は高品質であるため薄膜化が可能で、TFT の低消費電力化ができることを示している。

3. TFT の超低消費電力化のための欠陥消滅型半導体洗浄技術の開発[5-7]

LSI と異なり、大型の TFT 製造には有効な洗浄技術はほとんど無く、主に水による洗浄が行われているに過ぎない。金属汚染が存在すれば、閾値電圧のバラツキのため動作電圧を増加させる必要が生じ、その結果消費電力が増加する。本年度は、TFT の製造に利用可能な ppm(百万分の一)オーダーの極低濃度の洗浄液を用いる洗浄法を開発した。

シリコンウェーハを CuCl₂ 水溶液に浸漬することによって銅で強制汚染した。図 4 に示すように、

銅の表面濃度は 10¹³~10¹⁴ 原子/cm² であった。これを pH10 で 26ppm の濃度を持つ 22°C の HCN 水溶液で洗浄した場合、5 分間の洗浄で全反射蛍光 X 線分光装置の検出下限(~3×10⁹ 原子/cm² 以下)にまで銅が除去された。2.6ppm とさらに低い濃度の HCN 水溶液を用いても、15 分以上の洗浄で銅は~3×10⁹ 原子/cm² 以下にまで除去された。HCN 水溶液の温度を 28°C に上昇した場合、2.6ppm の HCN 水溶液でも 5 分間の洗浄で~3×10⁹ 原子/cm² 以下まで銅汚染が除去できた。また、HCN を含まない pH10 の水溶液では、銅汚染はほとんど除去されないことが確認され、2.6ppm と極低濃度の HCN が金属汚染の除去に非常に有効であることがわかった。

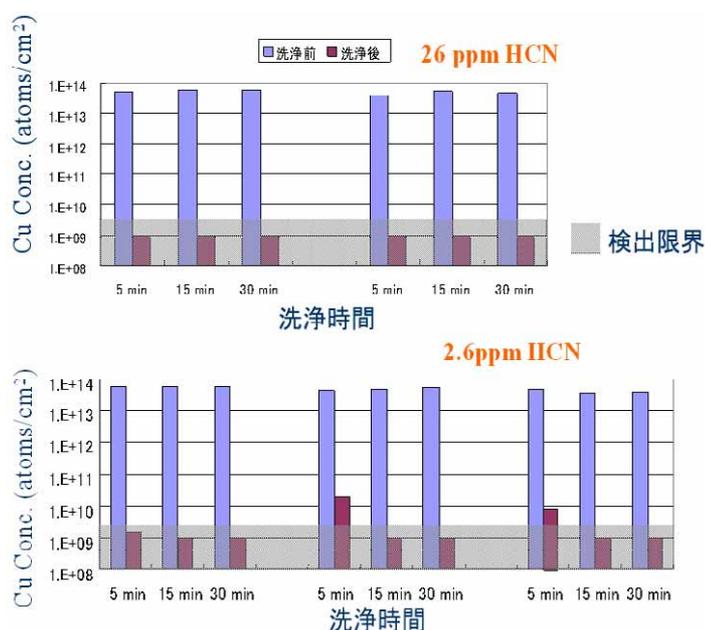


図 4 極低濃度の HCN 洗浄液によるシリコン上の銅汚染の除去

4. SPICE 用 TFT デバイスモデルの研究開発

短チャンネル TFT における AC 特性の理解を目的とし、2次元デバイスシミュレータを用いて、ゲート容量の解析を行った。

シミュレーションでは、硝酸酸化法によるゲート酸化膜の薄膜化を想定し、ゲート酸化膜厚 30 nm、ゲート長 1 μm 、poly-Si 膜厚 50 nm とした。図 5 にゲート・ソース間容量 C_{gs} とゲート・ドレイン間容量 C_{gd} のゲート電圧依存性のシミュレーション結果を示す。結晶粒界の存在位置として(a)チャンネル中央と(b)ドレイン端の 2 通りを考え、また、ソース・ドレイン間電圧はゼロとした。チャンネル中央に粒界がある場合(図 5(a))は、粒界が存在しない場合と同様に、系がチャンネル中央で対称のため、 C_{gs} と C_{gd} は等しくなった。しかし、粒界位置をドレイン側にずらした場合(図 5(b))、ソース・ドレイン間電圧がゼロにも係わらず、 C_{gs} と C_{gd} に非対称性が生じた。TFT 内部の物理量を解析したところ、結晶粒界のエネルギー障壁が原因であることが分かった。以上から、微細 TFT においては、ゲート容量は結晶粒界の位置によって大きな影響を受けるため、電気容量のばらつきを考慮した回路モデル及び回路設計が重要になると考えられる。

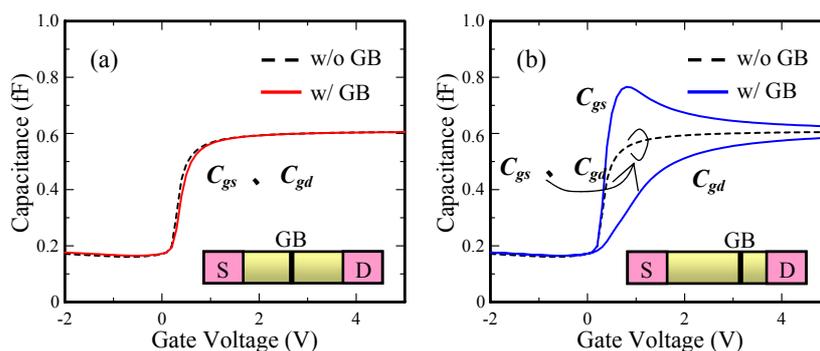


図 5 ゲート・ソース間容量 C_{gs} 、ゲート・ドレイン間容量 C_{gd} の結晶粒界(GB)位置依存性のシミュレーション結果：a) チャンネル中央; b) ドレイン端から 250 nm

3. 研究実施体制

(1)「小林」グループ

①研究分担グループ長:小林 光 (大阪大学、教授)

②研究項目

1. 大面積 TFT 用硝酸酸化装置の開発
2. 硝酸酸化プロセスの研究開発
3. 気体硝酸酸化法の検討
4. 新規欠陥消滅法による TFT の高性能化と低消費電力化

5. 大面積 TFT の硝酸酸化技術の開発
6. 廃液硝酸の高純度化技術

(2)「谷口」グループ

- ①研究分担グループ長:谷口 研二(大阪大学大学院、教授)
- ②研究項目
 1. 硝酸酸化膜 TFT の SPICE モデルの研究開発
 2. 新構造 TFT の研究開発
 3. 超低消費電力 TFT 用の新回路機能ブロックの研究開発

(3)「今井」グループ

- ①研究分担グループ長:今井 繁規(シャープ株式会社、所長)
- ②研究項目
 1. 大面積 TFT の硝酸酸化技術の研究開発と試作
 2. メモリ・CPU 内蔵の超低消費電力高機能 SDOG の研究開発

4. 研究成果の発表等

(1) 論文発表(原著論文)

1. E. Pincik, H. Kobayashi, R. Hajossy, H. Gleskova, M. Takahashi, M. Jergel, R. Brunner, L. Ortega, M. Kucera, M. Kral, and J. Rusnak, On interface properties of ultra-thin and very-thin oxide/a-Si:H structures prepared by oxygen based plasmas and chemical oxidation, *Appl. Surf. Sci.* 253, 6697-6715 (2007).
2. S. Mizushima, S. Imai, Asuha, M. Tanaka, and H. Kobayashi, Nitric acid method for fabrication of gate oxides in TFT, *Appl. Surf. Sci.* 254, 3685-3689 (2008).
3. S.-S. Im, S. Terakawa, H. Iwasa, and H. Kobayashi, Nitric Acid Oxidation Method to Form SiO₂/3C-SiC Structure at 120 °C, *Appl. Surf. Sci.* 254, 3667-3671 (2008).
4. M. Takahashi, S.-S. Im, M. Madani, and H. Kobayashi, Nitric acid oxidation of 3C-SiC to fabricate MOS diodes with a low leakage current density, *J. Electrochem. Soc.* 155(1), H47-51 (2008).
5. H. Narita, M. Takahashi, H. Iwasa, and H. Kobayashi, Complete removal of copper contaminants on bare silicon surfaces by use of HCN aqueous solutions, *J. Electrochem. Soc.* 155(2), H103-H107 (2008).
6. M. Takahashi, Y.-L. Liu, H. Narita, and H. Kobayashi, Si cleaning method without surface morphology change by cyanide solutions, *Appl. Surf. Sci.* 254, 3715-3720

(2008).

7. E. Pincik, R. Brunner, H. Kobayashi, M. Takahashi, and M. Kucera, Photoluminescence of very thin oxide/a-Si:H structures passivated in HCN solutions, Appl. Surf. Sci. 254, 3710-3714 (2008).

(2) 特許出願

平成 19 年度国内特許出願件数： 1 件 (CREST 研究期間累積件数： 4 件)