

「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」
平成 19 年度採択研究代表者

菅原 聡

東京工業大学大学院理工学研究科・准教授

ハーフメタル強磁性体を用いたスピン機能 MOSFET の開発

1. 研究実施の概要

本研究課題では、従来のエレクトロニクスの分野で用いられることのなかったキャリアのスピンや材料の磁性に関する自由度・機能を MOSFET に導入し、スピン自由度を用いた新しいシリコン集積回路技術を構築するための基礎体系を創出する。本年度は、ハーフメタル強磁性体をソース/ドレインに用いたスピン MOSFET の実現を目指し、その基盤技術の確立を行った。具体的には、CMOS プロセスに適合する RTA を用いたメタル・ソース/ドレイン技術を利用して、ハーフメタル強磁性体となることが予想されているフルホイスラー合金 Co_2FeSi の形成、構造・磁性制御を実現した。また、フルホイスラー合金を用いた MTJ と MOSFET を回路上で組み合わせ、スピン MOSFET として動作させる擬似スピン MOSFET についても提案を行い、検討した。擬似スピン MOSFET の機能実証のため、まずはデバイス・プロセス/インテグレーションに必要となる SiO_2 上へのフルホイスラー合金を用いた MTJ の作製と、これをインテグレーションするための MOSFET 技術の開発を行った。また MTJ の SPICE モデルを開発して、擬似スピン MOSFET の設計指針を得た。さらに、スピン MOSFET と擬似スピン MOSFET の集積回路応用として、不揮発性 SRAM, 不揮発性フリップ・フロップを提案し、これらを用いた不揮発性パワーゲーティング・プロセッサを提案した。

2. 研究実施内容

本研究課題は、以下の 3 項目から構成される。以下、スピン MOSFET を S-MOSFET、擬似スピン MOSFET (Pseudo spin-MOSFET) を PS-MOSFET と略す。

- ①ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発
- ②巨大 TMR 比強磁性トンネル接合を用いた PS-MOSFET の開発

③PS-MOSFET, S-MOSFET を用いた高機能ロジックの開発
それぞれの研究項目について、本年度の研究実施を示す。

① ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発

本年度ではCMOSプロセスに整合する方法を用いたハーフメタル強磁性体の形成について検討を行った。具体的には、(1) RTA (Rapid thermal annealing) によるSOI(Si-on-insulator)基板のシリサイド化反応を利用した L_2_1 構造フルホイスラー合金 Co_2FeSi の形成と構造制御・物性制御。(2)非晶質絶縁体上に形成したアモルファス Si を用いたフルホイスラー合金 Co_2FeSi の形成について検討を行った。これらの研究項目はそれぞれスピン MOSFET のハーフメタル強磁性体を用いたメタル・ソースドレイン構造、トンネルコンタクト型のソース/ドレイン構造への応用を目指すものである。

SOI基板を用いた Co_2FeSi の構造制御・物性制御では、化学量論組成が構造 (特に規則度) ・磁性に与える影響を調べた (規則度がハーフメタル性に重要なため)。SOI基板を用いて作製してフルホイスラー合金 Co_2FeSi は著しく配向した膜構造をとるため、X線回折における基板の傾き角を利用した規則度の算出方法を開発して評価を行った。組成はSOIおよびこのSOI上に堆積するCoとFeの膜厚を制御することで制御した。off-stoichiometricなサンプルの L_2_1 規則度はRTAの温度に依存するが、RTA温度750°Cで最大の規則度をとることがわかった。さらに組成をstoichiometricにすることで、同様の傾向が見られたが、その規則度は大きく増大した。粉末X線のリファレンスデータを用いると、本サンプルは90%程度の規則度を有することがわかった。また、飽和磁化も規則度の増加とともに増加することなどもわかった。

また、非晶質絶縁体上のフルホイスラー合金の作製についても検討を行った。通常フルホイスラー合金の成膜に用いられるスパッタ法で SiO_2 上に直接形成するとアニールを行っても L_2_1 構造を得ることは難しいことが知られている。そのため、通常は高配向のバッファ層などが用いられているが、この手法では薄い非晶質のトンネル膜上に直接フルホイスラー合金を形成することはできない。そこで、SOI基板を用いたRTAによるフルホイスラー合金の作製方法を SiO_2 上に堆積したアモルファス Si に応用してみた。配向性、規則度はSOIを用いたものに比べると落ちるが、アモルファス Si を用いてもSOI同様の配向が得られ、 L_2_1 の規則合金相が形成できていることがわかった。今後はこの手法を用いてフルホイスラー合金のトンネルコンタクトに応用する。

② 巨大 TMR 比強磁性トンネル接合を用いた PS-MOSFET の開発

本研究項目ではMTJとMOSFETを組み合わせたPS-MOSFETを作製し、機能実証を行うことを目的としている。デバイスプロセス/インテグレーションの観点から、 SiO_2 上にフルホイスラー合金を用いたMTJを作製する技術の開発(NIMS)、機能実証に用いるボトムゲートMOSFETの開発を行った(東大)。さらに、PS-MOSFETの機能予測と設計指針をシミュレーション

ョンより明らかにした（東工大）。

従来、フルホイスラー合金を用いた高 TMR 比の MTJ はすべて単結晶の MgO(001) 基板上に作製されてきたが、MOSFET との集積化を試みるため本研究課題ではまずは SiO₂（熱酸化 Si 基板）上に強磁性トンネル接合（MTJ）を作製する研究を行った。このためには SiO₂ 上に高配向のフルホイスラー合金を作製する必要があり、MgO バッファ層を利用して SiO₂ 上に配向性の高い高品質のフルホイスラー合金 (Co₂FeAl_{0.5}Si_{0.5}: CFAS) を形成し、これより MTJ を作製するプロセスを確立する研究を行った。具体的な MTJ の構造として、(i) Ta/IrMn/CoFe/CFAS/MgO/CFAS/SiO₂/Si について検討を行った。まず、SiO₂ 基板上に (001) 配向した MgO 膜を作製するためのスパッタ条件を検討し、高配向を得るための最適化を行った。この結果に基づき上記 MTJ 素子を作製、室温で 67% の TMR 比を得た。今後、MTJ 作製条件を最適化することで期限内に目標の 100% を達成できる見込みである。

ボトムゲート MOSFET に関しては、従来 P をソース/ドレイン領域の形成に用いて、理想的な特性を有するデバイス特性を得ていたが（急峻なサブスレシヨルド、ユニバーサル移動度）、このデバイスプロセスでは熱耐性に問題があることがわかった。そこで、ドーパントを P から As に変えた。As のイオン注入によって、優れたデバイスパフォーマンスを有し、熱耐性の高いボトムゲート MOSFET を実現できることを確認した。また、実効移動度の実効電界依存性はユニバーサルカーブにほぼ一致し、また、サブスレシヨルド・スロープも 100 mV/decade 以下と急峻な値となった。また、得られた特性を東工大グループへ提供し、NIMS、東工大グループとともに、デバイスデザイン・マスク設計を進めている。

また、スピン注入 MTJ の SPICE モデルを開発し、PS-MOSFET の機能予測と設計指針を得た。MTJ の TMR 比、V_{half} 依存性、スピン注入磁化反転などを取り込んだ現実的なデバイスモデルを開発し、PS-MOSFET がスピン MOSFET として機能できることを確認した。また、MTJ の TMR 比、抵抗値（RA 値）などから所望の磁気電流比を実現するための、設計指針を得た。ここで得られた知見をもとに、NIMS、東大と協力して、実際に作製する PS-MOSFET のデバイスデザインを進めている。

③ PS-MOSFET, S-MOSFET を用いた高機能ロジックの開発

S-MOSFET および PS-MOSFET を用いた不揮発性 SRAM と不揮発性フリップ・フロップを提案した。また、我々の開発した SPICE モデルを用いてシミュレーションから、提案した不揮発性 SRAM、不揮発性フリップ・フロップの動作確認を行った。また、得られた結果から、不揮発性 SRAM と不揮発性フリップ・フロップの設計の見通しを付け、現在は設計指針の完全な確立を目指してシミュレーションを行っている。また、これらのデバイスをプロセスに適用した不揮発性パワーゲーティング・プロセッサを提案した。

3. 研究実施体制

(1) 「東工大」グループ

① 研究分担グループ長：菅原 聡（東京工業大学、准教授）

② 研究項目

- ・ RTA によるハーフメタル・フルホイスラー合金の形成
- ・ PS-MOSFET の作製と機能実証
- ・ PS-MOSFET, S-MOSFET を用いた高機能ロジックの提案・設計と性能予測

(2) 「NIMS」グループ

① 研究分担グループ長：猪俣浩一郎（(独) 物質・材料研究機構、フェロー）

② 研究項目

- ・ 巨大 TMR 比ハーフメタル MTJ の作製

(3) 「東大」グループ

① 研究分担グループ長：田中雅明（東京大学、教授）

② 研究項目

- ・ PS-MOSFET の作製と機能実証