

「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」
平成 19 年度採択研究代表者

尾辻 泰一

東北大学電気通信研究所ブロードバンド工学研究部門・教授

グラフェン・オン・シリコン材料・デバイス技術の開発

1. 研究実施の概要

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術の開拓のために、独自のアイデアに基づくグラフェン・オン・シリコン (GOS : Graphene On Silicon) 材料・プロセス技術の開発を通し、相補的スイッチングデバイス (CGOS) 技術、及びプラズモン共鳴テラヘルツデバイス (PRGOS) 技術の開発を行うものである。これにより、シリコンテクノロジーをベースとしながら、キャリア輸送限界を超えた新しい超高速大規模集積デバイスの実現が期待される。

19年度は、研究開始の第1年次にあたり、本研究の共通要素技術となる GOS 形成技術ならびに CGOS デバイスプロセス技術の基盤整備を重点的に進めた。また、平行して、次年度以降に続く CGOS/PRGOS デバイス技術の開発にそなえ、GOS デバイスマデリングの構築と、CGOS/PRGOS デバイスシミュレーションによる性能予測を進めた。

20年度は、本格的に GOS 材料デバイス技術の開発に乗り出す。すなわち、第一に、Si(110)基板上高品質 3C-SiC(111)薄膜低温成長現象を最適化すると共に、超高真空熱処理を最適化することにより、世界初の Si 基板上グラフェン形成に挑戦する。平行して、グラフェン・ナノリボン形成技術の開発に取り組み、バックゲート型 GOSFET のトランジスタ動作を実現するとともに、グラフェンチャネルのキャリア輸送特性と Si-CMOS に対する動作速度優位性を検証し、キャリア移動度の1桁向上をめざす。同時に、バックゲート型 GOSFET のプラズモン共鳴特性からも、グラフェンの優れたキャリア輸送特性を実験的に検証する。グラフェンデバイスモデリングを進め、キャリア輸送型およびプラズモン共鳴型デバイスのために数値解析環境を構築する。

2. 研究実施内容

(文中にある参照番号は 4. (1)に対応する)

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術の開拓のために、独自のアイデアに基づくグラフェン・オン・シリコン (GOS : Graphene On Silicon)材料・プロセス技術の開発を通し、相補的スイッチングデバイス (CGOS) 技術、及びプラズモン共鳴テラヘルツデバイス (PRGOS) 技術の開発を行うものであり、GOS 形成、GOSFET デバイスプロセス、デバイスモデリング、CGOS 論理ゲート、および PRGOS デバイスプロセスの主要課題に対して、独自技術の開発に挑むものである。

GOS 形成技術に関しては、研究分担者・末光眞希が有する有機シランガスソース分子線エピタキシ (Organo-silane Gas-Source Molecular Beam Epitaxy: OS-GSMBE) 法という独自の技術を用いて、Si(110)基板上に 3C-SiC(111)をエピタキシャル成長させその最上面をグラフェン化するという斬新なアイデアで、その実現を図る。平成 19 年度は、既存装置を用い、Si 基板上 3C-SiC 面方位回転エピタキシ成長条件ならびに選択エピタキシ条件の最適化を行うとともに、Si(111)面に成長させた 3C-SiC(111)薄膜表面を一定条件下で熱処理することによりグラファイト化させることに成功した。また、Si(110)基板表面の酸化膜パターンを用いて微細 SiC 薄膜構造を形成するための基礎技術として、Si(110)基板表面の酸化機構を解明した。さらに、次年度以降、デバイスプロセスグループに GOS 基板を供給するために使用する、ガスソース (GS) MBE、固体ソース (SS) MBE、低速電子線回折 (LEED)、角度分解光電子分光装置 (XPS、UPS) を備えた半導体薄膜製造・評価装置の仕様策定ならびに機種選定を行った。平成 20 年度は、新規導入する半導体薄膜製造・評価装置の構築を行い、SiC 表面のグラフェン化に挑戦する。

GOSFET デバイス技術に関しては、グラフェンシートをナノリボン加工することによってバンドギャップを生じせしめ、FET としてのスイッチング機能を実現する。研究分担者・末光哲也が有する電子線露光による 30nm 級の微細ゲート加工技術を適用し、線幅 20~40nm のナノリボンをサブミクロンないしミクロンオーダーの間隔で複数並列配置したマルチナノリボンパターンをグラフェンシートに作製する技術を開発する。平成 19 年度は、その予備検討として Si 基板表面の SiO₂ 膜を利用して、線幅 30nm のマルチナノリボンパターンを作製するための電子線リソグラフィ技術を確立し、既存の CF₄ ガスによる反応性イオンエッチング装置 (RIE) によって SiO₂ 上に線幅 30nm のナノリボンパターン形成を実現した。一方で、CF₄ では SiO₂ に対するエッチング速度が小さく、電子線レジストとの選択比がとれないので、エッチング深さ 50nm 程度が限界であることが分かった。これを踏まえ、新規導入予定のドライエッチング装置は CF₄ に代えて C₂F₆ を採用する仕様とした。また、SiO₂・SiN_x 堆積用プラズマ CVD 装置、及び同エッチング用ドライエッチング

装置の導入準備を行った。平成 20 年度は、導入装置によりバックゲート型 FET のトランジスタ動作を実現するとともに、グラフェンチャネルのキャリア輸送特性及び Si-CMOS に対する動作速度優位性を検証し、キャリア移動度の 1 桁向上をめざす。

デバイスモデリングに関しては、研究分担者・リズィヴィクトールのオリジナルによりディラックフェルミオン・キャリア輸送型デバイスモデリングの開発を進めるとともに、プラズモン共鳴型デバイスモデリングに着手する。平成 19 年度は、ディラックフェルミオン・キャリア輸送型デバイスを対象として、電子正孔散乱の主要因となる音響フォノン散乱、長距離不均一性と点欠陥による電子散乱のモデル化を行った [1]。また、グラフェン中における電子と正孔の光励起のエネルギー緩和のモデル、およびグラフェンの光伝導度に関する理論の構築[2]、グラフェン電界効果トランジスタおよびグラフェンナノリボン・アレイから成る GOSFET の解析的デバイスモデルの構築を行った[3, 4]。平成 20 年度は、GOSFET 解析モデルの高度化と回路シミュレーションに必要となるデバイスパラメータ算出ツールの開発を行なう。一方、プラズモン共鳴型デバイスに対しては、質量消失電子によるプラズマの流体運動方程式（あるいは運動論的方程式）を用いたグラフェンプラズモン流体の FDTD シミュレータを構築する。

CGOS 論理ゲートの開発に関しては、バックゲート GOSFET 試作品による Si-CMOS に対する速度性能優位性の検証、ならびに研究分担者・佐野栄一と研究代表者・尾辻泰一のオリジナルによる CGOS 論理ゲートの構造設計を行う。平成 19 年度は、アンバイポーラ特性を有するバックゲート型 GOS のデバイス構造を検討し、デバイスシミュレーションによる静特性評価をもとに、バルク CMOS 及び極薄膜 SOI に対する高速動作及び短チャネル効果に関する優位性を理論的に明らかにした。また、チャンネルドーピングが困難な現状では n-GOS, p-GOS による相補型論理ゲートの構成が見込めない問題の解決策として、アンバイポーラ特性を利用した真性半導体のみで構成する新しい CGOS 論理ゲート構成法を考案し、権利化の準備を進めた。平成 20 年度は、バックゲート型 GOSFET の評価によりキャリア輸送特性及び Si-CMOS に対する動作速度優位性を検証するとともに、トップゲート型 CGOS 論理ゲートの構造検討・設計を行う。

PRGOS デバイスの開発に関しては、キャリア輸送型電子デバイスの速度性能限界を打破しうるプラズモン共鳴という新しい動作原理に立脚したプラズモン共鳴型デバイスに、質量消失効果を有するグラフェンチャネルを導入することにより、従来不可能であったシリコンベースの室温動作テラヘルツ帯電磁波発生デバイスを開発する。平成 19 年度は、FDTD（時間領域有限差分）法による内製シミュレータを用いて PRGOS 特性を数値解析した。テラヘルツ帯電磁波放射効率、放射強度、検出感度を性能指標として、GOS 導入の効果をシリコンおよび化合物半導体と比較して定量化した。平成 20 年度は、GOSFET に

よる光応答ならびにプラズモン共鳴強度の評価を通して、グラフェンの優れたキャリア輸送特性を検証する。

3. 研究実施体制

(1)「GOS/PRGOSデバイス(尾辻泰一)」グループ

① 研究者分担グループ長:尾辻 泰一(東北大学、教授)

② 研究項目

・グラフェン・オン・シリコン(GOS)デバイスならびにプラズモン共鳴型 GOS(PRGOS)テラヘルツデバイス技術の開発

(2)「GOSプロセス(末光眞希)」グループ

① 研究分担グループ長:末光 眞希(東北大学、教授)

② 研究項目

・グラフェン・オン・シリコン(GOS)プロセス技術の開発

(3)「GOSモデリング(リズィーヴィクトール)」グループ

① 研究分担グループ長:RYZHII Victor(会津大学、教授)

② 研究項目

・グラフェン・オン・シリコン(GOS)デバイスモデリング技術の開発

(4)「CGOSロジック(佐野栄一)」グループ

① 研究分担グループ長:佐野 栄一(北海道大学、教授)

② 研究項目

・相補型グラフェン・オン・シリコン(CGOS)論理集積回路技術の開発

4. 研究成果の発表等

(1) 論文発表(原著論文)

[1] F.T.Vasko and V.Ryzhii, "Voltage and temperature dependencies of conductivity in gated graphene," Phys. Rev. B, Vol. 76, pp. 233404-1-233404-4, Dec. 2007.

[2] V. Ryzhii, M. Ryzhii, and T. Otsuji, "Population inversion of photoexcited electrons and holes in graphene and its negative terahertz conductivity," Physica Status Solidi (c), Vol. 5, No. 1, pp. 261-264, Jan. 2008.

- [3] V. Ryzhii, M. Ryzhii, and T. Otsuji, "Tunneling current–voltage characteristics of graphene field-effect transistor," *Appl. Phys. Express*, Vol. 1, No. 1, pp. 01301-1-01301-3, Jan. 2008.
- [4] V. Ryzhii, M. Ryzhii, A. Satou, and T. Otsuji, "Current-Voltage Characteristics of a Graphene Nanoribbon Field-Effect Transistor," *J. Appl. Phys.*, Vol. 103, 2008. (in press)

(2) 特許出願

平成 19 年度 国内特許出願件数:1 件 (CREST 研究期間累積件数:1 件)