

「ディペンダブル VLSI システムの基盤技術」

平成 19 年度採択研究代表者

坪内 和夫

東北大学電気通信研究所 教授

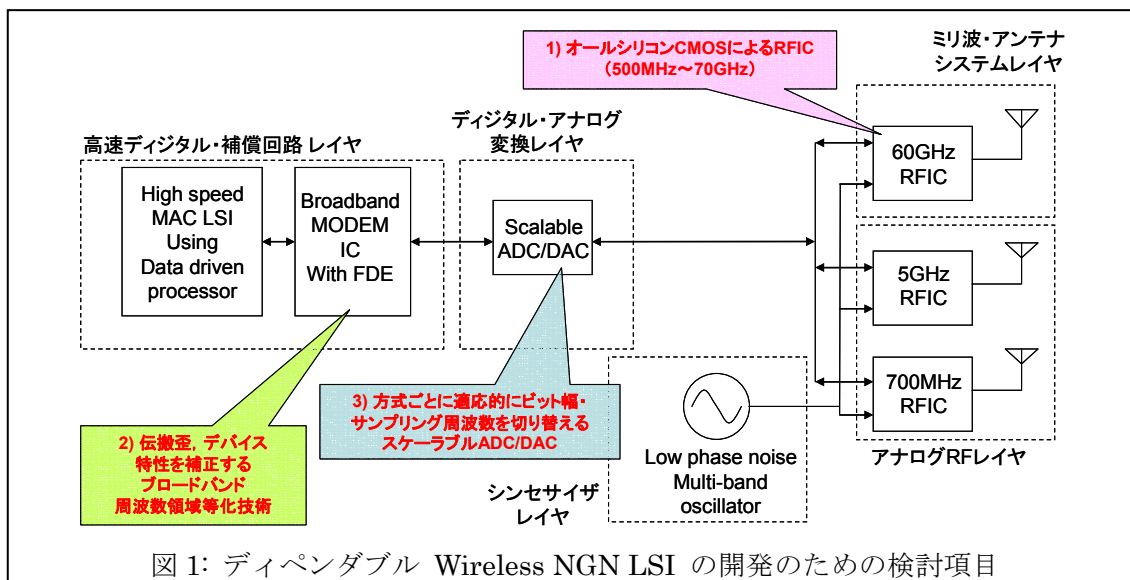
ディペンダブルワイヤレスシステム・デバイスの開発

1. 研究実施の概要

広域・超高速ワイヤレスアクセスを実現するために、複数の無線通信システムを統合し、伝送距離・通信速度・消費電力・QoS の最適制御を行うディペンダブル Wireless NGN LSI の実現を目指す。周波数領域等化補償の適用などにより低 BER を実現するブロードバンド・オールシリコン Mixed Signal CMOS チップセット開発を行う。本年度は、(1) オールシリコン CMOS による RF IC の要素回路の基礎検討、(2) 広帯域周波数領域等化 (FDE) 技術の FPGA への実装と評価、(3) 方式ごとに適応的にビット幅・サンプリング周波数を切り替えるスケーラブル ADC の基礎検討を行った。次年度以降は、開発した RF IC に FDE 技術などを適用することで、広帯域かつディペンダビリティの高い RF チップセットを設計・開発することを中心に研究を行い、高速移動と超高速通信速度を両立する無線端末の実現を目指す。

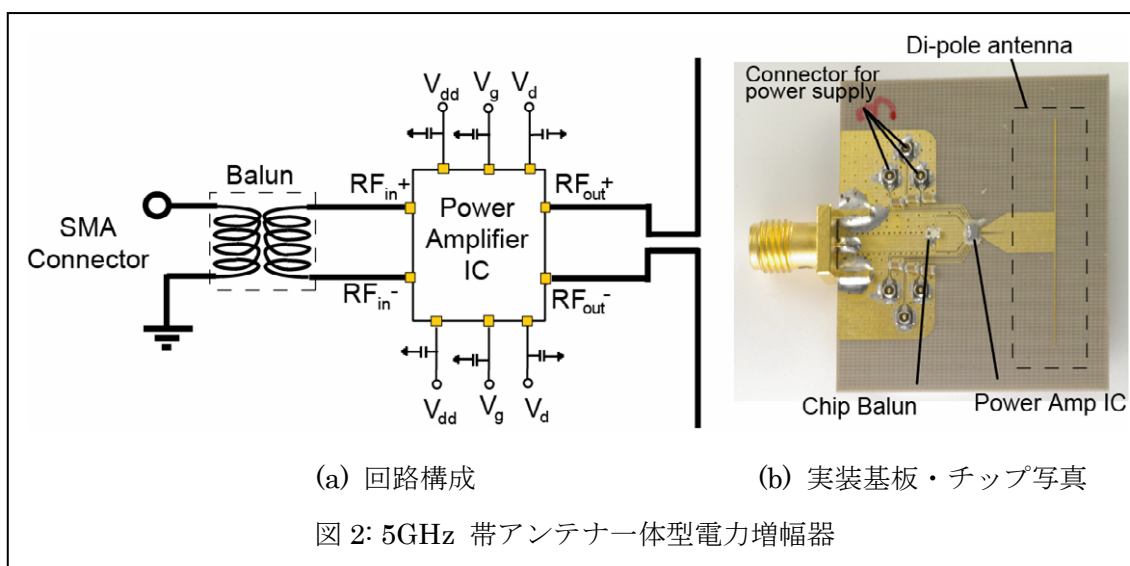
2. 研究実施内容

(文中にある参照番号は 4. (1) に対応する)



本研究では、オールシリコンによるディペンダブル Wireless NGN LSI の実現を目標として図 1 に示す 3 つの要素技術に関して研究開発を行う。本年度は、特にそれぞれの要素技術の開発を中心に行った。

オールシリコン CMOS による RF IC の要素回路の基礎検討としては、今年度は 60GHz 帯 (IEEE802.15.3c WPAN など) と 5GHz 帯 (IEEE802.11n WLAN など) をターゲットとして、要素回路の設計・試作・評価を行った。60GHz 帯デバイスとしては、高利得電流駆動受動 CMOS ミキサの設計を行った。5GHz 帯デバイスとしては、Si CMOS VCO の設計・試作と、アンテナ一体型電力増幅器 [1] の設計・実装・評価を行った。



アンテナ一体型電力増幅器を図2に示す。本開発では、まず5GHz帯シリコンCMOS差動送信電力増幅器の高効率化について検討を行った。整合回路の素子数を可能な限り削減するB級動作増幅器の設計を行い、1dB利得圧縮点出力(P1dB)におけるPAEと出力がそれぞれ49.1%、16.6dBmであり、線形利得が11.6dBの増幅器を設計した。設計した増幅器を試作し、実測評価した結果、計算機シミュレーションによる評価とほぼ同等の性能であることを示した。さらに、この差動送信電力増幅器を用いて、アンテナとの一体設計を行った。増幅器を差動構成とすることにより、バランを用いずにダイポールアンテナとの直結を可能とした。さらに、増幅器チップをスタッドバンプボンディングにより実装することで接続距離を短くすることができ、寄生インピーダンスの低減を実現した。増幅器・アンテナ基板の全差動回路一体設計と実装を行い、実測評価した結果、実装後の利得劣化が増幅器単体での測定と比較して2dB程度のみで実現した。

広帯域周波数領域等化(FDE)技術の開発では、セルフタイム型回路のFDEへの適用検討と、FDEのFPGAへの実装・評価を行った。

FDEのFPGAの実装・評価について図3に示す。広帯域移動通信では、無線チャネルは周波数選択性が強くなり、符号間干渉により伝送特性が大幅に劣化する。さらに、高周波デバイスの広帯域化に伴い、デバイスそのものの周波数選択性歪みが伝送特性を劣化させることも明らかになってきた。そこで、周波数領域等化を行うことにより、伝搬路・高周波デバイスの両者の周波数選択性の歪みの補償を行うことを検討する。周波数領域等化技術はこれまで理論・シミュレーション検討がほとんどであったが、本研究では、演算アルゴリズムと同期方式の検討を行った上で、伝搬路推定回路、伝搬路補償回路、同期回路のそれぞれをFPGAへ設計・実装を行い、評価を行った。

方式ごとに適応的にビット幅・サンプリング周波数を切り替え、全ての無線通信規格に対応可能なスケーラブルADCの開発として、今年度はパイプライン型ADCと、 $\Delta\Sigma$ 型ADCの2つのアプローチについて、基礎検討を行った。

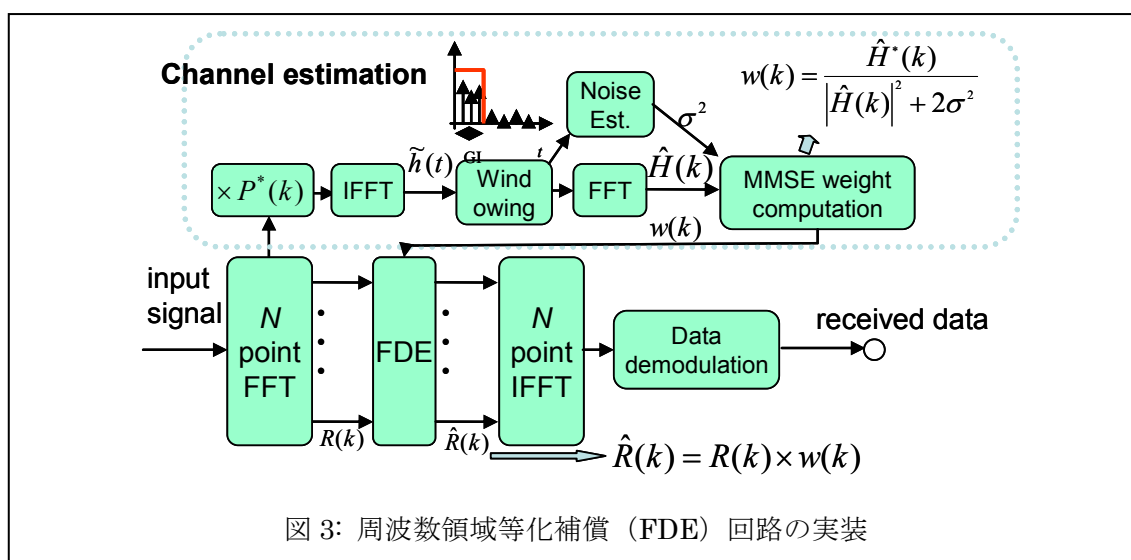


図3: 周波数領域等化補償 (FDE) 回路の実装

そのうち、 $\Delta\Sigma$ 型 ADC の基礎検討では、フィルタと帰還回路を用いることで、5bit ADC で、分解能最大 20bit 相当の変換を可能とする回路構成を提案した。また、スケーラビリティを考慮し、6bit~14bit の分解能可変範囲において、10MHz~4GHz の変換周波数に対応可能である ADC の検討を行った。今年度は特に提案回路の高分解能化の可能性について検討を行い、提案回路構成を計算機シミュレーションした結果、帯域 10MHz において、分解能 20bit 相当の動作が可能であることを示した。

3. 研究実施体制

(1) 東北大学グループ

① 研究分担グループ長: 坪内 和夫 (東北大学、教授)

② 研究項目:

・オール Si CMOS RF デバイス・回路の開発

(2) 東京工業大学グループ

① 研究分担グループ長: 松澤 昭 (東京工業大学、教授)

② 研究項目:

・スケーラブル ADC/DAC の基礎検討

(3) 高知工科大学グループ

① 研究分担グループ長: 岩田 誠 (高知工科大学、教授)

② 研究項目:

・周波数領域等化技術のためのセルフタイム型回路の基礎検討

(4) 東京大学グループ

① 研究分担グループ長: 藤島 実 (東京大学、准教授)

② 研究項目:

・微細 Si CMOS 超高周波デバイスの基礎検討

4. 研究成果の発表等

(1) 論文発表 (原著論文)

- [1] K. Shimoyama, S. Yoshida, Ta Tuan Thanh, K. Matsuzaki, S. Kameda, H. Nakase, T. Takagi, and K. Tsubouchi, "5GHz Si-CMOS differential power amplifier module

with directly connected dipole antenna,” IEICE Electronics Express, 2008 (in press).

(2) 特許出願

平成 19 年度 国内特許出願件数:2 件 (CREST 研究期間累積件数:2 件)