

「超高速・超省電力高性能ナノデバイス・システムの創製」

平成 14 年度採択研究代表者

古屋 一仁

(東京工業大学大学院理工学研究科 教授)

「超ヘテロナノ構造によるバリスティック電子デバイスの創製」

1. 研究実施の概要

本研究では、半導体、金属そして絶縁体と大きく異なる物質を、立体的かつナノメートルサイズで組み合わせた“3次元超ヘテロナノ構造”を創製し、バリスティック走行による超高速性、極小化による低消費電力性をもつ新しいデバイス実現をめざす。さらに、3次元超ヘテロナノ構造により、電子の波動性を使う多機能デバイスの可能性、電子波の量子効果による新たなテラヘルツ帯増幅などの新デバイスの可能性を示す。

平成 18 年度は、下記に示す結果を得た。

ヘテロ接合バイポーラトランジスタ (HBT) において、昨年度提案したベース電極下の InP 中に絶縁物である SiO_2 を埋め込むことでコレクタ容量を減らすトランジスタにおいて、厚さ 200nm の SiO_2 細線を埋め込めることを確認し、さらに SiO_2 細線をコレクタ中に埋め込んだ HBT において、埋め込まなかった素子とその DC 特性が殆ど変化しないことを示した。

ヘテロ構造電子ランチャと真性領域だけを走行領域とする新原理のホットエレクトロントランジスタ (バリスティックトランジスタ) では、新たに絶縁ゲートを持つトランジスタ構造を提案し、理論特性から絶縁膜を薄くすれば 1THz を超える遮断周波数を到達できることを示すと共に、作製した素子で室温において、明瞭なゲート絶縁特性、ゲート電圧によるコレクタ電流変調特性を確認した。

テラヘルツ発振・増幅素子としては、スロットアンテナと集積化した GaInAs/AlAs/InP 共鳴トンネルダイオードによる固体素子において、1THz 台でのバイアス電圧による可変周波数発振器特性を得た。さらに多数素子による電力合成で高出力発振器が可能であることを示すための基礎実験として、結合による相互注入同期で 2 個の発振素子が同じ周波数となることを示した。また、オフセット給電形スロットアンテナを新たに提案し、これによって高周波化が可能であることを理論解析とサブテラヘルツ帯での実験により示した。

テラヘルツ発振・増幅素子として提案した、二次元電子ガスを用いた速度変調素子 (半導体クライストロン) については、測定した素子の伝達コンダクタンスが理論と良く一致する実験結果を得た。

2. 研究実施内容

本研究における研究実施方法・現時点での成果、そこから得た今後の方針などを、以下の三つの項目に分けて述べる。

3次元超ヘテロナノ構造を電荷供給部/收受部として持つデバイス

昨年度提案したエミッタ直下以外に SiO₂ 細線を埋め込むヘテロ接合バイポーラトランジスタ (HBT) に関して、有機金属気相成長法を用いて SiO₂ 細線を InP HBT エピタキシャル構造中に埋め込んだ時には、SiO₂ 細線の膜厚は 60nm までに限られていた。SiO₂ 細線加工時のリアクティブイオンエッチング条件を把握することで、本年度は 200nm 厚の SiO₂ 細線の埋込が可能となった。幅 310nm まででは観測されたヘテロ界面は平坦であることを確認した。

また、幅 200nm の SiO₂ 細線をコレクタ中に埋め込んだ HBT において、SiO₂ 細線を埋め込んだ場合と埋め込まなかった場合の直流動作特性の比較を行った。SiO₂ 細線の占める面積を 10% まであげても、電流特性には殆ど変化は見られず、SiO₂ 細線を埋め込んでみても顕著な素子特性劣化はみられないことを明らかにした。

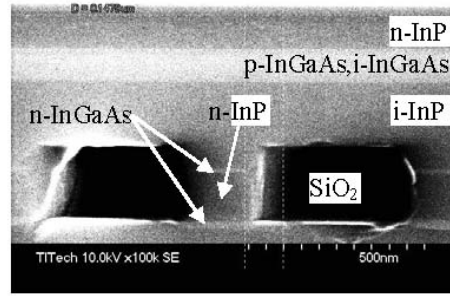
超ヘテロナノ構造により電子を真性半導体へ引き出すバリスティックトランジスタ

エミッタからコレクタまで真性半導体中のみを、最高速度が得られる一定の運動エネルギーで、電子が走行するトランジスタにおいて、CMOS 代替を含むより広い回路応用が望める絶縁ゲート型ホットエレクトロントランジスタを提案し、試作した。

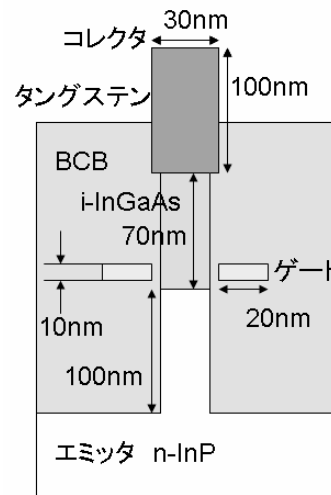
また今回提案した構造は、従来の共鳴トンネル構造によるエミッタを HBT と同じ熱電子放射型エミッタとして、高い電流密度を容易に取れるようにしたこと、コレクタアップ構造として熱放散に配慮して室温動作を可能にしたことも大きな特徴である。

提案した素子構造で、ゲート-走行層間の BCB 絶縁膜換算で 2nm まで薄くすれば、十分な駆動能力が得られることを理論的に明らかにした。モンテカルロ・シミュレーションによる半導体デバイス特性測定解析からは、素子の走行長 70nm で 8.4x10⁷cm/s の平均電子速度が得られ、電流密度 1MA/cm² では遮断周波数 1THz が得られることを示した。

タンゲステンコレクタ電極をマスクとしてリアクティブイオンエッチングで半導体ピラーを形成し、BCB による埋込/エッチバック/ゲート電極形成/BCB による再埋込で素子を作製した。残念ながら真性領域幅は目標の 25nm とはならず、90nm まで太くなってしまったが、室温 DC 特性で得られたエミッタ接地時のゲート電流はノイズ状であり、かつコレクタ電流から 8 桁小さく、絶縁ゲート特性が得られることを確認した。また、45 mS/mm の伝達コンダクタンスを持つ明瞭なゲート電圧によるコレクタ電流変調を確認した。電流密度は 160kA/cm² である。残念ながら絶縁ゲート特性が得られた素子では出力コンダクタンスが 115mS/mm と大きく、かつオフ特性も観測されなかったが、オフ特性については、ピラー側面の形状を変えた素子では確認できたことから、今後、真性領域幅縮小とその側面リーク電流抑制、ゲート位置の改善により特性改善を目指す。



HBT 層構造中に埋込んだ幅 310nm 厚さ 200nm の 2 本の SiO₂ 細線断面 SEM 像



作製した素子の概念図波数の関係

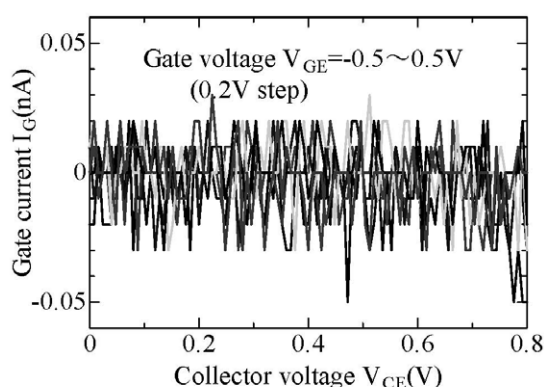
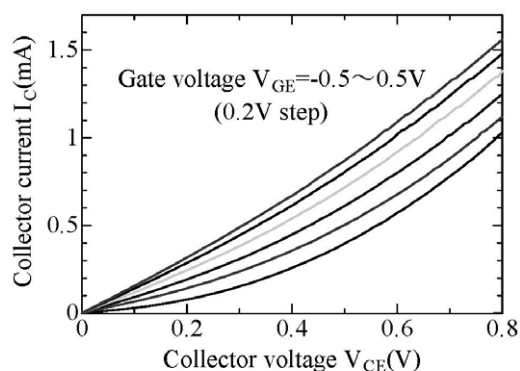
電子波面制御デバイス・電子波ビートデバイスなどの新原理デバイスの探究

1 テラヘルツ発振・増幅

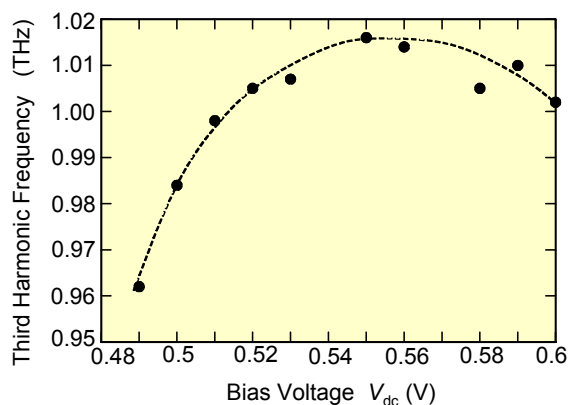
テラヘルツ発振素子として昨年度、共鳴トンネルダイオード (RTD) の 1.02THz の 3 次高調波発振を報告したが、今年度は、バイアスによる走行時間変化に伴う容量変化により、発振周波数が 0.96~1.02THz に変化させることを示した。

さらに多数素子による電力合成で高出力発振器が可能であることを示すための基礎実験として、シリコンレンズ上で準光学的に結合した 2 個の RTD が、相互注入同期により同じ周波数で発振することをサブテラヘルツ帯 (350GHz) での実験により示した。また、オフセット給電形スロットアンテナ構造を新たに提案し、これによって高周波化・高出力化が可能であることを理論解析によって示すとともに、サブテラヘルツ帯での実験において、これまでのアンテナ構造では発振周波数 350GHz であった RTD が、オフセット構造の導入により 430GHz まで周波数が上昇することを示した。アンテナ長の縮小とオフセット構造を導入し、引き続き基本波テラヘルツ発振を目指す。

テラヘルツ発振・増幅素子として提案した、二次元電子ガスを用いた速度変調素子 (半導体クライストロン) については、50GHz までの範囲において素子の伝達コンダクタンスを測定し、理論と良く一致する実験結果を得た。



絶縁ゲートホットエレクトロントランジスタのエミッタ接地コレクタ電流特性(上)とゲート電流特性(下)



共鳴トンネルダイオード発振素子のバイアス電圧による発振周波数の変化

3. 研究実施体制

(1)「古屋」グループ

①研究者名

古屋 一仁(東京工業大学 教授)

②研究項目

- ・多結晶金属細線と半導体による3次元超ヘテロナノ構造形成技術を開発し、デバイス作製に適用できるようにする(平成14-17年度)
- ・アモルファス絶縁体と半導体による3次元超ヘテロナノ構造形成技術を開発し、デバイス作製に適用できるようにする(平成17-19年度)
- ・上記(1,2)の技術を適用し、3次元超ヘテロナノ構造を電荷供給部/収受部として持つデバイスを作製・評価する(平成14-19年度)。
- ・上記(1,2)の技術を適用し、3次元超ヘテロナノ構造により電子を真性半導体へ引き出すホットエレクトロントランジスタを設計・作製・評価する(平成14-19年度)。
- ・エピタキシャル金属/絶縁物/半導体の3次元超ヘテロナノ構造形成技術を開発し、シリコン基板上のデバイスへの応用可能性を探る(平成14-19年度)。
- ・電子波面制御デバイス・電子波ビートデバイスなどのデバイス新原理を探究する(平成14-19年度)。

4. 研究成果の発表等

(1) 論文発表(原著論文)

- K. Jinen, T. Kikuchi, M. Watanabe and M. Asada, "Room-Temperature Electroluminescence from Single-Period (CdF₂/CaF₂) Inter-Subband Quantum Cascade Structure on Si Substrate," *Jpn. J. Appl. Phys.*, vol. 45, no. 4B, pp.3656-3658, Apr. 2006.
- M. Asada, "Generation of Terahertz Wave – An Approach from Electron Devices," 浅田雅洋: 「テラヘルツ波の発生－電子デバイスからのアプローチ」電子情報通信学会誌, *Proc. IEICE Japan*, vol.89, no.6, pp.456-460, Jun. 2006.
- M. Asada, N. Orihashi and S. Suzuki, "Experiment and Theoretical Analysis of Voltage-Controlled Sub-THz Oscillation of Resonant Tunneling Diodes," *IEICE Trans. Electron.*, vol. E89-C, no. 7, pp.965-971, Jul. 2006.
- Y. Miyamoto, R. Nakagawa, I. Kashima, M. Ishida, N. Machida and K. Furuya, "Current Gain and Voltage Gain in Hot Electron Transistors without Base Layer," *Trans. IECE of Japan*, vol. E89-C, no. 7, pp.972-978, Jul. 2006.
- N. Machida, S. Satoh and K. Furuya, "Transfer efficiency in ballistic electron emission microscopy taking diffraction of emitted hot electrons into account," *Surface Science*, vol. 600 pp. 4843–4847, Aug. 2006.

- N. Machida, Y. Miyamoto and K. Furuya, “Charging Time of Double-Layer Emitter in Heterojunction Bipolar Transistor Based on Transmission Formalism,” *Jpn. J. Appl. Phys.*, vol.45, no. 35, pp.L935-L937, Sep. 2006.
- K. Jinen, K. Uchida, S. Kodaira, M. Watanabe, and M. Asada, “Improvement of electroluminescence from CdF₂/CaF₂ intersubband transition light-emitting structure by trench patterning and hydrogen annealing of Si substrate,” *IEICE Electron. Express*, vol. 3, no. 23, pp. 493-498, Dec. 2006.
- Y. Miyamoto, M. Ishida, T. Yamamoto, T. Miura and K. Furuya, “InP buried growth of SiO₂ wires toward reduction of collector capacitance in HBT,” *J. Cryst. Growth*, vol. 298, pp. 867–870, Dec. 2006.
- K. Furuya, N. Machida, M. Igarashi, R. Nakagawa, I. Kashima, M. Ishida and Y. Miyamoto, “MC simulation of ultrafast transistor using ballistic electron in intrinsic semiconductor and its fabrication feasibility,” *Journal of Physics: Conference Series*, vol. 38, pp. 208-211, 2006.
- S. Suzuki and M. Asada, “Proposal of Resonant Tunneling Diode Oscillators with Offset-Fed Slot Antennas in THz and Sub-THz Range,” *Jpn. J. Appl. Phys.*, vol.46, pp.119-121, Jan. 2007.
- T. Kanazawa, R. Fujii, T. Wada, Y. Suzuki, M. Watanabe, and M. Asada, “Room temperature negative differential resistance of CdF₂/CaF₂ double-barrier resonant tunneling diode structures grown on Si(100) substrates,” *Appl. Phys. Lett.*, vol. 90, no. 9, pp.092101-3, Feb. 2007.
- A. Suwa, I. Kashima, Y. Miyamoto, and K. Furuya, “Increase of collector current in hot electron transistors controlled by gate bias,” *Jpn. J. Appl. Phys.*, vol. 46, no. 9, pp. L202-L204, Feb. 2007.
- T. Kanazawa, R. Fujii, T. Wada, Y. Suzuki, M. Watanabe, and M. Asada, “Room temperature negative differential resistance of CdF₂/CaF₂ double-barrier resonant tunneling diode structures grown on Si(100) substrates,” *Appl. Phys. Lett.*, vol. 90, pp. 092101-1-092101-3, Feb. 2007.

(2) 特許出願

平成 18 年度特許出願: 0 件 (CREST 研究期間累積件数: 6 件)