

「情報システムの超低消費電力化を目指した技術革新と統合化技術」

平成 18 年度採択研究代表者

中村 宏

(東京大学 先端科学技術研究センター 助教授)

「革新的電源制御による次世代超低電力高性能システム LSI の研究」

## 1. 研究実施の概要

本研究の目的は、快適な高度情報化社会を支える高性能システム LSI のさらなる高性能化と低消費電力化を、回路実装、アーキテクチャ・コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を行うことで実現することである。

この目的を達成するために、回路実装とアーキテクチャの協調による低電力化、システムソフトウェアとアーキテクチャの協調による低電力化、システム階層間の協調による統合的なタイミング信頼性の保証、という 3 つの技術開発項目の柱を設けているが、今年度は、回路実装とアーキテクチャの協調による低電力化に焦点をあて、以下の研究を行った。

まず、入力値に応じて不要な演算回路をスリープさせる細粒度の動的リーク電力制御を 32bit × 32bit 乗算器回路へ適用し、チップ試作と評価を行った。汎用 CPU への適用に関しては、MIPS-CPU (R3000) を題材に、内部の演算器を動的にスリープ制御させる方式の検討を行った。これらの研究を通して、次年度以降検討すべき主な点として、パワースイッチとパワースイッチを駆動するバッファのオーバーヘッド低減、および、リーク停止までの時間の短縮化、が認識された。並行して、アーキテクチャレベルでの評価環境構築としてアーキテクチャレベルの性能・電力シミュレータを開発すると共に、回路技術グループが実現を目指す **Power gating** 方式と親和性の高い命令実行制御方式の初期検討を行い、その有効性を確認した。さらに、低電力動的リコンフィギャラブルアーキテクチャの基盤となる動的リコンフィギャラブルプロセッサプロトタイプ **MuCCRA-1** を設計、実装した。**VDEC Rohm 0.18 μm** プロセスを用いて設計し、現在まだ製造中であるが、設計データに基づく評価によって優れた電力性能比を達成できることがわかった。システムソフトウェアによる低電力化に関しては、各プロセスやタスクが使用する資源、例えば、主記憶、キャッシュメモリ、プロセッサ内部の各機能ユニットの利用率を計測する環境を整備し、実機での実行時プロファイリングが行えるようになった。

今年度は予定通りの進捗と成果を出せたので、今後も当初計画どおりに、目標達成を目指して引き続き研究を推進させる。

## 2. 研究実施内容

本年度は特に回路実装とアーキテクチャの協調による低電力化を中心に、4つの研究グループで以下のような研究を実施した。

(1) 回路技術グループは、細粒度の動的リーク電力制御を 32bit×32bit 乗算器回路へ適用し、チップ試作と評価を行った。実際のアプリケーション・プログラムを分析すると、32bit データ同士の乗算のみならず 16bit データ同士の乗算が数多く含まれる。上位ビットのゼロが検出されたら直ちに上位 16bit の計算回路部分を自動でスリープする乗算回路を設計し、ASPLA 90nm プロセスを用いてチップを試作した。チップを実測した結果、上記スリープによって室温、高温 (85°C) ともに消費電力を約 17% 低減できることが分かった。一方、この評価により、実装技術として改善すべき点として、パワースイッチとパワースイッチを駆動するバッファのオーバヘッド低減、および、リーク停止までの時間の短縮化、が主な課題として認識された。また、CPU への適用に関しては、MIPS-CPU (R3000) を題材に、内部の演算器 (ALU, シフター, 乗算器, 除算器) を動的にスリープ制御させる方式の検討を行った。さらに、ルネサステクノロジーの SH3-DSP の設計データを入手し、CPU の内部レジスタのイネーブル制御信号に基づいて動的にスリープ制御する方式の検討と、電力低減効果の評価を行った。これらの評価結果に基づき、今後検討すべき課題として① CPU で高性能を維持するためのパワースイッチのオン/オフ制御、② 電力低減効果をさらに上げる実装技術、③ 種々の環境条件に適応してリーク電力を効率良く低減するための技術、の3つが重要であることを明らかにした。

(2) アーキテクチャグループは、アーキテクチャレベルでの評価環境構築としてアーキテクチャレベルの性能・電力シミュレータを開発すると共に、回路技術グループが実現を目指す、パワースイッチを用いた **Power gating** 方式と親和性の高い命令実行制御方式の検討を行った。パワースイッチの動作自体が電力を消費するため、パワースイッチの **on/off** の頻度をできるだけ抑え、かつ **off** にできる時間が長くなるような命令制御方式が、**Power gating** 方式と親和性が高い命令制御方式となる。また、性能指向のマイクロプロセッサでは多数のハードウェア資源を投入し同時に複数命令を実行する **superscalar** 方式を採用しているが、一般には命令レベルの並列度がそれほど高くないために個々のハードウェア資源の稼働率はそれほど高くなく **power off** の機会が多いと期待されるが、**off** にできる時間に関する検討はこれまでなされていない。そこで、従来の **superscalar** 方式の命令スケジューリングで演算器が稼働していない時間の統計を、今年度開発したシミュレータを用いて採取したところ、全実行時間の半分程度あることはわかったが、非稼働時のサイクル数が比較的短い場合が多いことも多かった。そこで、キャッシュミスが複数重なった場合に全てが解消するまで命令実行を止める新しい命令制御方式を考案しその効果を検討した。その結果、実行時間が殆ど伸びることなく、非稼働時のサイクル数を効果的に大きくすることが可能であることがわかった。

(3) 動的リコンフィギャラブルグループ、超低電力動的リコンフィギャラブルアーキテクチャの基盤となる動的リコンフィギャラブルプロセッサ **MuCCRA** のプロトタイプ

MuCCRA-1 を設計、実装した。MuCCRA-1 は、典型的な動的リコンフィギャラブルプロセッサで、簡単な演算を行う ALU と、シフト、マスク操作を行う SMU,レジスタファイルから成るプロセッシングエレメント (PE) により 4×4 のアレイを構成し、アレイ下側に分散共有メモリモジュールを 4 セット、左側に乗算器モジュールを 4 セット設けた構造を持つ。PE、分散メモリモジュール、乗算器は、2 系統のアイランドスタイルの配線構造によって接続される。各コンポーネントは、その構造と配線を制御する情報 (コンフィギュレーション情報) を 64 セット保持し、64 個のハードウェアコンテキストを 1 クロックで切り替えながら解くことができる。コンテキストの制御は、プログラムカウンタを用い、PE アレイ内で生成した分岐先にテーブルジャンプする簡単な方法を用いている。さらにチップ中央にコンフィギュレーションメモリを持ち、ここから実行中に空いている場所にコンフィギュレーション情報をマルチキャストする仮想ハードウェア機構を持っている。このことで、64 を超えるサイズの問題にも対処可能である。

この MuCCRA-1 の詳細設計、レイアウトを行い、VDEC Rohm 0.18 $\mu$ m プロセスを用いて実装した。このレイアウト図を図 1 に示す。実際のチップは、現在 VDEC において製造中であるが、設計データに基づく評価によって、離散コサイン変換、暗号化におけるハッシュ関数、ビタビ複号器などのアプリケーションにおいて、50MHz 前後の低い周波数で、225MHz で動作する DSP の数倍の性能を MuCCRA-1 は達成できること、また、問題を解く総エネルギーも数分の一、チップ面積も 5mm 角で収まり、低電力用のアーキテクチャとして極めて有望であることがわかった。

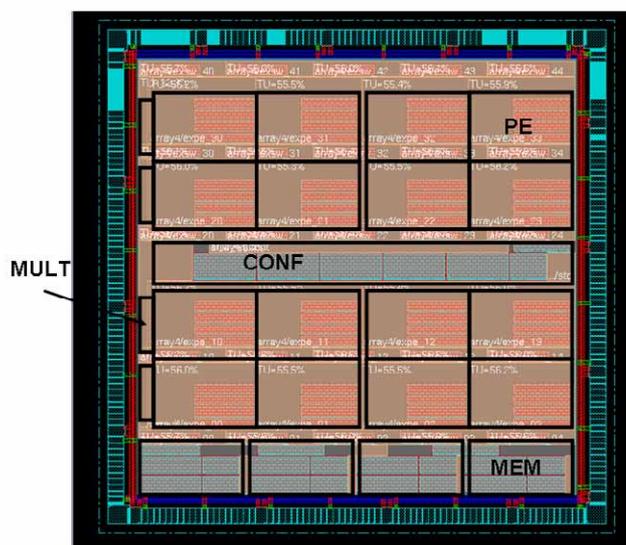


図 1 MuCCRA-1 のレイアウト

(4) システムソフトウェアグループは、超低電力アーキテクチャにおける、主記憶、キャッシュ、プロセッサの各演算コアなどの電力および性能監視系の情報を基にしたプロセス管理とプロセ

スケジューラ、電力消費を抑えるメモリ管理方式の研究を行い、超低電力アーキテクチャ向けのシステムソフトウェアアーキテクチャを検討することを目的としている。今年度は、各プロセスやタスクが使用する資源、例えば、主記憶、キャッシュメモリ、プロセッサ内部の各機能ユニットの利用率を計測する環境を整備した。さらに、プロセッサシミュレータ、また実機での実行時プロファイリングを行い、資源利用が競合するマルチプロセス・タスクの環境下での資源利用状況を定量的に測定し、省電力制御を行う OS の資源管理モデルの基礎的検討も行った。

具体的には、次の四つの研究を行った。

- (1) バイナリ変換を用いた QEMU により高速かつ OS からユーザプロセスを含む命令およびアドレスを取得する環境を構築し、Linux カーネルおよび Linux 上で稼動するユーザプロセスの資源利用状況を計測した。この結果をもとに電力評価モデルを考察した。
- (2) 実機による電力評価機構を整備し、モデルの電力使用状況を検証する環境を整備した。非接触型の電力計測環境を構築した。
- (3) Linux のスケジューラとメモリアロケータを解析し、電力制御を行うプロセススケジューラおよびページ管理の基礎的な検討を行った。
- (4) 次年度以降に試作される CPU で Linux カーネルを稼動させるための実行環境および開発環境の検討と整備を行った。特に、電力制御を行うカーネルを試作機上でブートする環境を整えた。特に、組み込み型およびシンクライアント型の計算機環境上でのシステム構築を考察した。

### 3. 研究実施体制

#### (1) 「回路技術」グループ(芝浦工業大学)

- ① 研究分担グループ長:宇佐美 公良(芝浦工業大学工学部 教授)
- ② 研究項目:アーキテクチャ協調型超低電力回路技術

#### (2) 「アーキテクチャ」グループ(東京大学)

- ① 研究分担グループ長:中村 宏(東京大学 先端科学技術研究センター 助教授)
- ② 研究項目:超低電力データレジデントアーキテクチャ

#### (3) 「動的リコンフィギャラブル」グループ(慶應義塾大学)

- ① 研究分担グループ長:天野 英晴(慶應義塾大学理工学部 教授)
- ② 研究項目:超低電力動的リコンフィギャラブルアーキテクチャ

#### (4) 「システムソフトウェア」グループ(東京農工大学)

- ① 研究分担グループ長:並木 美太郎(東京農工大学大学院共生科学技術研究院 助教授)
- ② 研究項目:超低電力を実現するアーキテクチャ協調型システムソフトウェア

## 4. 研究成果の発表等

### (1) 論文発表(原著論文)

- 黒瀧 俊輔、鈴木 紀章、中臺 一博、奥乃 博、天野 英晴、動的リコンフィギュラブルデバイス DRP を用いたロボット聴覚のための音源分離フィルタ、電子情報通信学会論文誌、pp.897--907、Vol.J90-D,No.3,March,2007.
- Vasutan Tunbunheng , Masayasu Suzuki , Hideharu Amano, "Data Multicasting Procedure for Increasing Configuration Speed of Coarse Grain Reconfigurable Devices", IEICE Trans. on Inf.& Syst.,pp.473--481,Vol.E90-D,No.2,Feb.,2007.
- Akiya Jouraku , Michihiro Koibuchi , Hideharu Amano, "An Efficient Deadlock-Free Routing Algorithms Based on 2D Turn Model for Irregular Networks", IEEE Trans. on Parallel and Distributed Systemms, pp.320--333", Vol.18, No.3, March, 2007.
- Michihiro Koibuchi , enichiro Anjo , Yutaka Yamada , Akiya Jouraku , Hideharu Amano,"A Simple Data Transfer Technique Using Local Address for Networks-on-Chips, IEEE Trans. on Parallel and Distributed Systems, Vol.17, No.12,pp.1425--1437,Dec.,2006.
- Hideharu Amano,"A Survey on Dynamically Reconfigurable Processors", IEICE Trans. on Comm.", Vol.E89-B, No.12, pp.3179--3187, Dec., 2006.
- 石川 健一郎 , 安達 義則 , 天野 英晴, "同期 Speculative Completion の提案と評価", 電子情報通信学会論文誌,Vol.J89-D,No.11,pp.2296--2403,Nov.2006"
- 金井 遵, 須崎 有康, 八木 豊志樹, 並木 美太郎:HTTP-FUSE-KNOPPIX-BOX によるモバイルシンクライアントシステムの実現, 電子情報通信学会論文誌「ユビキタス時代の情報基盤技術」特集号(採録決定)
- 佐々木 広, 浅井 雅司, 池田 佳路, 近藤 正章, 中村 宏, "統計処理に基づく動的電源電圧制御手法",情報処理学会論文誌, Vol.47, No.SIG18 (ACS 16), pp.80-91, 2006年11月.
- K.Watanabe, M.Imai, M.Kondo, H.Nakamura,T.Nanya, "A Design Method of High Performance and Low Power Functional Units Considering Delay Variations", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E-89-A, No.12, pp. 3519-3528, 2006