

「情報システムの超低消費電力化を目指した技術革新と統合化技術」

平成 18 年度採択研究代表者

高木 直史

(名古屋大学大学院情報科学研究科 教授)

「単一磁束量子回路による再構成可能な低電力高性能プロセッサ」

1. 研究実施の概要

半導体 CMOS 集積回路によるプロセッサの性能向上は、回路の微細化に伴う発熱(消費電力)の問題から、限界に達して来ている。また、メモリの性能がプロセッサの性能に比べて低いためコンピュータ・システム全体としての性能を向上できないという問題(メモリウォール問題)が顕著化してきている。本研究では、これらの問題を解決するために、超伝導単一磁束量子(SFQ)回路による再構成可能な大規模データパス(RDP)を有するプロセッサの基盤技術を確立し、今後 0.5 μm 超伝導集積回路プロセス技術が確立されれば 10 テラフロップス級デスクサイド・コンピュータが実現可能であることを示す。そのために、RDP アーキテクチャ技術の確立、SFQ 回路による再構成可能な回路の構成法の開発、SFQ-RDP に適した算術演算ユニットの構成法の開発、SFQ 論理回路設計技術の開発、SFQ 回路プロセスの高度化及び高信頼化を行う。

平成 18 年度は、RDP アーキテクチャ技術に関しては、二電子積分計算プログラムを対象としたアプリケーション分析、オンチップ・ネットワーク構成の検討、演算資源割当てツールの開発を行った。SFQ 回路による再構成可能な回路の構成法の開発に関しては、SFQ 回路に適した新たな設計手法を提案することにより RDP 搭載用 25GHzALU の開発を行い、一部の機能を除き正常動作を確認した。さらに、来年度目標の2並列1段(2x1)RDP の全体設計を先行実施し、スイッチネットワークの正常動作などを確認し、2x1RDP の開発に目処をつけた。また、データストリームバッファ用の非同期読み書き可能な FIFO バッファの高速動作実証に成功した。SFQ-RDP に適した算術演算ユニットの構成法の開発に関しては、要素回路である 4-bit ビットスライス加算器、浮動小数点加算器用シフト加算ユニット、レイテンシの小さなビットシリアル乗算器を設計し、いずれも 30GHz〜40GHz での高速動作実証に成功した。さらに、浮動小数点除算器用の除算回路の構成法を開発した。また、浮動小数点演算器の構成について検討した。以上の研究は、当初の計画より、若干先行して進んでいるが、浮動小数点演算器はさまざまな構成が考えられ、どの構成を採用するかの決定には、さらに検討が必要である。

SFQ 論理回路設計技術の開発に関しては、超電導工学研究所のアドバンスプロセスに基づく論理セルライブラリの検討を行った結果、従来のデバイス構造では高集積化に対して課題が残ることが判明した。平成 19 年度より、超電導工学研究所が本プロジェクトに参加することにより、デバ

イス構造そのものの変更が可能となり、より高集積化に適したデバイス構造を追求することができる。当初本年度目標としていた論理セルライブラリ及び回路設計ツールの基本方針の決定は、このような経緯により、新デバイス構造に基づいたものとして、平成 19 年度前半までに実施することとした。また、フレキシブル配線技術として、従来のジョセフソン伝送線路(JTL)と受動配線(PTL)の交差技術を確立した。SFQ 回路プロセスの高度化及び高信頼化は、平成 19 年度より、超電導工学研究所がプロジェクトに参加して、進める。

2. 研究実施内容

1. RDP アーキテクチャ技術

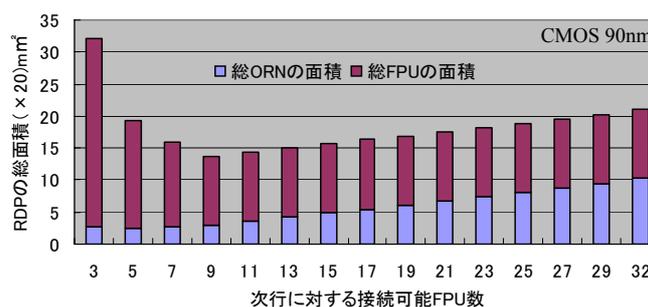
RDP アーキテクチャを決定するため、以下の三つの項目について研究、開発を行った。

① 二電子積分計算プログラムを対象としたアプリケーション分析

初期項ならびに漸化計算の表式に従い、二電子積分計算プログラムの実行において必要となる浮動小数点演算の種類(除算、開平、指数関数、誤差関数、積和など)、出現頻度、ならびに、それらの出現順序を分析した。また、これらの結果に基づき、RDP における FPU(Floating-Point Unit)アレイ構成を検討した。

② RDP アーキテクチャの検討

二電子積分計算プログラムを対象とし、CMOS90nm プロセスを用いた場合の、配線資源である ORN の面積と演算資源面積との間のトレードオフ関係を解明した(右図)。また、二電子積分計算プログラムを対象として RDP アーキテクチャを検討した。



③ RDP 向け演算資源割当てツールの開発

実行対象プログラムのデータフロー・グラフを入力とする RDP 向け演算資源割当てツールを開発した。本ツールには、搭載する FPU 数や ORN(Operand Routing Network)の配線能力を制約条件として与えることができる。

2. SFQ 回路による再構成可能な回路の構成法の開発

従来の 2 μ m プロセスによる 25GHz 動作2並列2段(2x2) SFQ-RDP の実現に向けて、25GHz 動作 ALU の開発を行うとともに、2並列1段(2x1)の RDP の全体設計を行った。また、データストリームバッファ用の FIFO バッファの高速動作実証に成功した。

① 25GHz 動作 ALU の開発

SFQ 回路に適した新たな設計手法を提案し、動作速度の高速化を図った。これは、従来クリティカルパスとなっていた論理セル間の帰還ループを排除し、代わりに非破壊読み出し機能を持つメモリを用いて同様の機能を実現するというものである。その結果、18GHz から 25GHz まで高速

化が図れた。実際、試作した回路において、一部の機能を除いて 25GHz 動作を確認した。未動作機能に関しても、それを修正した設計を終了、試作中である。

② 2x1 RDP の全体設計

上記の ALU の開発状況を踏まえ、平成 19 年度の目標である 2x1 RDP の全体設計を先行して行った。これにより、接合数、占有面積などの情報を得るとともに、バッファや ALU 間を結ぶスイッチネットワークの正常動作を確認した。

③ データストリームバッファ用の FIFO バッファの高速動作実証

非同期読み書き可能な FIFO バッファの新たな実現方法を提案した。2um プロセスを用いて本回路を試作し、32GHz での非同期的な読み書き動作の実証を行なった。

3. SFQ-RDP に適した算術演算ユニットの構成法の開発

要素回路を開発するとともに、浮動小数点演算器の構成について検討した。

① 浮動小数点演算器の要素回路の開発

浮動小数点演算器の要素回路として、ビットスライスアーキテクチャに基づく SFQ 加算器、シフト加算ユニット、レイテンシの小さなビットシリアル乗算器、冗長2進表現を用いた非回復型除算アルゴリズムに基づくシストリック除算器を提案した。ビットスライスアーキテクチャに基づく SFQ 加算器については、最適なビットスライス幅と動作性能の検討を行い、小規模で高い処理能力を有する加算器が実現できることを明らかにし、実際に 4-bit ビットスライス加算器を 2um プロセスを用いて試作して、30GHz での高速動作を実証した。シフト加算ユニットおよびビットシリアル乗算器については、動作性能の検討を行い、2um プロセスを用いて試作して、それぞれ 35GHz および 39GHz での高速動作を実証した。また、シストリック除算回路については、シミュレーションにより、20GHz で動作するとの見積りを得た。

② 浮動小数点演算器の構成の検討

浮動小数点加算器及び乗算器について、いくつかの構成法を検討した。さまざまな構成が考えられ、どの構成を採用するかは、さらに検討が必要である。

4. SFQ 論理回路設計技術の開発

超電導工学研究所のアドバンスプロセスに基づく論理セルライブラリの検討を行った結果、従来のデバイス構造では高集積化に対して課題が残ることがわかった。また、フレキシブル配線技術として、従来のジョセフソン伝送線路 (JTL) と受動配線 (PTL) の交差技術を確立した。

① フレキシブル配線技術の検討

フレキシブル配線技術の検討として、従来のジョセフソン伝送線路 (JTL) と受動配線 (PTL) の交差について検討を行った。フレキシブル配線技術では、今後 PTL と JTL の交差が多数生じる。この部分では、磁氣的結合が結合係数 4% 程度となる。この影響について検証するため、交差部が多数存在する回路を設計・評価した。適切な構造を取ることで、SFQ パルスの正確な伝送及び回路動作余裕に影響がないことが確認され、交差技術を確立することができた。

② 論理セルライブラリ及び回路設計ツールの検討

SFQ 回路は直流電流駆動回路であり、高集積化に伴い駆動電流は増大する。SFQ 回路は超高感度磁気センサの集合体であるため、この駆動電流に伴う磁場の影響を抑えることが最重要課題となる。超電導工学研究所のアドバンスプロセスでは、回路の駆動電流が、回路の接地面の下層、つまり、デバイス構造の最下部超伝導層(電源層)を流れる構造をとる。これは、駆動電流を供給したとき、回路の接地面が磁気シールド層として機能し、回路側への影響を抑制することを意図したものである。しかし、実際にこのシールド効果を評価したところ、必ずしも十分な効果が得られず、現在の構造及びレイヤパラメータでは集積化に課題が残ることがわかった。このため、デバイス構造そのものを変更することとし、論理セルライブラリ及び回路設計ツールの基本方針の決定は、平成 19 年度前半に持ち越した。

3. 研究実施体制

(1) 高木グループ

① 研究分担グループ長:高木 直史(名古屋大学大学院情報科学研究科 教授)

② 研究項目

- 多層配線プロセスに対応した論理回路設計ツールの開発
- SFQ-RDP 用算術演算ユニットの構成法の開発

(2) 村上グループ

① 研究分担グループ長:村上 和彰(九州大学大学院システム情報科学研究院 教授)

② 研究項目

- 二電子積分計算プログラムを対象としたアプリケーション分析
- 大規模再構成可能データパス・アーキテクチャの検討

(3) 吉川グループ

① 研究分担グループ長:吉川 信行(横浜国立大学大学院工学研究院 教授)

② 研究項目

- 多層配線プロセスに適した論理セル開発
- SFQ 算術演算ユニットの高速動作実証

(4) 赤池グループ

① 研究分担グループ長:赤池 宏之(名古屋大学大学院工学研究科 助手)

② 研究項目

- 超伝導多層配線による広帯域フレキシブル超伝導配線技術及び論理セル設計技術の開発
- SFQ 回路による再構成可能なデータパスの実証