

「情報システムの超低消費電力化を目指した技術革新と統合化技術」

平成 17 年度採択研究代表者

小林 光

(大阪大学 教授)

「極限ゲート構造によるシステムディスプレイの超低消費電力化」

1. 研究実施の概要

本プロジェクトでは、我々が開発した新規半導体低温酸化法である「硝酸酸化法」を利用して、液晶ディスプレイ駆動などに用いられる薄膜トランジスタ(TFT)とシステムディスプレイの超低消費電力化を目指す。比較的低濃度の硝酸と共沸硝酸を用いて酸化を行なう「二段階硝酸酸化法」では、121℃の低温で 10nm 以上の膜厚を持つ二酸化シリコン (SiO_2) 膜が形成できる。直接酸化法であるため、従来の SiO_2 低温形成法であるプラズマ気相成長法(CVD 法)に比較して格段に良質の SiO_2 膜が形成でき、さらに凹凸のある多結晶シリコン表面にも均一な膜厚の SiO_2 膜が形成できる。したがって、従来は 50nm 程度の膜厚が必要であった TFT のゲート酸化膜の膜厚が 20nm 以下に低減でき、その結果 TFT の駆動電圧が低減でき、大幅な低消費電力化が達成できる。さらに、硝酸酸化法を用いれば、ゲート酸化膜の薄膜化が可能であることから、TFT の微細化が可能となり、バックゲート構造 TFT 等の新構造により低消費電力化を行い、さらに CPU、ドライバー、アンプ等を内蔵することによるシステムディスプレイの超低消費電力化を行う。硝酸酸化法では 120℃の低温で SiO_2 膜が形成できるため、現在のガラス基板に替わり PET などのプラスチック基板の上に TFT が創製でき、フレキシブルディスプレイが達成できると期待される。さらに、新構造デバイスの回路技術を開発することによっても TFT の低消費電力化を行なう。すなわち、本プロジェクトでは材料、デバイス、システムを総合的に研究開発することによって、システムディスプレイの超低消費電力化を行なう。

2. 研究実施内容

多結晶シリコン TFT の基本構造は、〈金属/ SiO_2 /多結晶シリコン〉MOS 構造である。17 年度は、二段階硝酸酸化法を用いて単結晶シリコン MOS 構造を創製してその良好な電気特性を確認すると共に、凹凸のある多結晶シリコン薄膜上にも均一な膜厚で SiO_2 膜が形成できることを確認した。

n 型及び p 型 Si (100) 及び Si (111) ウェーハやガラス基板上に堆積された i 型多結晶シリコン薄膜を、RCA 法を用いて洗浄後、希フッ化水素酸水溶液でエッチングした。これらのシ

リコン試料を、濃度 40 重量%で 108°Cで沸騰している硝酸に浸漬し、その後濃度 68 重量%、沸点 121°Cの共沸硝酸に浸漬することによって酸化した。単結晶シリコンについては、酸化後直径 0.3mm のアルミニウム電極を形成して、〈Al/SiO₂/Si〉MOS 構造とした。

表 1 に、二段階硝酸酸化法で形成された SiO₂ 膜厚を示す。

Si (100) と Si (111) 基板を酸化した際、酸化時間が 4 時間で両方とも約 6nm の SiO₂ 膜が形成された。つまり、二段階硝酸酸化法では、酸化速度の面方位依存性が存在しないことが確認された。

800°C以上の高温を要する熱酸化では、Si (111) 面の酸化速度は Si (100) 面の酸化速度の約 1.4 倍であり、その結果種々の面方位が露出している多結晶シリコンを酸化した場合、均一な膜厚を持つ SiO₂ 膜は形成できない。一方、硝酸酸化法では、酸化速度

の面方位依存性がないために、多結晶シリコン表面を酸化した場合にも均一な膜厚を持つ SiO₂ 膜が形成できると期待される。

図 1 に、TFT 用多結晶シリコン薄膜を二段階硝酸酸化した後に観測した断面 TEM 写真を示す。共沸硝酸を用いての二段階目の酸化時間は、100 分である。多結晶シリコン表面にはかなりの凹凸が存在するにもかかわらず、均一な膜厚、約 10nm を持つ SiO₂ 膜が形成されていることがわかる。粒界領域が選択的に酸化されないこともわかる。均一な膜厚を持つ SiO₂ 膜の形成は、二段階硝酸酸化が、1) 直接酸化である、2) 面方位依存性が無いことによる。均一な膜厚の SiO₂ 膜が形成されることによ

	Oxidation time (h)	SiO ₂ thickness (nm)
n-Si(100) ~ 10 Ω cm	4	5.8
n-Si(111) ~ 8 Ω cm	4	6.2

表1 二段階硝酸酸化によりSi(100)及びSi(111)表面上に形成されたSiO₂膜の膜厚

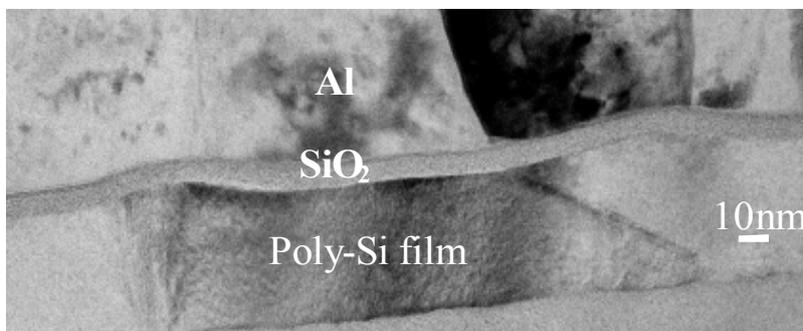


図 1 二段階硝酸酸化法により多結晶シリコン薄膜上に形成された SiO₂ 膜の TEM 写真

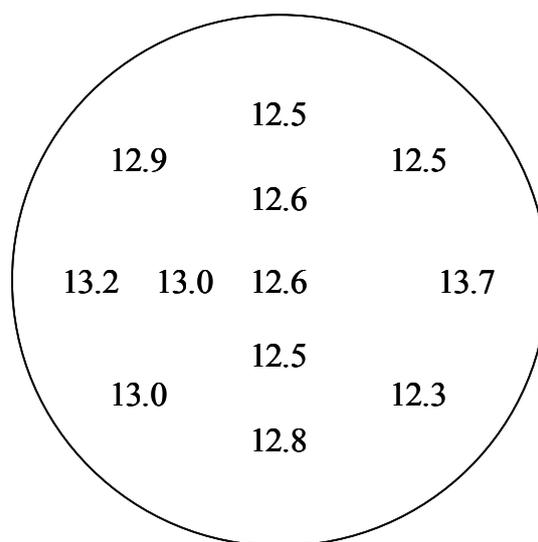


図 2 二段階硝酸酸化法により 6 インチ Si(100) ウェーハ上に形成された SiO₂ 膜の面内膜厚分布

て、ゲート酸化膜の膜厚を低減でき、この結果 TFT の消費電力が低減できる。

図 2 に、6 インチウェーハを二段階硝酸酸化した結果、形成される SiO₂ 膜の膜厚分布を示す。二段階目の共沸硝酸を用いての酸化時間は 5 時間である。SiO₂ 膜厚は 13.1nm±0.6nm であり、膜厚分布は±5%である。

図 3 に、二段階硝酸酸化によって形成された 3.5nm の SiO₂ 膜を持つ <Al/SiO₂/Si(100)>MOS ダイオードの電流-電圧 (I-V) 曲線を示す。Al 電極の形成後、5%水素+95%窒素中 250°C で加熱処理を行なうことによって、リーク電流密度は約 1/10 に減少した。金属不純物濃度 10ppt (1/1,000 億) 以下の超高純度硝酸を用いて酸化した場合、不純物濃度 1ppb (1/10 億) 程度の硝酸を用いた場合に比較してリーク電流密度は約 1/10 に低減した。超高純度硝酸による酸化では、121°C の低温酸化にもかかわらず、800°C 以上の高温が必要な熱酸化と同等の低いリーク電流が得られた。このように、二段階硝酸酸化では低リーク電流密度が達成できることから、TFT ゲート酸化膜に利用した場合 SiO₂ 膜厚が低減でき、その結果駆動電圧の低減による低消費電力化が可能となる。

共沸硝酸に浸漬することによって、プラズマ CVD 法で形成された SiO₂ 膜を改質することができる。図 4 に、<Al/プラズマ CVD-SiO₂膜(38nm)/Si(100)>MOS ダイオードの電気容量-電圧 (C-V) 曲線を示す。処理しない場合 (曲線 a)、C-V 曲線はかなり負ゲートバイアス領域に観測され、これは SiO₂ 膜や SiO₂/Si 界面に正電荷が高密度で存在することを示す。共沸硝酸処理を 1 時間施した場合、C-V 曲線は約 2V 正電圧方向にシフトして、正電荷密度が低減したことを示す。共沸硝酸処理後、200°C で加熱処理を施すことによってさらに正電圧方向にシフトして (曲線 c)、

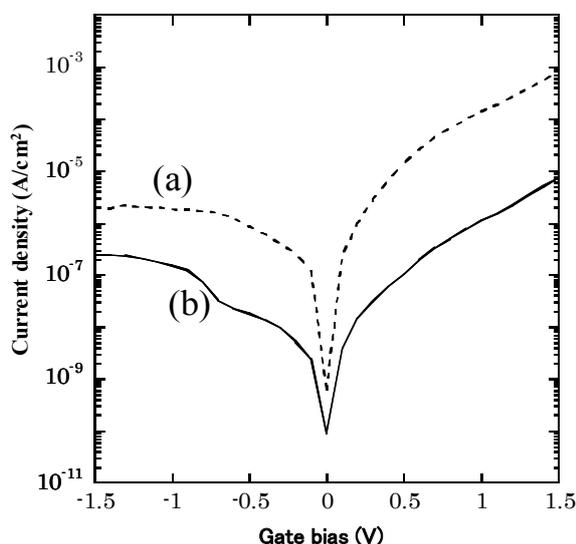


図 3 二段階硝酸酸化法で形成した SiO₂ 膜を持つ <Al/3.5nm SiO₂/Si(100)> MOS ダイオードの電流-電圧特性

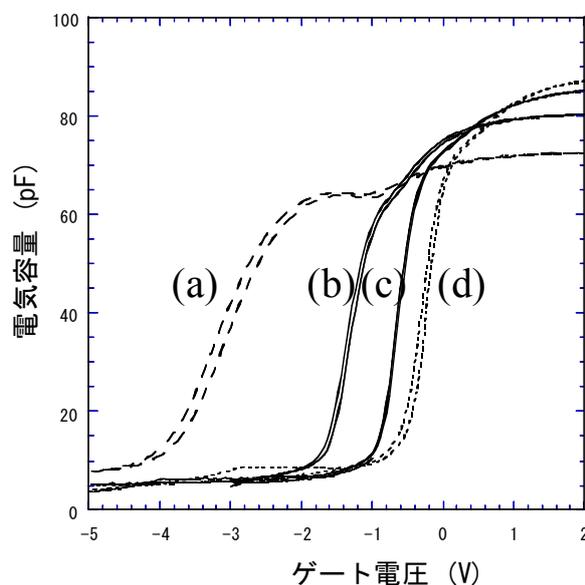


図 4 プラズマ CVD 酸化膜/シリコン構造の C-V 曲線 : a) 処理なし; b) 121°C の共沸硝酸で 1 時間処理; c) b) の試料を 200°C で加熱処理; d) 熱酸化膜

熱酸化膜の C-V 曲線(曲線 d)とほぼ同じ位置に観測された。この結果は、CVD 酸化膜の特性が、共沸硝酸処理によって熱酸化膜に近くなることを示すものである。共沸硝酸による改質は、酸素原子が SiO₂ 中の欠陥準位に結合してそれが消滅することによると考えられる。

32×40cm² のガラス基板上に堆積された多結晶シリコン薄膜の硝酸酸化が可能な大面積基板 TFT 用の硝酸酸化装置を開発した。この装置を用いて多結晶シリコン薄膜の硝酸酸化の実験を行い、装置のパーツ材料の変更の必要性、硝酸酸化中の排気速度の変更の必要性等、種々の必要な改良点を発見した。これらの改良を、18 年度に行う予定である。

硝酸酸化法を用いてゲート酸化膜を形成する場合、硝酸中の不純物金属がその特性に悪影響を及ぼすことがわかっている。液晶に使用されるガラス基材から共沸硝酸中に溶出する金属を調査した。石英製容器に試験片を入れ共沸硝酸を満たし、121℃で1時間加熱をした後、硝酸液を取り出し ICP-MS で硝酸中に溶出した金属を分析した。素ガラス、多結晶シリコン膜付き、酸化膜付きの3種類についての分析結果を図5に示す。ガラスから Al と Ca が、多結晶シリコンから Ca と Ba が多く溶出して、これらの金属不純物を除去する必要があることがわかった。

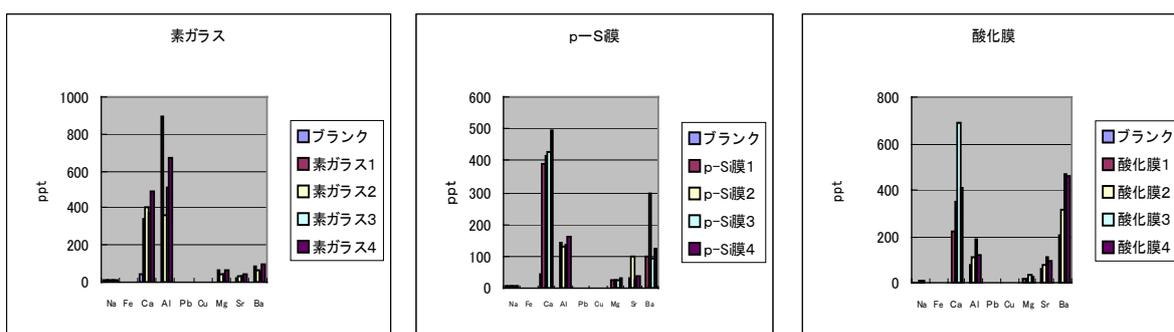


図5 共沸硝酸中に溶出した金属不純物濃度：a) ガラス基板; b) 多結晶シリコン; c) 酸化膜付多結晶シリコン

硝酸酸化による TFT 試料がまだ試作されていないので、現在、入手可能な多結晶 TFT を用いて SPICE モデルの開発を行った。双方の TFT の電気的特性には共通の現象が発現すると想定されており、現行の多結晶シリコン TFT で開発したモデルとそのパラメータ抽出法が硝酸酸化膜 TFT にも適用可能と考えられる。

(1) TFT の SPICE モデルとして RPI モデルを採用

RPI モデルでは、サブスレッショルド領域にはトラップの影響を組み込んだ拡散電流式、強反転領域についてはトラップに依存する移動度と DIBL 効果を組み込んだドリフトの式を採用している。平成 17 年度は RPI モデルを SPICE に組み込み、実測値との比較を通して問題点の抽出とモデルの改良を行った。

(2) 実測との比較による RPI モデルの問題点抽出

チャンネル長とチャンネル幅の異なる試料の実測結果から上記のモデルのデバイスパラメータ抽出を行った。その結果、①TFT のサブスレッショルド特性は RPI モデルでは不正確であること、②チャンネル長が $5\mu\text{m}$ 以上の試料では強反転領域の実測値とモデル式との合致は良いものの、 $4\mu\text{m}$ 以下の試料ではその違いが顕著になること、チャンネル幅が $50\mu\text{m}$ 以上の試料ではゲート電圧が大きくなるほどモデル式との違いが明確になること、などが判明した。上記の①については、電子トラップの影響を正確に反映させるために RPI サブスレッショルドモデルに改良を加えた。②については、短チャンネル効果に起因するしきい値の低下を 2 次関数で表現していることに問題があることがわかった。②については、RPI モデルでは組み込まれていない自己発熱に起因する移動度の劣化が原因であることがわかった。

(3) TFT 評価用 TEG の設計

現行の TFT の設計ルールに基づき、下記の 2 種類の TEG を設計した。

①近接する TFT 特性のばらつきを自動測定する TEG の設計

TEG 構造は、15 個の TFT のソース、ドレインを共通とし、4 ビットデコーダでゲート電極を選択する方式を採用した。個々の TFT のソース・ドレイン電位をケルビン法で自動制御する方式を用いた。TEG 実測の結果、正常に動作することを確認した。

②TFT 端子間容量測定用 TEG の設計

ノンオーバーラップ信号を P チャンネル TFT と N チャンネル TFT に印加し、インバータ構造の出力端子に接続したキャパシタの容量を微小電流計測器で高精度に求める方法を採用した。今回、実測をした結果、容量値の周波数依存性が確認された。これは TFT 膜内の電子トラップ分布が容量値に影響することを意味している。

3. 研究実施体制

「小林」グループ (研究機関別)

① 研究分担グループ長：小林 光 (大阪大学、教授)

② 研究項目：

1. 大面積 TFT 用硝酸酸化装置の開発
2. 硝酸酸化プロセスの研究開発
3. 硝酸処理によるプラズマ CVD 法で形成された SiO_2 堆積膜の特性向上
4. 新規欠陥消滅法による欠陥準位の消滅と TFT の高性能化
5. 大面積 TFT の硝酸酸化技術の開発

「谷口」グループ

① 研究分担グループ長：谷口 研二 (大阪大学、教授)

② 研究項目：

1. 硝酸酸化膜 TFT の SPICE モデルの研究開発

「今井」グループ

① 研究分担グループ長：今井 繁規（シャープ、参与）

② 研究項目：

1. 大面積 TFT 用硝酸酸化装置の開発
2. 大面積 TFT の硝酸酸化技術の研究開発

「稲垣」グループ

① 研究分担グループ長：稲垣 精一（野村ピュア、社長）

② 研究項目：

1. 廃液硝酸の高純度化技術の開発

4. 主な研究成果の発表（論文発表および特許出願）

(1) 論文（原著論文）発表

- S. Imai, M. Fujimoto, Asuha, M. Takahashi, and H. Kobayashi, Formation of atomically smooth SiO₂/SiC interfaces at ~120 ° C by use of nitric acid oxidation method, Surf. Sci. 600 (2006) 547-550.
- M. Takahashi, Y.-L. Liu, N. Fujiwara, H. Iwasa, and H. Kobayashi, Silicon cleaning and defect passivation effects of hydrogen cyanide aqueous solutions, Solid State Commun. 137 (2006) 263-267.
- H. Kobayashi, Asuha, S.-S. Im, S. Imai, and M. Takahashi, Nitric acid oxidation of Si method for the formation of high quality Si/SiO₂ structure at ~120 ° C, AJAM (2006) 104-108.
- Y.-L. Liu, N. Fujiwara, H. Iwasa, M. Takahashi, S. Imai, and H. Kobayashi, Defect passivation etch-less cleaning method for Si devices, Surf. Sci. 600 (2006) 1165-1169.
- E. Pincik, H. Kobayashi, J. Rusnak, M. Takahashi, R. Brunner, M. Jergel, A. Morales-Acevedo, L. Ortega, and J. Kakos, Passivation of Si and a-Si:H surfaces by thin oxide and oxynitride layers, Appl. Surf. Sci. in press.

(2) 特許出願

平成 17 年度特許出願件数：2 件（CREST 研究期間累積件数：2 件）