

「脳を創る」

平成9年度採択研究代表者

小柳 光正

(東北大学大学院工学研究科 教授)

「脳型情報処理システムのための視覚情報処理プロセッサの開発」

1. 研究実施の概要

脳型情報処理プロセッサを試作するための3次元集積化技術のプロセス開発を行った。光学センサー層の下に処理回路層を積層し、埋め込み配線を介してフォトダイオード及び、トランジスタの動作を確認した。さらに人工網膜回路の回路検討を行うため、従来の(2次元)LSIで設計し、大規模集積システム設計教育研究センター(VDEC)を利用して試作している。

2. 研究実施内容

本年度は3次元積層化技術としてフォトダイオード層(光学センサー)の下に処理回路(トランジスタ層)を積層し動作確認を行った。さらに人工網膜回路の回路シミュレーション設計を行い試作した。

(1) 3次元積層化技術

我々が目標とする三次元集積化LSIの断面構造を図1に示す。この三次元集積化技術を利用した人工網膜LSIでは最上層にイメージセンサ層を形成し、その処理回路を下部に積層する。本年度は図2に示すように上部2層について試作検討を行った。

試作したLSIの断面SEM写真を図3に示す。上層のフォトダイオードメタル配線、埋め込み配線、上層裏面側のメタル配線、バンプ、そして下層のバンプ、メタル配線、そしてトランジスタが良好に形成、接続されている様子がわかる。

図4に示すようにこのフォトダイオードの光学特性を調べたところ、光入力の有無により出力信号変化があり、良好に光信号を電気信号に変換できることを確認した。同時に積層した下部のトランジスタも動作することを確認した。またバンプについては図5に示すように 0.2Ω と低抵抗化することに成功した。このとき420個のバンプチェーンの導通も確認し、歩留まりも同時に改善できた。埋め込み配線については低抵抗ポリシリコンを埋め込んだところ、図6に示すように 8Ω と低抵抗を得ることができた。

(2) 人工網膜回路

まず始めに網膜からV1野の一部を実現するために次のような機能を有する回路を設計した。光信号から画像を平滑化(水平細胞)し、ON中心回路(神経節細胞)でエッジ強調する。そして線分の角度を検出する(V1野)。この機能をアナログ回路で実現し、シミュレーションでその動作を確認した。この回路を実際に図7のようにレイアウトし、大規模集積システム設計教育研究センター(VDEC)を利用して試作を行っている。

3. 主な研究成果の発表(論文発表)

○M Koyanagi, H Kurino, K-W. Lee, K Sakuma, N.Miyakawa, H Itani

“Future System-on-Silicon LSI Chips ” IEEE MICRO(1998) Vol.18 No.4
pp17-22

○Hiroyuki Kurino, Kang Wook Lee, Katsuyuki Sakuma, Tomonori Nakamura
and Mitsumasa Koyanagi “A New Wafer Scale Chip-on-Chip (W-COC)
Packaging Technology Using Adhesive Injection Method” Jpn. J. Appl. Phys.
Vol.38(1999)pp.2406-2410

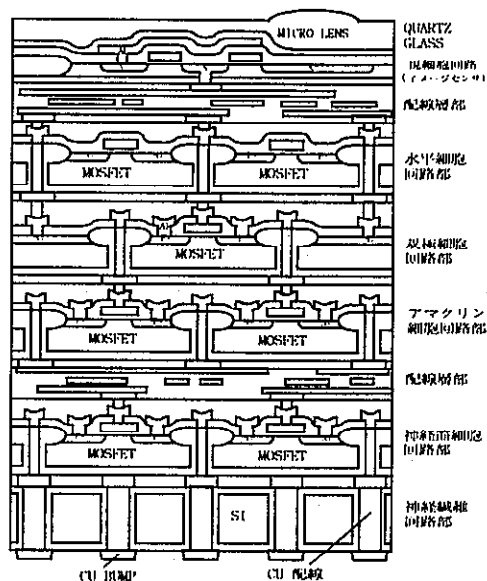


図1 3次元集積化技術の概念図

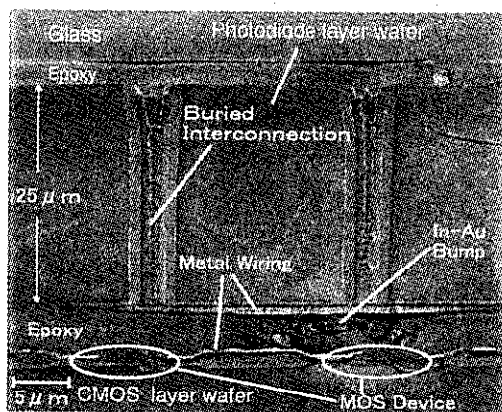


図3 試作した3次元集積回路の断面SEM

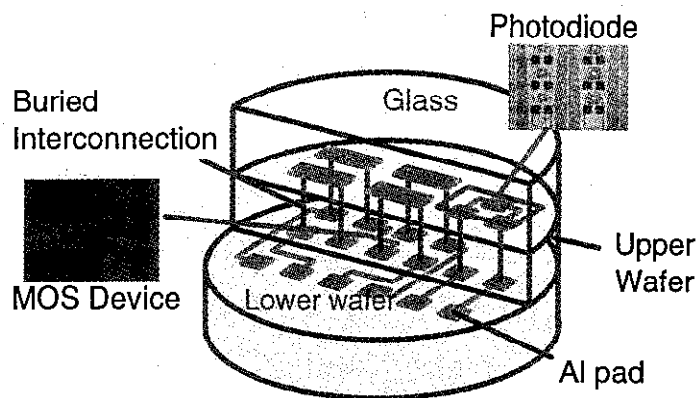


図2 光センサーと処理回路を積層化したLSI

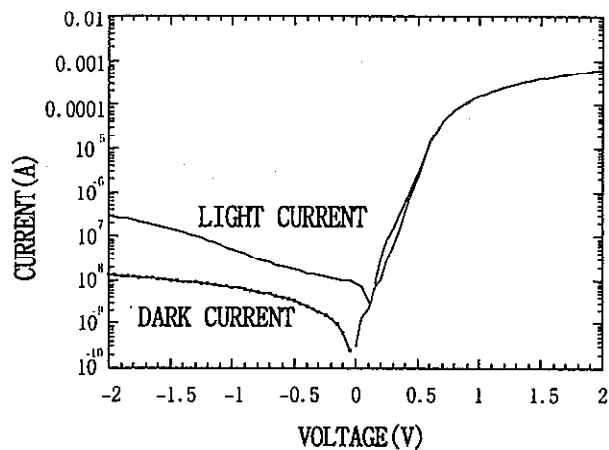


図4 積層したダイオードのIV特性

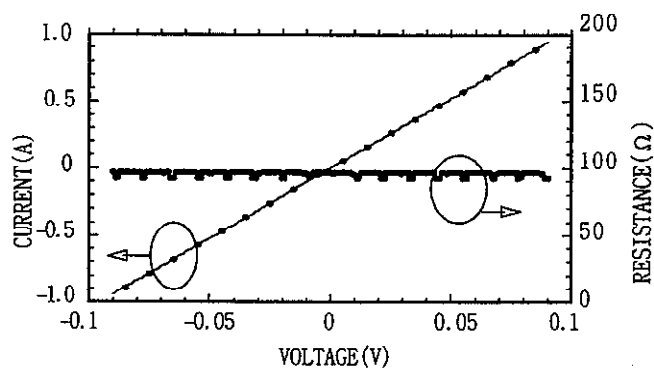


図5 バンプチェーンの抵抗

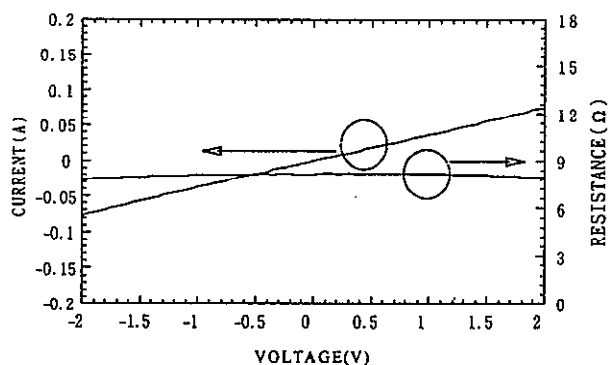


図6 埋込配線の抵抗

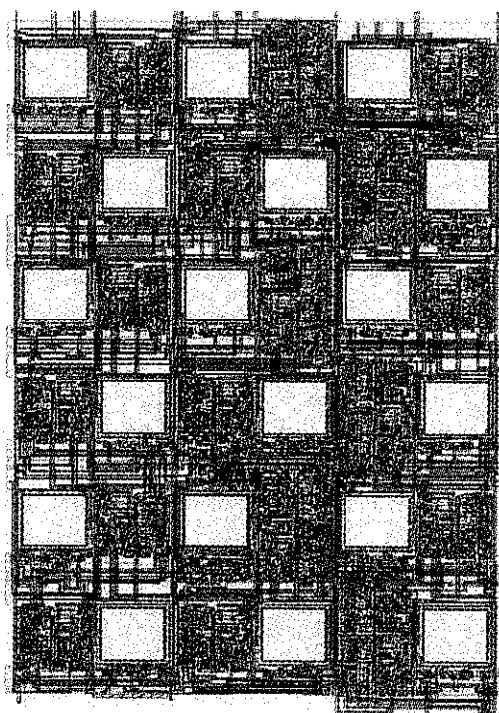


図7 人工網膜回路のレイアウト