

戦略的創造研究推進事業 CREST
研究領域「微小エネルギーを利用した
革新的な環境発電技術の創出」
研究課題「計算フォノンクスを駆使した
オン・シリコン熱電デバイスの開発」

研究終了報告書

研究期間 2015年12月～2019年3月

研究代表者：渡邊 孝信
(早稲田大学理工学術院、教授)

§ 1 研究実施の概要

(1) 実施概要

本研究では、Siナノワイヤを熱電発電部(レグ)に用いる、CMOSプロセスとの親和性が高いオン・シリコン熱電発電デバイスの開発に取り組んだ。スマート・ダストやボディ・エリア・ネットワーク、スマートビルディングの小さなセンサ・ノードの電源として用いることを想定し、デバイスの微細化による新しい熱電発電性能の向上の可能性を追究した。先端CMOSプロセス技術と表面分析技術、計算科学の手法を駆使してシリコン製の微小熱電発電デバイスの特性を調査し、革新的な新原理デバイスの提案とその実証研究を実施した。

研究開始当初、熱電デバイスに最適なSiナノワイヤと金属電極の界面の追求に力点を置き、ショットキー接合を介した熱電子発電効果の利用を画策していた。そのためには、ショットキー障壁の厚さ程度の微小領域に急峻な温度勾配を設ける必要がある。早大・渡邊グループの計算機シミュレーションによる検討の結果、基板に対して垂直に流れる主熱流の、その周辺に漏れ出る副熱流で、数100ナノメートルの微小領域に急峻な温度勾配が形成されることが明らかとなった。さらにこの急峻な温度勾配を用いれば、支持基板にキャビティ(空洞)を設けずとも、短いSiナノワイヤを用いたプレーナ型の熱電発電デバイスを駆動できることがわかった。しかもこのデバイス構造であれば、微細化し高集積化することで発電密度が増大することを見出した。第2年次初頭のことである。そこで、この新規プレーナ型短レグ構造を本研究のメイン・ターゲットに定め、早大・渡邊グループと静大・池田グループの協働で、ナノ加工施設を利用した試作実験に取り組んだ。

実験の結果、Siナノワイヤ長を短くすると飛躍的に発電性能が向上することを確認した。そしてわずか5Kの温度差から、長さ $0.25\mu\text{m}$ のSiナノワイヤのデバイスで $10\mu\text{W}/\text{cm}^2$ 相当の極めて高い発電密度が観測された。この発電密度はプレーナ型Si熱電発電デバイスの過去最高記録を約10倍上回る。早大・渡邊グループで行った計算機シミュレーションによると、ナノワイヤ長20nmまでであれば微細化による発電密度の向上は見込めると試算されており、熱源を最適化することで数 mW/cm^2 級の超高密度発電も可能になることも判明している。

プレーナ型Siナノワイヤ熱電発電デバイスの試作実験を通じて、Siナノワイヤを短くするほどデバイスの熱起電圧が増大する現象が観測された。ナノワイヤを短くするほど両端の温度差は小さくなるので、実験結果はSiナノワイヤのゼーベック係数が変化していることを示唆している。その原因はまだ解明されていないが、候補メカニズムの一つとしてフォノン・ドラッグ効果がナノワイヤ長に依存して変化している可能性が浮上している。静大・池田グループが過去に実施したゼーベック係数評価では、極薄Si結晶層のゼーベック係数には、室温においてもフォノン・ドラッグ効果の寄与が顕著である可能性が示唆されている。このフォノン・ドラッグ効果の寄与の度合いが、Siナノワイヤの長さによって変化している可能性が考えられる。

こうした、ナノ構造体特有の熱電物性の有無を明らかにするため、静大・池田グループは、KFMによるSiナノワイヤの局所ゼーベック係数評価手法の開発に取り組んだ。KFMで局所温度が計測できることを明らかにし、同時に取得される表面ポテンシャル分布から局所ゼーベック係数を評価できる見通しを得た。

なお、当初の計画通り、最適な金属コンタクトの理論的検討も阪大・鎌倉グループが中心となって進めた。金属としてニッケルシリサイドを想定して金属/Si界面のキャリア透過率を計算し、Siが縮退半導体となる高不純物濃度領域、すなわち、ショットキー障壁ではなくトンネル障壁で金属/Si界面におけるパワーファクタが増大することを明らかにした。また、阪大・鎌倉グループは電子・フォノン連成シミュレーションを用いてショットキー障壁によるゼーベック係数の増大効果を計算し、障壁付近の数10nm付近に温度勾配を集中させることができれば、金属/Si界面を活かしたパワーファクタの向上が期待できるという見通しが得られた。

また、実験を通じてSiナノワイヤのゼーベック係数が本来の符号と逆向きになる、興味深い現象も見出した。調査の結果、この異常現象がナノワイヤ周囲の界面欠陥に捕獲された電荷の影響で説明できることが明らかになった。水素雰囲気中の熱処理で界面欠陥を終端すると正常

なゼーベック係数が回復することも実験で確認された。このことから、表面電荷がナノサイズの熱電デバイスの性能を左右する重要な要因となることが明らかとなった。

(2) 顕著な成果

<優れた基礎研究としての成果>

1. $10 \mu\text{W}/\text{cm}^2$ 級高密度熱電発電デバイスの開発

概要: 基板に対して垂直に流れる主熱流の周囲に漏れ出た副熱流が作る急峻な温度勾配に注目し、これを利用したプレーナSiナノワイヤ熱電発電デバイスを開発した。Siナノワイヤ長を短くすると飛躍的に発電性能が向上することが確認され、わずか 5K の温度差から $12 \mu\text{W}/\text{cm}^2$ 相当の発電密度を長さ $0.25 \mu\text{m}$ のSiナノワイヤで記録した。この発電密度は、外部の熱源に接触させて動作させる発電方式ではSiデバイスの世界最高記録である。本研究の成果は 2018 年 6 月にハワイで開催された国際会議 Symposium on VLSI Technology で発表された。

2. ナノ構造体の界面捕獲電荷が熱電性能に与える影響を指摘

概要: n型Siナノワイヤで観測された逆向きのゼーベック係数の原因を調査し、この異常現象がナノワイヤ周囲の界面欠陥に捕獲された電荷の影響で説明できることを明らかにした。水素雰囲気中の熱処理で界面欠陥を終端すると正常なゼーベック係数が回復することを実験で確認し、表面電荷の有無がナノサイズの熱電デバイスの性能を左右する重要な要因となることが明らかにされた。本研究の成果は 2017 年 7 月に Applied Physics Letter 誌で発表された。

3. 基板貼り合わせ法によるフラットな GOI 薄層の形成技術の確立

概要: 多段階冷却プロセスを含む二段階熱処理を取り入れた基板貼り合わせ法と、機械研磨と化学機械研磨から成る薄層化を用いた、GOI 基板作製プロセスを構築した。表面ラフネスが 0.4nm の非常に平坦な GOI 層 (膜厚 160nm) の作製に成功し、Ge および SiGe ナノワイヤ構造の作製に必要な極薄 GOI および SGOI 基板を自作できるようになった。本研究の成果は 2017 年 3 月に Semiconductor Science and Technology 誌で発表された。

<科学技術イノベーションに大きく寄与する成果>

1. プレーナ型スケーラブル熱電発電デバイスの発明

概要: 微細化および高集積化により発電密度を向上させる、プレーナ熱電発電デバイスのスケールリング戦略を提案した。基板に対して垂直に流れる主熱流の周囲に漏れ出た副熱流が作る急峻な温度勾配で駆動するため、基板のエッチングを必要とせず、現行の CMOS プロセスと親和性が高い。2016 年 8 月 31 日に本発明の特許を出願し、シミュレーションによる詳細な検討結果を 2018 年 5 月に IEEE Transactions on Electron Devices 誌で発表された。

<代表的な論文>

- 1) Motohiro Tomita, Shunsuke Ohba, Yuya Himeda, Ryo Yamato, Keisuke Shima, Takehiro Kumada, Mao Xu, Hiroki Takezawa, Kohei Mesaki, Kazuaki Tsuda, Shuichiro Hashimoto, Tianzhuo Zhan, Hui Zhang, Yoshinari Kamakuri, Yuhei Suzuki, Hiroshi Inokawa, Hiroya Ikeda, Takashi Matsukawa, Takeo Matsuki, Takanobu Watanabe, "Modeling, simulation, fabrication and characterization of a $10 \mu\text{W}/\text{cm}^2$ class Si-Nanowire thermoelectric generator for IoT applications," IEEE Transactions on Electron Devices (2018). doi:10.1109/TED.2018.2867845
- 2) Hui Zhang, Taiyu Xu, Shuichiro Hashimoto, Takanobu Watanabe, "The Possibility of mW/cm^2 -class On-Chip Power Generation Using Ultra-Small Si Nanowire based

- Thermoelectric Generators,” IEEE Transactions on Electron Devices, Vol. 65, pp.2016–2023 (2018). doi:10.1109/TED.2018.2817641
- 3) Manimuthu Veerappan, Arivanandhan Mukannan, Faiz Salleh, Yosuke Shimura, Yasuhiro Hayakawa, and Hiroya Ikeda, “Fabrication of high quality, thin Ge-on-insulator layers by direct wafer-bonding for nanostructured thermoelectric devices,” Semiconductor Science and Technology, Vol. 32, 035021 (2017). doi:10.1088/1361-6641/aa5391

<その他の成果>

1. 早稲田大学に環境発電分野の重点研究領域を設置

概要: 研究代表者・渡邊が代表となって「環境発電技術の革新とアンビエント・プラットフォームの構築」という重点研究領域設置を早稲田大学に提案し、2018 年度重点領域研究に選定された。同研究を推進するプロジェクト研究所「アンビエントロニクス研究所」が2018年4月に発足され、微小エネルギー領域のさきがけ研究者、CREST 研究代表者、研究分担者をはじめ、建築工学や情報通信分野の専門家も参加する融合領域を形成した。

§ 2 研究実施体制

(1) 研究チームの体制について

① 渡邊グループ

研究代表者: 渡邊 孝信 (早稲田大学理工学術院 教授)

研究項目

- ・急峻な温度勾配形成法の検討
- ・デバイス高密度化による影響の検討
- ・SiGe ナノワイヤ熱電デバイス試作
- ・プレーナ型単段モジュールの開発
- ・プレーナ型直列モジュールの開発
- ・プレーナ型熱電デバイスの発電性能評価

② 鎌倉グループ

主たる共同研究者: 鎌倉 良成 (大阪大学大学院工学研究科 准教授)

研究項目

- ・急峻な温度勾配形成法の検討
- ・電子-フォノン連成シミュレーション手法の開発
- ・最適な金属/半導体コンタクトのデザイン

③ 池田グループ

主たる共同研究者: 池田 浩也 (静岡大学電子工学研究所 教授)

研究項目

- ・顕微鏡技術を用いた熱電特性評価技術の開発
- ・金属/半導体界面の熱電特性評価
- ・SiGe ナノワイヤの作製と熱電特性評価
- ・Si ワイヤサーモパイル構造の発電性能評価

(2) 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

・本研究領域の黒澤昌志さきがけ研究者と SiGe ナノワイヤ熱電デバイスの試作実験に共同で取り組み、その熱電特性評価まで達成した。今後さらに連携を深め、IV族混晶ナノワイヤの熱電特性の研究を継続する予定である。

・本研究領域の藤ヶ谷剛彦さきがけ研究者と意見交換を行い、新規プレーナ型熱電デバイス構造の CNT 熱電シートへの適用可能性を検討した。この検討を踏まえて提案した研究課題が JST-CREST 融合加速方式(ステップアップ評価)の課題に選定され、藤ヶ谷剛彦教授とともに「プレーナ型スケーラブル熱電発電機構の実証と展開」(2019~2021)を推進することとなった。

・研究代表者・渡邊が所長を務めるプロジェクト研究所「アンビエントロニクス研究所」が 2018 年 4 月に早稲田大学重点領域研究機構に発足し、微小エネルギー領域のさきがけ研究者、CREST 研究代表者、研究分担者をはじめ、建築工学や情報通信分野の専門家も参加する融合領域を形成した。

・主たる共同研究者・池田および静大グループの研究分担者である早川泰弘教授の研究室を卒業した研究者がインド国・SRM 科学技術大学の教員となり、2018 年夏に汎用的なゼーベック係数測定装置および熱伝導率測定装置を現地で導入した。今後、同研究者との国際連携により、熱電特性評価法の比較検討を実施していく。