

戦略的創造研究推進事業 CREST
研究領域「素材・デバイス・システム融合による
革新的ナノエレクトロニクスの創成」
研究課題「極低消費電力集積回路のための
トンネル MOSFET テクノロジーの構築」

研究終了報告書

研究期間 2013年 10月～2019年 3月

研究代表者： 高木 信一
(東京大学、教授)

§ 1 研究実施の概要

(1) 実施概要

本研究では、ULSI の電源電圧を低減し、素子の情報処理エネルギーを大幅に低減するために、トランジスタのサブスレッショルド・スロープ(S.S.)値の低減を実現可能なトンネル FET (TFET) のデバイス・回路・設計基盤技術を確立し、その性能向上を進めると共に、TFET 集積回路の実用化の道筋を明らかにする。この目的のため、(1) III-V/Ge などの新材料を用いた高性能 TFET 技術(東大・住友化学・NTT グループ) (2) Si TFET の高性能化と TFET 回路・設計技術の構築(東芝グループ・東大グループ) の 2 つの研究開発を連携して進めた。これまでに、(1) III-V/Ge 高性能 TFET 技術開発では、東大と住友化学グループが共同で、InGaAs 中での特異な Zn の拡散による分布の急峻性を利用した、Zn 拡散 p 型ソース領域を持つ InGaAs n-TFET を提案し、室温でのオン・オフ電流比 $\sim 2 \times 10^6$ 、オン電流 $\sim 10 \mu\text{A}/\mu\text{m}$ 、S.S.最小値 64 mV/dec の特性を実証した。更なる特性向上のため、In 組成の高い InGaAs チャネルを量子井戸構造で形成した構造を提案・実証し、極薄ゲートスタックと組み合わせることで、室温での S ファクター最小値 50 mV/dec を実現した。また、大規模集積回路が実現できる Si プラットフォーム上で III-V 族半導体を用いた TFET を実現可能にするため、Si ウェハと同等の面積 InGaAs 層を形成する技術として、Si 上に InAlAs/GaAs バッファ層を形成したのち InGaAs チャネルを成長した基板を、Si 上に貼り合わせる方法を提案・実証し、貼り合せた Si 上の InGaAs の MOSFET の性能を通じて、その優れた結晶品質を実証すると共に、InGaAs TFET の動作も確認した。

また、東大と NTT グループは共同して、 p^+ GaAsSb/InGaAs ヘテロ界面を使った縦型 n-TFET の動作実証を行うと共に、ソース領域を in-situ C ドープし、C 濃度を 4×10^{19} – $1 \times 10^{20} \text{ cm}^{-3}$ にすることにより、20K において、オン・オフ電流比 $\sim 10^9$ 、S.S.値の最小値 $\sim 30 \text{ mV/dec.}$ 、オン電流 $\sim 4 \mu\text{A}/\mu\text{m}$ の値を実現した。また、Si 基板上へ Ga(As)Sb/In(Ga)As 構造を張り合わせることに成功し、Si 基板上での動作実証を行った。

更に、東大グループは、Type-II ヘテロ界面により、実効的バンドギャップが小さくトンネル確率が高い高濃度 p 型 Ge ソースと引張りひずみ SOI チャネルからなる n-TFET を提案・実証し、室温の S ファクター最小値として 61 mV/dec.、 10^7 を越える大きなオン・オフ電流比を実証した。また、BF₂ イオン注入、NiGe 雪かき効果、SOG からの P 拡散からなるソース領域を用いて、GOI チャネルにおいて、n-TFET と p-TFET 動作を実証した。

また、東大グループは、酸化物半導体と Si や Ge などの IV 族半導体ヘテロ界面を利用した Si プラットフォームと親和性の高い bi-layer TFET を提案、ZnO/Si、ZnO/Ge n-TFET の動作を実証し、最小 S.S.値 71 mV/dec.、 $\sim 10^8$ 以上の極めて大きなオン・オフ電流比を実現した。更に、表面平坦性に優れた ZnSnO チャネルにより、 $1.7 \mu\text{A}/\mu\text{m}$ のオン電流を得た。また、同じ素子構造で p-TFET も動作し相補型 TFET が実現できることを、シミュレーションにより示した。

一方、(2) Si TFET 技術開発において、東芝グループは、65 nm 世代の Si 系ロジック半導体製造プロセスを適用し、ソース領域の不純物拡散を抑制する C-doping 技術を導入して、ポケット構造を有する n-TFET と p-TFET の両方を同時に実現し、ゲート長 50 nm までの素子動作に成功した。また、バルク基板上での NAND 型 TFET 動作を実現するための基板ウェル構造の提案を行った。更に、0.29 nm の極薄 EOT をもつゲートスタックに、ポケット構造のない単純な高不純物濃度ソース領域を組み合わせることにより、0.3 V 動作の下で、平均 S.S.値 27.8 mV/dec.の下で、 $3.80 \mu\text{A}/\mu\text{m}$ のオン電流が実現できることを、シミュレーションにより、明らかにした。

また、東芝グループは、Spice モデルを用いた高精度の TFET 回路シミュレーション環境を実現し、MOSFET と TFET を組み合わせた hybrid 型 8Tr SRAM において、0.4V 動作で、既存の低リーク版 6Tr MOSFET SRAM セルをよりも、スタンバイ時の消費電流、動作時電流、面積に関して優位性があることを示した。

更に、東芝グループは、TFET を利用することで低消費電力が実現できる回路応用として、水晶発振器を提案した。極薄 EOT を持つポケットレスの Si TFET に対して、32 kHz 水晶発振器

の回路シミュレーションを行い、ゲート長 65 nm, 90 nm の CMOS トランジスタと性能を比較して、0.3 V 動作で Si TFET において、より低消費電力な動作が実現できることを示した。

(2) 顕著な成果

< 優れた基礎研究としての成果 >

1.

概要: Zn 拡散ソースを用いた InGaAs TFET

東大と住友化学グループは共同して、InGaAs 中での特異な Zn の拡散による分布の急峻性を利用した Zn 拡散 p 型ソース領域を持つ InGaAs n-TFET を提案し、室温でのオン・オフ電流比 $\sim 2 \times 10^6$ 、オン電流 $\sim 10 \mu\text{A}/\mu\text{m}$ 、S ファクター最小値 64 mV/dec の特性を実証した。更なる特性向上のため、In 組成の高い InGaAs チャンネルを量子井戸構造で形成した構造を提案・実証し、極薄ゲートスタックと組み合わせることで、室温での S ファクター最小値 54 mV/dec を実現した。

2.

概要: Sb 系材料を用いた縦型 TFET

東大と NTT グループは共同して、 p^+ GaAsSb/InGaAs ヘテロ界面を使った縦型 n-TFET の動作実証を行うと共に、ソース領域を in-situ C ドープし、C 濃度を $4 \times 10^{19} - 1 \times 10^{20} \text{ cm}^{-3}$ にすることにより、20K において、オン・オフ電流比 $\sim 10^9$ 、S.S. 値の最小値 $\sim 30 \text{ mV/dec.}$ 、オン電流 $\sim 4 \mu\text{A}/\mu\text{m}$ の値を実現した。また、Si 基板上へ Ga(As)Sb/In(Ga)As 構造を張り合わせることに成功し、Si 基板上での動作実証を行った。

3.

概要: Ge 系 TFET

東大グループは、Type-II ヘテロ界面により、実効的バンドギャップが小さくトンネル確率が高い高濃度 p 型 Ge ソースと引張りひずみ SOI チャンネルからなる n-TFET を提案・実証し、室温の S ファクター最小値として 61 mV/dec.、 10^7 を越える大きなオン・オフ電流比を実証した。また、 BF_2 イオン注入、NiGe 雪かき効果、SOG からの P 拡散からなるソース領域を用いて、GOI チャンネルにおいて、n-TFET と p-TFET 動作を実証した。

< 科学技術イノベーションに大きく寄与する成果 >

1.

概要: 酸化物半導体/IV 族半導体ヘテロ構造 bilayer TFET

東大グループは、酸化物半導体と Si や Ge などの IV 族半導体ヘテロ界面を利用した Si プラットフォームと親和性の高い bilayer TFET を提案、ZnO/Si、ZnO/Ge n-TFET の動作を実証し、最小 S.S. 値 71 mV/dec.、 $\sim 10^8$ 以上のオン・オフ電流比を実現した。更に、表面平坦性に優れた ZnSnO チャンネルにより、 $1.7 \mu\text{A}/\mu\text{m}$ のオン電流を得た。また、同じ素子構造で p-TFET も動作し、相補型 TFET が実現できることをシミュレーションにより示した。

2.

概要: Si TFET の実証と高性能 Si TFET 構造の提案

東芝グループは、65nm 世代の Si 系ロジック半導体製造プロセスを適用した、ポケット構造を有する n 型及び p 型 TFET の動作に成功し、ゲート長 50 nm までの動作を確認した。更に、シミュレーションにより、0.29nm の極薄 EOT ゲートスタックとポケット構造のない単純な高濃度ソースを組み合わせることで、0.3V 動作の平均 S.S. 値 27.8 mV/dec. を満たしつつ、 $3.80 \mu\text{A}/\mu\text{m}$ のオン電流をもつ TFET が実現できることを明らかにした。

3.

概要： TFET を用いた水晶発振器回路

東芝グループは、TFET により低消費電力が実現できる回路応用として、水晶発振器を提案し、極薄 EOT のポケットレス Si TFET に対して、32 kHz 水晶発振器の回路シミュレーションを行い、ゲート長 65 nm, 90 nm の CMOS を用いた回路と性能を比較した結果、0.3 V で Si TFET の方が、低消費電力動作することを示した。最終デモでは、Si TFET に加え、ZnO/Si ベースの bi-layer TFET も含めた回路シミュレーションを通じて、CMOS 回路との比較を行い、水晶発振器での TFET の低消費電力性を明らかにする。

< 代表的な論文 >

- (1) S. Takagi, D. H. Ahn, M. Noguchi, T. Gotow, K. Nishi, M. Kim and M. Takenaka, “Tunneling MOSFET technologies using III-V/Ge materials”, IEEE International Electron Devices Meeting (IEDM), pp. 516-519, 2016
- (2) K. Kato, H. Matsui, H. Tabata, M. Takenaka and S. Takagi, “Proposal and demonstration of Oxide-semiconductor/(Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment”, IEEE International Electron Devices Meeting (IEDM), pp. 377-380, 2017
- (3) K. Kukita, T. Uechi, J. Shimokawa, M. Goto, Y. Yokota, S. Kawanaka, T. Tanamoto, H. Tanimoto and S. Takagi, “Simulation of planar single-gate Si tunnel FET with average subthreshold swing of less than 60 mV/decade for 0.3 V operation”, Jpn. J. Appl. Phys, vol. 57, 04FD09, 2018

§ 2 研究実施体制

(1) 研究チームの体制について

①「東京大学」グループ

研究代表者：高木 信一（東京大学工学系研究科、教授）

研究項目

- ・Ge 系 TEFET 技術の開発
- ・化合物半導体 TFET 技術の開発

②「東芝」グループ

主たる共同研究者：日置 毅（㈱東芝研究開発センター・フロンティア・リサーチ・ラボラトリー、室長）

研究項目

- ・Si TFET 技術の開発
- ・TFET 回路設計技術の開発
- ・TFET 回路・システム技術の開発

③「住友化学」グループ(平成 29 年度まで)

主たる共同研究者：山本 武継（住友化学㈱情報電子化学品研究所、主席研究員）

研究項目

- ・Ge 系 TFET チャネル形成技術の開発
- ・化合物半導体 TFET チャネル形成技術の開発

④「NTT」グループ

主たる共同研究者：満原 学（日本電信電話㈱NTT先端集積デバイス研究所、主任研究員）

研究項目

- ・化合物半導体 TFET チャネル形成技術の開発

(2) 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

・共同研究を進めている国内半導体装置メーカーに対して、CREST 研究成果の一部について紹介し、連携を検討している。

・その他の国内半導体装置メーカーや材料メーカーとも、定期的に意見交換をしている。

・TFET を含む steep slope device の研究拠点は、米国に 2 つ、欧州に 1 つある一方で、我が国では、このような組織がなかったため、本 CREST の我々のグループが日本の窓口の一つとなって、上記の研究グループと国際交流を行った。

・米国の研究拠点の一つは、U. C. Berkeley（米国）の Prof. Yablonovitch をリーダーとする Center for Efficient Energy Electronic Systems (E3S) (<https://www.e3s-center.org/>) であり、当該拠点が定期的に行っている Berkeley Symposium on Energy Efficient Electronic Systems に、毎回、参加して、意見交換を行った。特に、本拠点の拠点リーダーである Yablonovitch 教授とは、定期的にトンネル FET の技術課題や将来像についての議論を進めた。

・米国のもう一つの研究拠点である Center for low energy systems technology (<http://least.nd.edu/>) のリーダーである U. Notre Dame の Prof. A. Seabaugh や Prof. S. Datta, Prof. R. Wallace とも、定期的に情報交換を行い、トンネル FET の技術課題や将来像についての議論を進めた。

•欧州の steep slope device の研究拠点である Energy Efficient Tunnel FET Switches and Circuits (E2 Switch) (<http://www.e2switch.org/>) を代表している Prof. A. M. Ionescu (EPFL)、Prof. L.-E. Wernersson (U. Lund)、Dr. S. Mantl, Dr. Q.-T. Zhao (Forschungszentrum Jülich)、Prof. A. Schenk (ETH Zurich) らとも密接に意見交換を行った。実際、Forschungszentrum Jülich の研究グループとは、TFET に関する共同研究を行い、連名での論文・学会発表などを行っている。

•Steep slope device に関して、国際的に議論する場である Workshop on steep slope devices に毎年招待され、講演を行うと共に、トンネル FET に関わる世界中の関連研究者と意見交換を行って、ネットワークを形成している。

•本 CREST テーマに関して強い関心を示している、欧州のコンソーシアムである imec やヨーロッパの大学などから寄せられる研究成果に関する問い合わせに対応すると共に、測定データを提供などを行って、素子物理に関する議論を進め、意見交換を活発に行った。

•International Roadmap for Devices and Systems (IRDS)(現在の国際半導体ロードマップ委員会) に対しても、技術進展の状況などに関して、積極的に情報発信を行っており、TFET 技術の認知と普及に努めている。