

戦略的創造研究推進事業 CREST  
研究領域「Society 5.0 を支える革新的  
コンピューティング技術」  
研究課題「スピンエッジコンピューティング  
ハードウェア基盤」

## 研究終了報告書

研究期間 2019年10月～2025年03月

研究代表者: 佐藤 茂雄  
(東北大学 電気通信研究所 教授)

## §1 研究実施の概要

### (1)実施概要

スピンエッジコンピューティングハードウェア基盤の構築を目指し、3つのグループすなわち佐藤 G(回路)、羽生 G(アーキテクチャ)、深見 G(材料デバイス)の協調により、研究を行った。プロジェクトの前半では主にグループごとの要素技術開発に、後半では要素技術の融合やシステム構築にそれぞれ注力した。概ね当初の研究計画に沿って研究開発が進めることができた。各グループの主な研究成果は次の通りである。

#### 【佐藤 G】

- ・不揮発素子を活用したデジタル CMOS ニューラルネットワークの開発
- ・低消費電力アナログ CMOS ニューラルネットワークの開発
- ・リザーバーコンピューティングシステムの構築
- ・実課題応用によるエッジコンピューティングハードウェアとしての優位性の実証
- ・培養した神経細胞のリザーバーコンピューティングへの応用

#### 【羽生 G】

- ・高位レベルからの不揮発 FPGA 用設計ツールフローの構築
- ・不揮発 FPGA を基本構成要素とした BCNN(Binarized Convolutional Neural Network)ハードウェアの回路設計と FPGA 動作実証
- ・中規模の DNN(Deep Neural Network)に MRAM を搭載した不揮発デジタルスピン演算回路デモシステムの構築とその動作実証
- ・確率的演算回路モデルに基づく量子アニーリングシステムの構築とその組合せ最適化問題への応用

#### 【深見 G】

- ・アナログスピン素子の高性能化、低消費電力化、高集積化に向けた材料技術の構築
- ・大きな読み出し信号出力が得られる3端子型アナログスピンメモリ素子の実現
- ・確率的スピン素子の高性能化に向けた新構造の提案や動作機構の理解の促進
- ・確率的スピン素子を用いたボルツマン機械学習、量子シミュレーション、順方向型ニューラルネットワーク、CMOS/確率的スピン素子融合ヘテロジニアスアーキテクチャなどの原理実証

#### 【チーム全体】

- ・アナログ回路と3端子型アナログスピンメモリ素子の融合によるリザーバーコンピューティングシステムの構築とタスク実装
- ・3つの演算を融合した提案ハードウェアの応用先や社会実装に向けた検討

### (2)顕著な成果

＜優れた基礎研究としての成果＞

#### 1. 確率的に動作する磁気トンネル接合素子の物理機構の解明と性能の飛躍的向上

概要： 磁気トンネル接合を用いた確率ビット(P ビット)素子の状態を熱揺らぎにより一秒間に1億回(それ以前の研究の最高値の100倍)更新させるための重要技術を開発し、また従来の物理的理解を一新する理論を構築した。本成果は、確率論的コンピュータの研究開発を加速するものであり、また非平衡熱統計物理学の更なる発展に寄与するものである。発表論文は出版から約3.5年で既に132回引用され、SCOPUSでのFWCIは6.27(同一分野で上位2%)である。

#### 2. 磁気トンネル接合素子を用いた確率論的コンピュータによる機械学習の原理実証

概要： スピントロニクス素子を用いた確率論的コンピュータによるボルツマン機械学習の原理実証に成功した。ビット間の結合強度をRC回路で更新して、全加算器の入出力関係を学習で

きたことなどを示した。本研究は 1985 年に Hinton らによって提案された、現行 AI の源流にあるボルツマン機械学習をほぼそのまま実現したものであり、エネルギー効率に優れた機械学習の新展開へと繋がるものと期待される。論文出版から約 2.5 年で 71 回引用され、SCOPUS での FWCI は 5.75 (同一分野で上位 2%) である。

### 3. 培養した神経細胞を用いた脳型計算機の実現可能性の検証

概要： 人工培養脳の計算能力を検証するために、培養した神経細胞をリザバーコンピューティングの物理リザバーとして利用し、人間の発話音声のような時系列データの分類を行った。その結果、培養神経細胞がリザバーコンピューティングの性能を向上させるための汎化フィルターとして機能することを明らかにした。このことにより実神経細胞を利用する計算機実現の可能性を示した。本成果を発表した論文 (DOI: 10.1073/pnas.2217008120) は出版から 1 年 4 ヶ月が経過し、引用回数は 7 回、FWCI は 1.64 である。なお、本成果などをさらに発展させるべく科研費学術変革領域研究(A)(代表者: 山本英明(佐藤 G))が 2024 年 4 月より立ち上がっている。

#### < 科学技術イノベーションに大きく寄与する成果 >

#### 1. CMOS を用いた確率論的コンピュータの組合せ最適化問題への応用

概要： 確率的演算回路モデルとして stochastic computing に基づいて典型的な組合せ最適化問題(グラフ同型性判別問題や Max-Cut 問題等)へ適用した結果、従来型手法と比べ、著しい解収束サイクル数の削減(例えば、1/1000 程度に短縮など)に成功した。本研究は、従来型(ノイマン型)の計算機が苦手とする組合せ最適化問題を、確率的動作を導入したデジタル CMOS 回路によって効率的に解法可能であることを示したものであり、実用化の観点から大きな優位性を有している。この成果は、ニューラルネットワーク分野で世界的に著名な学術雑誌 (IEEE TNNLS; IF 値=10.451) に 2023 年 12 月に掲載されるなど世界的に高く評価されている。

#### 2. 超低消費電力アナログスパイキングニューロン回路

概要： サブスレッショルド領域で動作する MOS トランジスタを用いて、生体の神経細胞と同様に多様な振舞いを示す超低消費電力アナログスパイキングニューロン回路を実現した。時系列認識などに利用されるリザバーコンピューティングへの応用が期待される。スパイキングニューロン回路の電力性能としては世界トップレベルである。本回路ではデジタル回路に比べて消費電力や回路リソースの大きな低減が期待できる、アナログ回路の新たな応用方法を提案するものであり、エッジコンピューティング向けハードウェア開発を加速する効果が期待される。本成果は、回路・システム分野で世界的に著名な学術誌 (IEEE TCAS-I; IF 値=5.2) に 2025 年 3 月に掲載されるなど世界的に高く評価されている。

#### 3. 確率動作磁気トンネル接合を用いた順方向型ニューラルネットワークの動作実証

概要： 熱ゆらぎにより確率的に磁化反転が起こるように設計された超常磁性磁気トンネル接合からなる確率ビット (p-bit) と Field Programmable Gate Array (FPGA) を用いて、現行の大部分の AI で用いられている順方向型ニューラルネットワークの動作実証に成功した。以前の研究では p-bit 間は相互に影響を及ぼし合う双方向型ニューラルネットワークが用いられていたのに対して、現行の AI が採用する順方向型ニューラルネットワークへの適用可能性が示されたことから、大きな市場を有する AI への p-bit の応用への見通しが開けたと言える。本研究では順方向型ニューラルネットワークの一例であるベイズネットワークの原理実証を行った。本成果は採択率 33% の IEDM2023 にて報告し、会議主催者がマスコミ向けにプレスリリースを行う注目論文 (上位 8% 相当) にも選定された。

#### < 代表的な論文 >

#### 1. “Hardware-Aware In Situ Learning Based on Stochastic Magnetic Tunnel Junctions”,

Physical Review Applied, vol. 17, 014016, 2022.

概要: 確率的磁気トンネル接合で構築された確率的ニューロンを用いて、ハードウェアのばらつきを補償して機械学習を行う自律動作型回路を実現した。ボルツマンマシンの重みとバイアスをその場で学習することで、デバイス間のばらつきを吸収し、全加算器などの演算回路の確率分布を学習できることを示した。このスピントロニクスを用いたスケーラブルな自律動作型学習回路は、特にエッジでの高速かつ効率的な学習が可能なスタンドアローン型人工知能デバイスとして期待される。

2. “Fast-Converging Simulated Annealing for Ising Models Based on Integral Stochastic Computing,” IEEE Transactions on Neural Networks and Learning Systems, vol. 34, pp. 10999–11005, 2023.

概要: 確率ビット(p-bit)は、イジングモデルのシミュレーテッドアニーリング(SA)のためのスピン(基本計算要素)として、報告されている。本論文では、拡張 stochastic computing に基づいて設計された p-bit を用いた高速解法可能な simulated annealing (SA) を提案している。本手法を用いた SA を、組合せ最適化問題の典型例である巡回セールスマン問題、最大カット問題(MAX-CUT)、グラフ同型性問題(GI)へ適用し、従来の SA 法や D-Wave ベース量子アニーリング(QA)との性能比較を行った。その結果提案手法は、他の手法に比べ、数桁程度多いスピン数を扱いながら、数桁以上も高速に求解できる性能を達成した。

3. . “Analog VLSI Implementation of Subthreshold Spiking Neural Networks and Its Application to Reservoir Computing, IEEE Transactions on Circuits and Systems I, 2025. (Early Access on March 24, 2025)

概要: サブスレッショルド領域で動作するアナログ CMOS 回路を用いて、2 変数スパイキングニューロン回路からなるスパイキングニューラルネットワーク(SNN) 回路を設計した。SNN 回路は外部入力に応答して複雑な非線形挙動を示し、スパイク生成あたりの消費エネルギーは 22.7 フェムトジュールと十分に低電力であることを示した。さらに、SNN 回路を発話音声分類タスクに適用し、14.4 fJ/SOP(演算当たり)という効率で動作することを実証した。

## § 2 研究実施体制

### (1)研究チームの体制について

#### ① 佐藤グループ(スピンエッジコンピューティングハードウェア基盤)

研究代表者: 佐藤 茂雄(東北大学電気通信研究所 教授)

研究項目

- ・ディープニューラルネットワーク(DNN)開発
- ・リカレントニューラルネットワーク(RNN)開発
- ・スピンエッジ演算のシステム応用

#### ② 羽生グループ(スピンエッジコンピューティング向け革新的アーキテクチャ)

主たる共同研究者: 羽生 貴弘(東北大学電気通信研究所 教授)

研究項目

- ・デジタルスピン演算回路向けエッジ AI アーキテクチャの開発
- ・アナログスピン演算回路向けエッジ AI アーキテクチャの開発
- ・確率論的スピン演算回路向けエッジ AI アーキテクチャの開発
- ・スピンエッジ演算のシステム応用

#### ③ 深見グループ(スピンエッジコンピューティング向け材料デバイス技術)

主たる共同研究者: 深見 俊輔(東北大学電気通信研究所 教授)

研究項目

- ・アナログスピン材料デバイス開発

・確率動作スピン材料デバイス開発

(2)国内外の研究者や産業界等との連携によるネットワーク形成の状況について

本研究プロジェクトをより円滑に進めることや、開発ハードウェアの社会実装の迅速化のため、下記の研究者や企業と連携している。

・集積回路: Jordi Madrenas 教授(カタルーニャ工科大学、スペイン)

・アーキテクチャ: Warren Gross 教授(マッギール大学、カナダ)

・LSI 実装: 半導体パッケージ関連企業 1 社

・リザーバーコンピューティングの応用: 自動車関連企業 2 社

・材料デバイス:

Johan Åkerman 教授(ヨーテボリ大学(現在は東北大を兼務)、スウェーデン)、

Kerem Camsari 助教(カリフォルニア大学サンタバーバラ校、米国)、

電子部品関連企業 1 社、半導体回路製造企業 1 社