

戦略的創造研究推進事業 CREST
研究領域「Society 5.0 を支える革新的
コンピューティング技術」
研究課題「MEC 用マルチノード統合システムの
開発」

研究終了報告書

研究期間 2019年10月～2025年03月

研究代表者：天野 英晴
(東京大学 大学院工学系研究科
特任研究員)

§ 1 研究実施の概要

(1)実施概要

Society5.0 の実現には、ドローン、ロボット、電力・交通制御などサイバースペースを扱うことから、ハードリアルタイム制御を伴うタイムクリティカルサービスへの対応が必要である。また、個人情報利用サービスを提供する際に求められる個人情報のローカルやプライベートエリアへのカプセル化や匿名化による外部公開のサポート、さらにこれらの情報を用いて個人情報保護下での適切なサービス提供を行うプライバシークリティカルサービスを高いセキュリティレベルで提供する必要がある。IoT に対しては極めて厳しい電力、ストレージに対する制約があることから、5G 技術を利用した MEC (Multi-access Edge Computing) サービスへの期待が高まっている。MEC では IoT 端末に結果を即座にフィードバックすることができ、従来よりもはるかに大規模な処理を IoT、クラウドとの連携により行うことが可能である。

本プロジェクトは、この MEC 用の計算基盤をアプリケーションからデバイスまで研究開発し、社会実装を行った。

1. 計算基盤としては、Xilinx 社 Zynq チップを利用したマルチ FPGA システム M-Kubos クラスタを構築し、商用化に成功した。Crust-Core 型の設計方針に基づき、固定部用に STDM (Static Time Division Multiplex) 型のスイッチと高速シリアルリンクによるネットワークを構築する方法を示し、Link Aggregation, Slot Distribution, Multi-ejection、ハイブリットルータなど、マルチ FPGA システムに合わせた高速化方式を提案、実装した。また、電力モデルを作成して、最適化を行う方法を示した。
2. Pynq をベースにしたアプリケーション開発環境を構築し、リモートアクセスによるクラスタ制御を実装し、各 G へ設計基盤を提供した。CNN、ViT に基づく画像認識、アメーバアルゴリズムによる工場制御、音源分離、定位機能、MQTT ブローカなど様々な MEC 関連のアルゴリズムが実装された。これによりスマートタウンを用いた MEC の利用法を開拓した。
3. マルチクラスタ用の設計ツールとして、System-C の記述を自動分割してマッピングし、ボード間のインタフェースを自動挿入するツールを Cyber Work Bench をベースに開発し、実際のアプリケーションでその効果を確認した。
4. マルチ FPGA クラスタの制御システムとして、MEC-RM ミドルウェアを開発した。MEC-RM を用いることでマルチ FPGA への AI アプリケーションのオフローディングを容易にし、汎用性の高い MEC サーバを容易に構築可能とした。マルチ FPGA クラスタで構成した MEC と MEC-RM のオフローディングの実例として、介護施設ロボットを開発し、転倒検知、顔検出などの OpenPose, OpenCV 等の AI アプリケーションにて応答性向上の効果を示した。また、MEC の応答性・大容量データの保存、不揮発性メモリの利用による信頼性向上を目的とした fogcached: (DRAM/NVMM hybrid KVS Server for Edge Computing)を開発し、その効果を検証した。
5. 構成情報が少なく済む新しい組み込み FPGA である SLM(Scalable Logic Module)を組み込み、ネットワークと RISC-V CPU を装備した Crust-Core 型アーキテクチャ SLMLET、SLMLET-2 を USJC55nm プロセスによりチップ実装した。これにより低電力で柔軟な新しい IoT 用のアーキテクチャの可能性を示した。

(2)顕著な成果

＜優れた基礎研究としての成果＞

1. MEC 用マルチ FPGA クラスタの構築手法の提案(天野 G)
概要:STDM を用いた低コストで遅延とバンド幅の予測可能性の高いネットワークを利用したスタンドアロン型のマルチ FPGA システムを提案し、マッピング法、スケジュール法を示し、その電力モデルを構築した。
2. MEC アプリケーションの開拓とハードウェア化(西 G)
概要:人間の聴覚性能をはるかに超える音源分離・定位機能をハードウェア化することに成功し、電力性能比では、同タスクに対して GPU の消費電力の半分程度に抑えることができ、

優位性を示すことができた。また、GPU を利用することについても 60 ch マイクロフォンアレイ解析を可能とし、3次元音源定位を実時間で達成可能であることを示した。

また、匿名化ハードウェアアクセラレータ研究で世界をリードしており、1Gbps を超えるスループットでのストリーム情報匿名化、さらには、ソフトウェア MQTT ブローカに対して実効で 2 桁性能を向上したハードウェア MQTT ブローカーを構築した。加えて、ハードウェア MQTT ブローカーの性能を維持したまま簡便なハードウェア情報匿名化機構と、その制御手段の構築を図った。

3. MEC-RM ミドルウェア、アプリケーションの開発(菅谷 G)。

概要: MEC を容易に構成、スケールアップするための MEC-RM ミドルウェアの開発をおこなった。MEC-RM を用いることでマルチ FPGA をはじめ、MEC に付属するアクセラレータへ AI アプリケーションのオフローディングを容易にし、MEC を容易に構築可能とした。本 MEC-RM ミドルウェアは、2026 年度に実施が見込まれている電力の低圧リソースのアグリゲーション事業への適用可能性の検証を目的とした共同研究に発展するなど、事業者の評価を得た。また、MEC と MEC-RM のオフローディングによる実用例として開発した介護施設ロボット、転倒検知、顔検出などの高性能処理・低遅延の実現により、2025 年度から本格的な事業化に向けた取り組みが始まった。

< 科学技術イノベーションに大きく寄与する成果 >

1. スマートタウン構築に必要な、基盤技術のハードウェア実装(西 G)

概要: FPGA 上に実装された音源定位処理、MQTT ブローカと組み合わせることで、低消費電力を保ったまま、音声情報の通信を実現した。また、音声情報をそのまま送らず、音の方向情報に変換して送信することで、プライバシー問題にも配慮することができ、実サービスへ展開するための基本的機能が確認できた。

また、スマートタウンを対象としたデータを用いたスマートサービスを構築する上で障害となる、匿名化処理そのものを簡便に利用できる仕組み、および、実際にサービス提供において重要となる、サービス品質と匿名化レベルとのバランスを図る仕組みを構築、実際に応用され、実サービスとして展開、効果が確認された。

2. 新しい embedded FPGA の開発と実チップへの組み込み(飯田 G)

概要: FPGA のロジックブロックとして LUT (Look-Up Table) よりも少ない構成メモリビット数で同等の入力端子数の論理回路を実装できる特徴を有する SLM (Scalable Logic Module) を先行研究として開発し、それを利用した省構成メモリの組込み用 FPGA-IP を開発した。本 FPGA-IP を MEC (Multiaccess Edge Computing) デバイス向けに RISC-V プロセッサと共に実装することで、プロセッサ + FPGA 協調処理や、プロセッサを介さないアクセラレータとしての処理について有効に利用できることを確認した。また、本 FPGA-IP の設計ツールについてはオープンソースである VTR (Verilog to Routing) ツールをベースにカスタマイズすることにより論理回路の本 FPGA-IP への実装を可能にした。これにより、本 FPGA-IP は小規模サイズながらも汎用 FPGA-IP として利用できることが確認でき、様々な組込み用途における利用が期待できる。

3. マルチ FPGA クラスタの高位合成を用いた設計手法の開発(若林 G)

概要: マルチ FPGA クラスタのアプリケーションをシステム構成を意識せずに行うため、System-C の記述に対して、処理の分割、マッピングを行い、ボード間のインタフェースを自動的に挿入する方法を開発し、CyberWorkBench に組み込んだ。このツールは、広い対象範囲で用いることが可能である。

< 代表的な論文 >

1. Hideharu Amano, Midori Sugaya, Hiroaki Nishi, Kazuhiro Nakadai, and Morihiro Kuga, “Computation Platforms for Multi-access Edge Computing,” Springer, 2025.

概要: プロジェクトの各グループが各章を受け持ち、最新の成果を盛り込んだ英文著書。商品実装中で盛り込めなかった若林グループ以外の成果が全て入っている。

2. Morihiko KUGA, Qian ZHAO, Yuya NAKAZATO, Motoki AMAGASAKI, Masahiro IIDA, “An eFPGA Generation Suite with Customizable Architecture and IDE”, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 論文 ID 2022VLP0008, [早期公開] 公開日 2022/10/07, Online ISSN 1745-1337, Print ISSN 0916-8508,

概要:構成情報が少なく、実装面積を節約できる組み込み用 FPGA である SLM の実チップ上での実装について述べる。

3. Hiroshi Nakano, Koutarou Yamamoto, Hiroaki Nishi, “Accelerator for Trajectory Anonymization using Map Matching”, IEEE Micro, Accepted.

匿名化プロセスは、ユーザの位置データを地図の交差点に近似し、軌跡を特定し、k-匿名化を適用する。このプロセスを実行するために、処理時間を短縮することを目的として FPGA 上にハードウェアアクセラレータを実装した。その結果、提案されたメカニズムの最大スループットは約 150,000 データ/秒となり、目標値の 130,000 データ/秒を上回った。

§2 研究実施体制

(1)研究チームの体制について

天野グループ

研究題目： MEC 用マルチノード統合システムの開発

研究項目

- (1)FPGA システム (MKUBOS クラスタ) 開発・評価・OS 実装
- (2)プロトタイプチップ (SLMLET) 設計・実装・OS 実装
- (3)プロトタイプチップ (SLMLET) 改良・評価

飯田グループ

研究題目： 高集積再構成ロジック IP と超高速開発方式の研究

研究項目

- (1)再構成ロジック IP 設計・開発・評価
- (2)高集積再構成ロジック IP ジェネレータ開発

菅谷グループ

研究題目： MEC 用マルチノード統合ミドルウェアの開発

研究項目

- (1) 透過的に配置実行制御するミドルウェアの調査・設計・実装・評価
- (2) MEC 連携用ミドルウェア設計・実装・評価

西グループ

研究題目： Society5.0 における実サービスを用いたシステム評価

- (1) コミュニティデータ収集と基盤技術の構築
- (2) リアルタイム情報匿名化アクセラレータ実装・評価
- (3) リアルタイム情報匿名化アクセラレータの地域実証

若林グループ

研究題目： 複数 FPGA に対応した高位合成ツール環境

- (1) マルチ FPGA ボード向け高位合成ツールの開発
- (2) SLMLET 向け高位合成システムの開発

(2)国内外の研究者や産業界等との連携によるネットワーク形成の状況について

- 1) 近藤チームとは、グラフアルゴリズムをマルチ FPGA に実装するなどの共同研究を行った。
- 2) SONY セミコンダクター事業部とは、SLM のノンボラタイル化に関する共同研究を行った。
- 3) PALTEK には、FPGA ボード M-KUBOS の商品化を行ってもらった。

- 4) 慶應義塾大学小池康彦研究グループとは、POF を用いた FPGA クラスタについて共同研究を行った。
- 5) 東京大学システムデザイン研究センターでは、Crust-Core 型アーキテクチャの研究を Agile-X プロジェクトで行っており、同様の概念に基づくチップを数種類開発している。
- 6) The University of Texas Austin の Prof. Radu Marculescu との間では共同研究を立ち上げつつある。
- 7) 株式会社エナリス, TPR 株式会社とは、MEC-RM を導入し、MEC の構成方法やアプリケーションの実施に関する共同研究を推進した。
- 8) 金沢工業大学、神戸大学、早稲田大学とは、MEC-RM と 5G/6G の接続プラットフォーム化の共同研究を立ち上げつつある。
- 9) Softbank 社とは、MEC と類似した概念の AI-RAN に対するプロジェクト成果の応用を検討中である。