

研究課題別事後評価結果

1. 研究課題名： ビアスイッチの実現によるアルゴリズム・処理機構融合型コンピューティングの創出

2. 研究代表者名及び主たる研究参加者名（研究機関名・職名は研究参加期間終了時点）

研究代表者

橋本 昌宜（大阪大学大学院情報科学研究科 教授）

主たる共同研究者

杉林 直彦（ナノブリッジ・セミコンダクター（株） 創業者）

若林 一敏（日本電気（株）グリーンプラットフォーム研究所 シニアマネージャー）

小野寺秀俊（京都大学大学院情報学研究科 教授）

越智 裕之（立命館大学情報理工学部 教授）

密山 幸男（高知工科大学システム工学群 准教授）

3. 事後評価結果

○評点：

A 優れている

○総合評価コメント：

本研究課題では、ビアスイッチと呼ぶ不揮発性スイッチデバイスを基本素子としたビアスイッチ FPGA (Field Programmable Gate Array) とその上での論理回路設計技術を開発し、これにより従来の FPGA に比べて性能と面積効率が格段に向上した再構成可能チップを創出することを目標としている。従来の FPGA は、スイッチの構成に配線層とトランジスタ層を共に使用し、さらに SRAM が必要である。ビアスイッチは、LSI デバイスの配線層だけで実現でき、スイッチあたりの専有面積も小さい。空いた配線層とトランジスタ層に、FPGA と共に演算器やメモリ等の機能モジュールを埋め込む余地も生まれる。

本研究では、ビアスイッチ FPGA を開発してその評価チップを試作し、基本動作を実証した。小規模なビアスイッチ FPGA だが従来の FPGA 比で 10 倍の面積効率を確認した。この成果は ISSCC という当該分野で権威ある国際学会に採択されるなど、世界的に高く評価されている。あわせてビアスイッチに基づく FPGA の回路方式やレイアウト方式、プログラミング技術やテスト技術を新規に開発し、ビアスイッチ FPGA の実用化をイメージできるものにした。これらの成果はデバイスから回路、設計ツールまで多様なレイヤーの研究の有機的連携によるもので、その研究マネジメントを高く評価する。

FPGA を大規模化するとともに機能モジュールを効率よく混載し、これにプログラムを柔軟にマッピングできれば、アプリケーションのダイレクト・マッピングを実現する強力な手段となる。1 年間の研究期間延長により、さらに大規模で演算器やメモリを混載したビアスイッチ FPGA を開発し、AI 用アプリケーション機能等をマッピングすることで、より実用的な性能・電力評価を示すことを強く期待する。