

## 研究課題別事後評価結果(1年追加課題)

1. 研究課題名： 極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築

2. 研究代表者名及び主たる研究参加者名（研究機関名・職名は研究参加期間終了時点）

研究代表者

高木 信一（東京大学大学院工学系研究科 教授）

主たる共同研究者

日置 毅（(株) 東芝研究開発センターフロンティアリサーチラボラトリー 室長）

山本 武継（住友化学（株）情報電子化学品研究所 主席研究員）

満原 学（日本電信電話（株）NTT先端集積デバイス研究所 主任研究員）

森田 行則（産業技術総合研究所ナノエレクトロニクス研究部門研究グループ長）

3. 事後評価結果

○評点：

A 優れている

○総合評価コメント：

今日の ICT を基盤とする社会を持続的に発展させるには、ICT を支える集積回路の更なる消費電力低減のための低電圧化が避けられない課題になっている。しかし、集積回路の基本素子である MOSFET では、スイッチング特性の理想状態を実現しても低電圧化のためには性能が足りず、さらに優れたスイッチング特性をもつ素子が求められている。これは、サブスレショルド係数（S 値）で表されるスイッチング特性に、MOSFET は 60mV/桁の動作原理上の下限があり、これ以下は実現できないためである。

本研究課題は、バンド間トンネル現象という全く異なる動作原理に変えたトランジスタ（トンネル FET : TFET）を実用化する技術を導くため、60mV/桁の S 値の壁を超えることを目標に、様々な材料とデバイス構造の組み合わせについて体系的な試作・実験を重ねることで様々な検討を行った。5.5 年の研究終了段階において、化合物系材料で、InGaAs を用いた量子井戸構造と ZrO<sub>2</sub> ゲート絶縁膜を用いた TFET において、プレーナ型 III-V TFET としてチャンピオンデータとなる、S 値 50 mV/桁を観測するなど当該分野で世界をリードする成果を上げるとともに、これらの解析結果をもとに、新たなデバイス構造および開発指針の提案に成功している。

1 年間の延長研究として、良好なスイッチング特性及び相補型トランジスタとして総合的な性能が期待された酸化物半導体と IV 族半導体ヘテロ界面を利用した bilayer 構造デバイスの実証に取り組み、デバイスの試作と特性評価を行った。目標とする S 値 60mV/桁という特性に届かなかったものの、同構造による n 型、p 型 TFET の両方の動作確認に成功しており、MOSFET 同様の相補的な回路構成実現のための設計指針を拓いたことは高い評価に値する。その学理としての意義は国内外の多くの学会で招待講演に招聘されていることから明らかであり、世界をリードする課題解決型基礎研究として十分な成果を上げたと考えられる。

一方で、今後の実用化に向けては、既存技術に対する優位性を示すキラーアプリの探索や適切な産業界とのタイアップが引き続き課題として残っている。本テーマは、半導体の基幹デバイスとして永年の切望であり、本プロジェクトで明らかとなった設計指針を産業界と共有し、継続的な研究開発体制が構築されることを期待する。