

二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出  
2016 年度採択研究代表者

2019 年度 実績報告書
------------------

若林 整

東京工業大学工学院  
教授

二次元 TMDC 相補型 MISFETs の LSI プロセスによる性能向上と応用

## § 1. 研究成果の概要

二次元 Transition-Metal Di-Chalcogenide (TMDC)相補型 MISFETs の LSI プロセスによる性能向上と応用に向けて、すずかけ台グループはスパッタ法による TMDC 成膜[1]とデバイス化に取り組んでいる。特に 2019 年度は、400°C 高温 UHV-RF マグネトロンスパッタと気相硫黄中 700°C 硫化熱処理により形成した原子層状 MoS<sub>2</sub> 膜をチャネルとした TiN トップゲート *n*MISFET について、ゲート容量のゲート電圧依存性とドレイン電流のゲート電圧依存性の双方より、蓄積電子によるエンハンスメントモード(ノーマリーオフ)動作を実証した。ゲート容量のゲート電圧依存性では、寄生抵抗が高いために周波数分散が大きいものの、Top-gate (TiN) /絶縁膜(Al<sub>2</sub>O<sub>3</sub>)/原子層 MoS<sub>2</sub> (4層)積層構造において世界で初めてエンハンスメントモード動作を確認した。またドレイン電流のゲート電圧依存性では、MoSi<sub>2</sub> ソース・ドレイン電極や、MoS<sub>2</sub> 成膜を Al<sub>2</sub>O<sub>3</sub> 単層ゲート絶縁膜で表面を保護すること、活性領域側壁 SiN 保護膜などが特徴であり、オフ電圧(V<sub>off</sub>)が最も大きいノーマリーオフ動作を確認した。電界効果移動度は 0.1 cm<sup>2</sup>/V-s と低いものの、しきい値電圧制御にはチャネル不純物濃度低減とプロセスインテグレーション技術の高度化が重要であることが分かった。

また大岡山グループは TMDC デバイス評価・設計に取り組んでいる。特に 2019 年度は、独自の Transfer printing 技術を用いて、SiO<sub>2</sub> 膜上に Poly Di-Methyl-Siloxane (PDMS)弾性膜を用いて MoS<sub>2</sub> 膜を、さらに Polymethyl methacrylate (PMMA)弾性膜を用いて Al<sub>2</sub>O<sub>3</sub> ゲート絶縁膜を転写し、最後にトップゲート Al 電極を形成することで、比較的低い S 値 120 mV/dec.と、比較的高い電界効果移動度 7.3 cm<sup>2</sup>/V-s を有する *n*MISFET 実現し、Letter 論文を発表した。

次に US グループは TMDC device modeling に取り組んでいる。特に 2019 年度は、負性容量 FET による S 値低減の可能性に関して Nature へ論文発表を行った[2]。さらに各グループの材料特性や電気特性の向上に関するコンサルティングを通じて研究推進に貢献した。

次に生田グループは、TMDC 膜評価と CVD による TMDC 成膜に取り組んでいる。特に 2019 年度は、MOCVD 技術として、継続的に有機プリカーサ *i*-Pr<sub>2</sub>DADM(CO)<sub>3</sub> と(t-C<sub>4</sub>H<sub>9</sub>)<sub>2</sub>S<sub>2</sub> 用いて、440°C ではあるが結晶性の高い MoS<sub>2</sub> を成膜できることを示した。また、MoS<sub>2</sub>/MoTe<sub>2</sub> 共スパッタと(*i*-C<sub>3</sub>H<sub>7</sub>)<sub>2</sub>Te アニールにより MoS<sub>2(1-x)</sub>Te<sub>2x</sub> 膜を形成、詳細評価することにより、*x* を 0.48-0.61 に制御することでそれぞれバンドギャップを 0.87-0.80 eV に変調できることを確認し、論文発表した[3]。

今後、これらの技術を集結することにより、高性能な IoT デバイスへの応用を目指す。

### 【代表的な原著論文】

- [1] M. Hamada, Kentaro Matsuura, Takuro Sakamoto, Iriya Muneta, Takuya Hoshii, Kuniyuki Kakushima, Kazuo Tsutsui and Hitoshi Wakabayashi, "High Hall-Effect Mobility of Large-Area Atomic-Layered Polycrystalline ZrS<sub>2</sub> Film Using UHV RF Magnetron Sputtering and Sulfurization," in IEEE Journal of the Electron Devices Society, vol. 7, pp. 1258-1263, 2019.
- [2] W. Cao and K. Banerjee, "Is Negative Capacitance FET a Steep-slope Logic Switch?," Nature Communications, 11, 196, pp. 1-8, January 10, 2020.
- [3] Yusuke Hibino, Kota Yamazaki, Yusuke Hashimoto, Yuya Oyanagi, "The Physical and Chemical Properties of MoS<sub>2(1-x)</sub>Te<sub>2x</sub> Alloy Synthesized by Co-sputtering and Chalcogenization and Their Dependence on Fabrication Conditions," MRS Advances, DOI: <https://doi.org/10.1557/adv.2020.170>.

## § 2. 研究実施体制

### (1) すすかけ台グループ

- ① 研究代表者: 若林 整 (東京工業大学工学院 教授)
- ② 研究項目
  - ・TMDC 研究統括

### (2) 大岡山グループ

- ① 主たる共同研究者: 川那子 高暢 (東京工業大学科学技術創成研究院 助教)
- ② 研究項目
  - ・TMDC デバイス評価・設計

### (3) US グループ

- ① 主たる共同研究者: Kaustav Banerjee (University of California, Santa Barbara, Electrical and Computer Engineering, Professor)
- ② 研究項目
  - ・TMDC device modeling

### (4) 生田グループ

- ① 主たる共同研究者: 小椋 厚志 (明治大学理工学部 教授)
- ② 研究項目
  - ・TMDC 膜評価および CVD