

橋本 昌宜

大阪大学大学院情報科学研究科  
教授

ビアスイッチの実現によるアルゴリズム・処理機構融合型コンピューティングの創出

## § 1. 研究実施体制

### (1) 「テスト」グループ

- ① 研究代表者: 橋本 昌宜 (大阪大学大学院情報科学研究科 教授)
- ② 研究項目
  - ・スニークパス問題の数学的検証
  - ・スニークパス問題を回避するプログラミング順の検討
  - ・配線遅延解析法の検討

### (2) 「ビアスイッチ・動作合成」グループ

- ① 主たる共同研究者: 杉林 直彦 (日本電気(株)グリーンプラットフォーム研究所 シニアマネージャー)
- ② 研究項目
  - ・ビアスイッチの研究開発
  - ・簡単なベンチマークアプリケーションの準備と動作合成に求められる機能の予備調査

### (3) 「アーキテクチャ」グループ

- ① 主たる共同研究者: 密山 幸男 (高知工科大学システム工学群 准教授)
- ② 研究項目
  - ・配線構造検討のための評価環境の構築
  - ・機械学習向けアクセラレータのアーキテクチャ検討

### (4) 「回路」グループ

- ① 主たる共同研究者: 小野寺 秀俊 (京都大学大学院情報学研究科 教授)

② 研究項目

- ・チップレベル性能予測
- ・基本レイアウト構造の検討

(5)「マッピング」グループ

① 主たる共同研究者:越智 裕之 (立命館大学情報理工学部 教授)

② 研究項目

- ・ツール開発に必要な課題の抽出、特にビアスイッチが敷き詰められる BEOL 層とトランジスタが敷き詰められる FEOL 層の面積が共に最大限有効活用されるための条件の予備検討
- ・ビアスイッチを用いた細粒度プログラマブルロジックに特化したテクノロジマッピングアルゴリズムの開発
- ・混合粒度再構成可能アーキテクチャのための配置アルゴリズム開発
- ・ビアスイッチクロスバを用いた配線アーキテクチャに適した配線アルゴリズムの開発

## § 2. 研究実施の概要

本研究では、IoT(Internet of Things)に代表される組み込み用途において、専用ハードウェア化による高いエネルギー効率、ソフトウェア実装と同等の設計生産性、低い NRE(Non-recurring Expense)コストのすべてを実現する新たなアルゴリズム・処理機構融合型コンピューティングを創出し、その実現に不可欠な新ナノデバイスとしてビアスイッチを開発する。

上記の目的の実現に向け、平成 29 年度は主に以下の研究項目を実施した。

### ビアスイッチデバイス開発

- チップレベル性能見積もり (回路 Gr.)
- ビアスイッチ SPICE モデル (デバイス Gr.)
- スニークパス問題の数学的検証 (テスト Gr.)  
2V1CAS 型ビアスイッチによるクロスバーにおいて縦もしくは横方向にのみ複数のスイッチをオンにする制約でスニークパス問題が発生しないことを証明した[1]。
- スニークパスを回避するプログラミング順 (テスト Gr.)

### 高エネルギー効率アーキテクチャの開発

- マッピング、配置、配線 CAD の進化と実アプリケーションによる評価 (マッピング Gr.)  
ビアスイッチを用いた面積効率の良い LUT として 0-1-A-A LUT を提案し、その遅延特性を考慮したマッピングアルゴリズムを開発した[2]。また、動作記述からの設計フローを確立し、実アプリケーションによってビアスイッチ FPGA の有用性を示した[1]。
- エネルギー効率を最大化する分散メモリ対応動作合成 (動作合成 Gr.)
- 基本レイアウト構造 (回路 Gr.)
- 機械学習/AI 向け大規模積和演算アクセラレータ (アーキテクチャ Gr.)  
大規模な積和演算を効率的に計算するアクセラレータを開発した(図 2)。
- 推論 DNN アクセラレータ(アプリ Gr.)

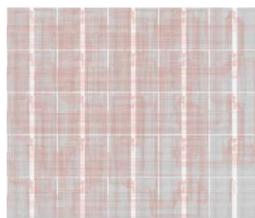


図 1: アプリケーションマッピング結果

図 2: 試作アクセラレータ評価環境

### ○代表的な論文

[1] H. Ochi, K. Yamaguchi, T. Fujimoto, J. Hotate, T. Kishimoto, T. Higashi, T. Imagawa, R. Doi, M. Tada, T. Sugibayashi, W. Takahashi, K. Wakabayashi, H. Onodera, Y. Mitsuyama, J. Yu, and M. Hashimoto, "Via-Switch FPGA: Highly-Dense Mixed-Grained Reconfigurable Architecture with Overlay Via-Switch Crossbars," *IEEE Transactions on VLSI Systems*, PP(99):1-14 (2018).

[2] T. Higashi, H. Ochi, "Area-efficient LUT-like Programmable Logic Using Atom Switch and its Delay-optimal Mapping Algorithm," *IEICE Transactions on Fundamentals*, vol. E100-A, no. 7, pp. 1418-1426, July 2017.