

「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成」
平成 25 年度採択研究代表者

H29 年度
実績報告書

高木 信一

東京大学大学院工学系研究科
教授

極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築

§ 1. 研究実施体制

(1)「東京大学」グループ

- ① 研究代表者:高木 信一 (東京大学大学院工学系研究科 教授)
- ② 研究項目
 - ・Si TFET 技術の開発
 - ・Ge 系 TEFET 技術の開発
 - ・化合物半導体 TFET 技術の開発

(2)「東芝」グループ

- ① 主たる共同研究者:稗田 泰之 ((株)東芝研究開発センターフロンティアリサーチラボラトリー 室長)
- ② 研究項目
 - ・Si TFET 技術の開発
 - ・TFET 回路設計技術の開発
 - ・TFET 回路・システム技術の開発

(3)「住友化学」グループ

- ① 主たる共同研究者:山本 武継 (住友化学(株)情報電子化学品研究所 主席研究員)
- ② 研究項目
 - ・化合物半導体 TFET チャンネル形成技術の開発

(4)「NTT」グループ

- ① 研究代表者:満原 学 (日本電信電話(株)NTT 先端集積デバイス研究所 主任研究員)

② 研究項目

- ・化合物半導体 TFET チャンネル形成技術の開発

§ 2. 研究実施の概要

本研究では、ULSI の電源電圧を低減し、素子の情報処理エネルギーを大幅に低減するために、トランジスタの S 値の低減を実現可能なトンネル FET (TFET) を用いたデバイス・回路・設計基盤技術を確立し、その性能向上を進めると共に、TFET 集積回路の実用化の道筋を明らかにする。この目的のため、(1) III-V/Ge などの新材料を用いた高性能 TFET 技術 (2) Si TFET の高性能化と TFET 回路・設計技術の構築 の 2 つの研究開発を連携して進めている。

新材料を用いた TFET に関し、今年度は、GOI TFET、Ge ソース SOI TFET、Zn 拡散ソース InGaAs TFET、GaSb 系ヘテロ構造 TFET、ZnO/(Si, Ge) TFET を中心に開発を進めた。酸化物半導体と Si や Ge の type-II ヘテロ界面を利用した bi-layer TFET を新たに提案して、オン電流 $\sim 100 \mu\text{A}/\mu\text{m}$ 、0.3 V 動作平均での S.S. 値 $\sim 40 \text{ mV}/\text{dec.}$ という優れた性能が実現可能であることを理論的に示すと共に、ZnO/Si および ZnO/Ge n-TFET を試作して、その TFET 動作を実証、最小 S.S. 値 $71 \text{ mV}/\text{dec.}$ 、 1×10^8 以上のオンオフ電流比を実現した。GOI TFET については、低エネルギー BF_2 イオン注入に NiGe による雪かき効果を組み合わせることにより、ソースの B 分布を急峻化し、初期 Ni 膜厚 4 nm で、室温において、オン電流 $0.35 \mu\text{A}/\mu\text{m}$ 、S.S. 最小値 $211 \text{ mV}/\text{dec.}$ 、オンオフ電流比 740 の値をもつ n-TFET を得ることに成功した。また、Ge 中への SOG からの P 拡散により $10 \text{ nm}/\text{dec.}$ 以下の P 分布の急峻性をもつ接合が形成できることを見出し、この方法により形成した n⁺/p ソースをもつ Ge p-TFET を試作し、その動作を実証した。Ge ソース n 型 SOI TFET については、ソースの不純物濃度が TFET 特性に与える影響を実験的に調べ、ソース B 濃度を 10^{20} cm^{-3} まで高濃度化すると S.S. 値が劣化することを明らかにした。

Zn 拡散 InGaAs TFET に関しては、ALD ZrO_2 を用いてゲートスタックの CET の薄膜化を進め、界面層に薄膜 Al_2O_3 を挿入することにより、バルク InGaAs に対して、室温で $61 \text{ mV}/\text{dec.}$ の最小 S 値をもつ n-TFET を実現した。また、InGaAs 成長技術に関して、精密な不純物制御のため、バッファ層の改良を進めた。一方、p⁺ GaAsSb/InGaAs n-TFET に関しては、ソースの C 濃度を $4 \times 10^{19} - 1 \times 10^{20} \text{ cm}^{-3}$ にすることにより、20K において、オンオフ電流比 $\sim 10^9$ 、S.S. 値の最小値 $\sim 30 \text{ mV}/\text{dec.}$ 、オン電流 $\sim 4 \mu\text{A}/\mu\text{m}$ の値を実現した。GaSb 系結晶成長技術として、Sb 組成比が高い GaAsSb 層成長技術および高不純物濃度 p 型 InP 基板上の成長層の不純物制御に関する検討を進めた。

Si TFET に関しては、今年度は、TCAD シミュレーションを用いて、ポケット構造がある場合とない場合でのプレーナ型シングルゲート Si 縦型 TFET の平均 S.S. 値とオン電流を、0.3 V 動作を想定して計算し、構造最適化を行った。EOT を十分に薄膜化することで、ポケットレス縦型 TFET がポケットを持つ従来型 TFET と同等の電気特性を持つことがわかった。加えて、ゲート-ソース間オーバーラップ長を長くすることで、オン電流や平均 S.S. 値をさらに改善でき、0.3 V 動作全体の平均 S.S. $< 60 \text{ mV}/\text{decade}$ を満たしつつ、オン電流 $3.8 \mu\text{A}/\mu\text{m}$ が達成できることを明らかにした。

また、TFET により低消費電力化できる回路応用の可能性として、IoT 時代の高精度で低消費電力な時計に用いられる水晶発振回路をモチーフとして、回路シミュレーションにより、回路性能の検討を進めた。今年度は、従来の計算で用いていたコンパクトモデルを、TCAD の計算結果に基

づいたテーブルモデルに置き換えて、より精度の高い計算を行った。結果として、電源電圧 0.5V 以上での発振を確認することができた。これは閾値電圧と同時に回路内抵抗の分布によって決定されてものと考えられる。

○代表的な論文

(1) K. Kato, H. Matsui, H. Tabata, M. Takenaka and S. Takagi, "Proposal and demonstration of Oxide-semiconductor/(Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment", IEEE International Electron Devices Meeting (IEDM), pp. 377-380, 2017

(2) K. Kukita, T. Uechi, J. Shimokawa, M. Goto, Y. Yokota, H. Tanimoto, S. Kawanaka, T. Tanamoto, M. Koyama and S. Takagi, "TCAD simulation of planar single-gate tunnel FET with average subthreshold swing less than 60 mV/dec for 0.3 V operation", 2017 International Conference on Solid State Devices and Materials (SSDM), PS-3-14, pp. 767-768, 2017

(3) T. Tanamoto, C. Tanaka, S. Takaya and M. Koyama, "SPICE Simulation of tunnel FET aiming at 32 kHz crystal-oscillator operation", IEICE Electronics Express, Vol. 15, No. 3, pp. 20171232 - 20171232, 2018.