

新たな光機能や光物性の発現・利活用を基軸とする
次世代フォトニクスの中盤技術
平成 27 年度採択研究代表者

H28 年度
実績報告書

納富 雅也

日本電信電話株式会社 物性科学基礎研究所
センタ長

低遅延光演算ゲートとその集積技術の研究

§ 1. 研究実施体制

(1)「NTT」グループ

- ① 研究代表者: 納富 雅也 (日本電信電話株式会社 物性科学基礎研究所 ナノフォトニクスセンタ、センタ長)
- ② 研究項目
 - ・低遅延ナノフォトニクス素子及び集積技術の開発
 - ・新しい光学現象を利用した超低遅延化の研究
 - ・超低レイテンシ演算回路およびシステムの実証実験

(2)「京大」グループ

- ① 主たる共同研究者: 石原 亨 (京都大学大学院 情報学研究科通信情報システム専攻、准教授)
- ② 研究項目
 - ・光パスゲートと CMOS 論理ゲートが融合する光演算回路の最適設計環境の開発
 - ・光パスゲートに基づく超低遅延演算回路の研究
 - ・超低レイテンシ演算回路およびシステムの実証実験

(3)「九大」グループ

- ① 主たる共同研究者: 井上 弘士 (九州大学大学院システム情報科学研究院 I&E ビジヨナリー特別部門、教授)
- ② 研究項目
 - ・超低レイテンシ光電融合プロセッサ・アーキテクチャの開発
 - ・超低レイテンシ処理回路およびシステムの実証実験

§ 2. 研究実施の概要

本チームでは、光パスゲート論理回路という新しい回路方式をナノフォトニクス技術を用いて実現し、超低レイテンシの情報処理の実現を狙っている。最終目標としては、光の伝搬速度で演算が実行できることを実証し、この回路方式により実現可能となる情報処理システムを設計、提案することを目指している。

デバイス研究における本年度の最大の成果は、フォトニック結晶技術を用いることにより、OE変換(光→電気)およびEO変換(電気→光)の超効率化の目途を示すことができたことである。我々はフォトニック結晶導波路をベースとした構造で、超低キャパシタンスで高速・高感度に動作する光受光器を実現し、この受光器を負荷抵抗と集積することによって電気増幅器を用いずに CMOS を駆動できる電圧を高効率に発生することに成功した。従来、光受光器によるOE変換は、電気増幅器が多大な電力を消費するが、本技術により fJ/bit レベルの消費エネルギーで OE 変換が実現する目途が立った[1]。また、同様なフォトニック結晶技術による超低キャパシタンス化によって、これまで最も低いエネルギーで動作する導波路型電気光学変調器を実現した。これにより fJ/bit レベルでのEO変換の可能性が実証された[2]。従来、OE/EO 変換は多大な消費電力が発生するため、光電融合処理においては避けるべきものと考えられてきたが、我々の結果は、この常識を打ち破るものである。本プロジェクトでは、演算レベルで光電融合することによって超低レイテンシ演算を狙っているので、この成果は重要なマイルストーンとなる。

また、光パスゲートの極限的な低遅延化を目指して、最近研究が活発化している金属メタ表面を利用して新しい光スイッチ動作を達成した。これはメタ表面が生じるビーム偏向を対向ビームによる干渉によって制御するもので、制御光によってビームの偏向を引き起こすゲートスイッチとして動作する。近年、メタ表面の吸収を対向ビームの干渉で制御する現象が活発に研究されているが、本研究はビーム偏向を初めて干渉で操作することに成功したものである[3]。

回路研究としては、プロジェクトにおける光回路実験を目指して、昨年提案した光パスゲートによる光加算器に波長ラベルを導入することによって回路構成の単純化を達成し、回路シミュレータにより動作を確認した。また、より実現が困難な乗算器の検討を開始し、乗算器における素子数発散の問題を回避するために部分積加算をアナログで実現する方法の検討を開始した。また、より複雑な処理を目指して多入力論理関数の検討も開始し、光パスゲートによる光 CAM (Content-Addressable Memory) の構成を検討し、CMOS 回路に比した優位性を見出した。これらの研究より、光パスゲートが本質的に向いた回路構成法が明らかにされつつある。

次にアーキテクチャ研究としては、今年度から光パスゲート論理の新しい方向性として、光パスゲート構成でベクトル行列演算が高速化できる点に着目し、光ニューラルネットに基づく計算機構成法の検討を開始した。光パスゲートによるアナログ処理をベースに超低遅延のベクトル行列演算ユニットを構成し、アプロキシメート・コンピューティング法を導入して、汎用アクセラレータとして活用することを想定する。具体的なハードウェアを前提として、どの程度の性能が期待できるかを予測するシミュレータの開発を開始し、各種の電気型ニューラルネットアクセラレータとの比較を行った。また、昨年より行ってきたセキュリティ応用を目指したアーキテクチャに関しても、引き続きパターンマッチユニットを中心とした解析を行った。

- [1] K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, M. Ono, A. Shakoor, E. Kuramochi, and M. Notomi, "Photonic-crystal nano-photodetector with ultras-small capacitance for on-chip light-to-voltage conversion without an amplifier", *Optica* 3, pp. 483-492, 2016.
- [2] K. Nozaki, A. Shakoor, S. Matsuo, T. Fujii, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi, "Ultralow-energy electro-absorption modulator consisting of InGaAsP-embedded photonic-crystal waveguide", *APL Photonics* 2, 056105, 2017.
- [3] S. Kita, K. Takata, M. Ono, K. Nozaki, E. Kuramochi, K. Takeda, and M. Notomi, "Coherent control of high efficiency metasurface beam deflector with a back partial reflector," *APL Photonics* 2, 046104, 2017.