

「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成」
平成 25 年度採択研究代表者

H28 年度
実績報告書

高木 信一

東京大学大学院工学系研究科
教授

極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築

§ 1. 研究実施体制

(1)「東京大学」グループ

- ① 研究代表者：高木 信一（東京大学工学系研究科、教授）
- ② 研究項目
 - ・Ge 系 TEFET 技術の開発
 - ・化合物半導体 TFET 技術の開発

(2)「東芝」グループ

- ① 主たる共同研究者：小山 正人（東芝・研究開発センター・LSI基盤技術ラボラトリー・室長）
- ② 研究項目
 - ・Si TFET 技術の開発
 - ・TFET 回路設計技術の開発
 - ・TFET 回路・システム技術の開発

(3)「住友化学」グループ

- ① 主たる共同研究者：山本 武継（住友化学・情報電子化学品研究所・主席研究員）
- ② 研究項目
 - ・化合物半導体 TFET チャンネル形成技術の開発

(4)「NTT」グループ(研究機関別)

- ① 研究代表者：満原 学（日本電信電話株式会社・NTT 先端集積デバイス研究所・主任研究員）
- ② 研究項目
 - ・化合物半導体 TFET チャンネル形成技術の開発

§ 2. 研究実施の概要

本研究では、ULSI の電源電圧を低減し、素子の情報処理エネルギーを大幅に低減するために、トランジスタの S 値の低減を実現可能なトンネル FET (TFET) を用いたデバイス・回路・設計基盤技術を確立し、その性能向上を進めると共に、TFET 集積回路の実用化の道筋を明らかにする。この目的のため、(1) III-V/Ge などの新材料を用いた高性能 TFET 技術 (2) Si TFET の高性能化と TFET 回路・設計技術の構築 の 2 つの研究開発を連携して進めている。

新材料を用いた TFET に関しては、今年度は、GOI TFET, Ge ソース SOI TFET, Zn 拡散ソース InGaAs TFET, GaSb 系ヘテロ構造を用いた TFET を中心に開発を進めた。GOI TFET については、低エネルギー BF₂ イオン注入によるソース形成を進め、10 K において 8×10^5 程度の I_{on}/I_{off} 比、130 mV/dec の S 値の n 型 FET 得ることに成功した。Ge ソース n 型 SOI TFET については、forming gas による post metallization annealing とドレイン濃度の最適化が TFET 特性を改善できることを明らかにした。また Zn 拡散 InGaAs TFET に関しては、提案している量子井戸構造 TFET を、量子井戸幅と In 組成が異なる TFET を作製して、その電気的性質を系統的に明らかにした。ここで、InGaAs の MOCVD 技術の最適化を進め、In_{0.53}Ga_{0.47}As 基板上に In 組成として 100% (InAs) まで、膜厚として 3nm 前後までの極薄量子井戸構造を実現した。量子井戸幅を狭くすることで、バルク InGaAs と比べて I_{on}/I_{off} 比に優れた特性の n 型 TFET が得られることを示した。更に、より薄膜の EOT (Effective Oxide Thickness) を持つ W 電極/HfO₂/Al₂O₃ ゲートスタックを組み合わせることで、室温で 55mV/dec の最小 S 値を得ることに成功した。また、GaSb 系 TFET に関しては、実験とシミュレーションの比較から、性能向上のためには、EOT の削減と GaAsSb 中の p 型ソース濃度の向上が必要であることを明らかにした。GaSb 系結晶成長技術として、p 型 GaAsSb の正孔濃度とドーパントに関する検討、トンネル接合界面への中間組成層の導入や新しい GaAsSb の表面保護層に関する検討を進めた。

Si TFET に関しては、今年度は、TFET を用いた回路特性をシミュレーションベースで予測することを目的とし、 $|V_{gs}|=|V_{ds}|=0.3V$ の動作条件下で縦型 TFET の特性をどこまで最大化できるのか TCAD を用いてデバイスパラメータの最適化を実施した。その結果、ポケット領域(縦型 TFET においてバンド間トンネリングが発生する領域)の不純物プロファイルとゲート絶縁膜の等価換算膜厚 EOT の最適化により、n 型 TFET では $V_{gs}=V_{ds}=0.3V$ でのオン電流: 2.53 $\mu A/\mu m$ 、最小 S.S: 13.4mV/dec、平均 S.S: 52.6 mV/dec、オン電流/オフ電流比: 5.10×10^5 が得られた。同様に、p 型 TFET では、 $V_{gs}=V_{ds}=-0.3V$ でのオン電流: 0.76 $\mu A/\mu m$ 、最小 S.S: 6.5mV/dec、平均 S.S: 34.2 mV/dec、オン電流/オフ電流比: 6.04×10^8 が得られた。以上の検討により、Si を用いた TFET で、60 mV/dec 以下の十分急峻なサブスレッショルド特性とリーズナブルな駆動電流を両立するデバイス設計が可能であることが示された。

また、IoT 時代の高精度で低消費電力な時計に用いられる水晶発振回路をモチーフとし、TFET による低消費電力化の可能性について、回路シミュレーションで検討した。TFET を使った水晶発振回路が、通常 MOSFET に比べて、一桁以上小さい消費電力特性を持っていることを示した。TFET に固有の寄生容量効果は、今回扱った 32kHz 発振回路への応用上は全く問題にならないことがわかった。

○代表的な論文

1. D. H. Ahn, S. M. Ji, M. Takenaka and S. Takagi, “Performance improvement of In_xGa_{1-x}As Tunnel FETs with Quantum Well and EOT scaling”, Symp. VLSI Technology, pp. 224-225, 2016
2. T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka and S. Takagi, “Effects of impurity and composition profile steepness on electrical characteristics of GaAsSb/InGaAs hetero-junction vertical TFETs”, International Conference on Solid State Devices and Materials (SSDM), pp. 21-22, 2016
3. S. Takagi, D. H. Ahn, M. Noguchi, T. Gotow, K. Nishi, M. Kim and M. Takenaka, “Tunneling MOSFET technologies using III-V/Ge materials”, IEEE International Electron Devices Meeting (IEDM), pp. 516-519, 2016