

2023 年度年次報告書
情報担体を活用した集積デバイス・システム
2021 年度採択研究代表者

中塚 理

名古屋大学 大学院工学研究科
教授

狭ギャップIV族混晶による赤外多帯域受発光集積デバイス

主たる共同研究者:

末岡 浩治 (岡山県立大学 情報工学部 教授)

田中 朋 (日本電気(株) セキュアシステムプラットフォーム研究所 主任研究員)

前田 辰郎 (産業技術総合研究所 先端半導体研究センター 研究チーム付き)

王 冬 (九州大学 総合理工学研究院 教授)

研究成果の概要

本年度においては、IV 族混晶薄膜ヘテロ構造のグループ間の試料共有を引き続き進め、IV 族混晶の結晶物性・欠陥構造解明に関する理論・実験研究の推進、IV 族混晶デバイス用低温プロセスの構築、欠陥密度低減、pn 伝導型およびキャリア密度の制御技術の構築、狭ギャップ IV 族混晶半導体薄膜転写とデバイス化について、研究テーマを推進した。また、前年度までに構築した基板転写技術に基づいて MSM 型光電デバイス試作と評価を進めた。主な成果を以下に記す。

スパッタリング法による高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層形成と電子物性評価

従来、 $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層の成長には、分子線エピタキシー (MBE) 法を用いてきたが、より製造コストが低く、産業応用可能で高速な成膜手法としてのスパッタリング法に着目した。超高真空多元スパッタ装置を用いて、InP(001)基板上への $\text{Ge}_{1-x}\text{Sn}_x$ のスパッタ成膜とエピタキシャル成長に取り組んだ。半絶縁性 InP(001)基板 (抵抗率 $10^7 \Omega\text{cm}$) を硫酸溶液で化学洗浄後、超高真空装置 (基底真空度 10^{-7}Pa) に導入し、 440°C 、1 時間の熱処理によって清浄表面を得た。膜厚 100 nm の $\text{Ge}_{0.75}\text{Sn}_{0.25}$ 層を基板温度 $100\sim 200^\circ\text{C}$ で、成長させた。この時、 $\text{Ge}_{1-x}\text{Sn}_x$ 堆積速度は最大 12.1 nm/min であり、これまでの MBE 成長における 2.8 nm/min よりも 4 倍以上高速の堆積を試みた。

$\text{Ge}_{1-x}\text{Sn}_x$ 層堆積後の試料表面から得られた RHEED パターンを図 1(a) に示す。 100°C の低温では規則的なパターンは現れず、 $\text{Ge}_{1-x}\text{Sn}_x$ 層はアモルファス状であることが示唆される。 160°C まで堆積温度を上げると、エピタキシャル成長を示すスポットパターンと積層欠陥を示すスポットも観察された。さらに高温の 170°C においては、欠陥に起因するスポットは減少し、均一なエピタキシャル成長が促進されることがわかる。各基板温度で作製した $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料から得られたラマン分光スペクトルを図 1(b) に示す。基板温度 160°C 以上の成長において、Sn 組成 25% の $\text{Ge}_{0.75}\text{Sn}_{0.25}$ 内の Ge-Ge 結合に関連付けられる幅広ながらも明瞭なピークが観測される。また、基板温度 170°C 以上においては 7% 程度のより低 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ に対応するピークも観測される。

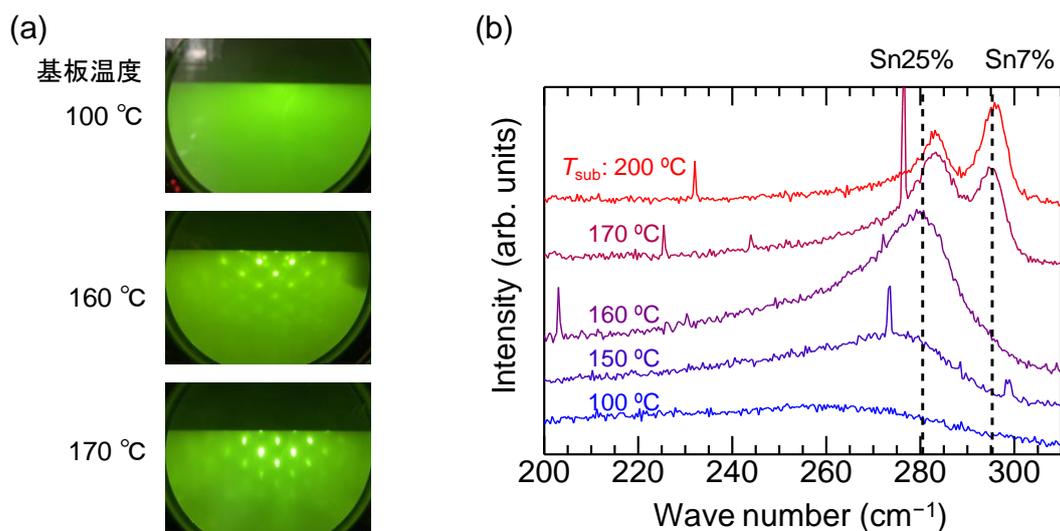


図 1. (a) それぞれの基板温度における堆積後の RHEED パターン。(b) 各温度で成長した $\text{Ge}_{0.75}\text{Sn}_{0.25}/\text{InP}$ 試料のラマン分光スペクトル。

基板温度 160、170、および 200°C で堆積した $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料から得られた X 線回折 2 次元逆格子空間マップ (XRD-2DRSM) を、それぞれ図 2(a)~2(c) に示す。基板温度 160 °C の試料では $\text{Ge}_{0.75}\text{Sn}_{0.25}$ エピタキシャル層からの回折ピークは完全に InP 基板からの回折に重なっているか、極めて弱いものと推測される。基板温度 170 °C 以上の場合、InP 基板に重なる回折ピークが広がりを見せていることから、ラマン分光で観察される $\text{Ge}_{0.75}\text{Sn}_{0.25}$ 層のエピタキシャル成長を確認できる。一方、基板温度 200 °C の場合、Sn 組成 7% の $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層に対応する位置に弱い回折信号が現れる。これは高い基板温度によって $\text{Ge}_{1-x}\text{Sn}_x$ 成長中に Sn 析出が生じ、低 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層が形成されるものと推測される。MBE 成長においては、適切なエピタキシャル成長温度は 70°C の低温であり、100°C を超えると Sn 析出が生じることを考慮すると、スパッタリング法を用いることで 100°C 程高い温度でのエピタキシャル成長が可能となることがわかった。

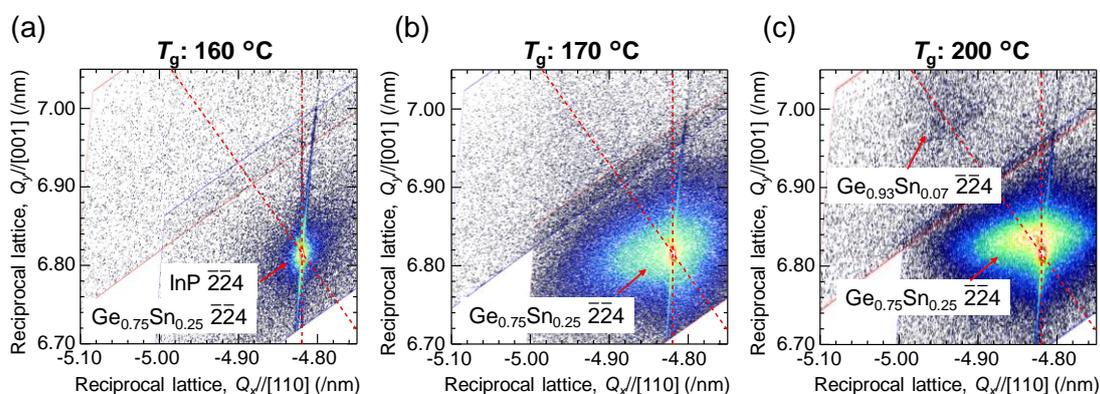


図 2. 基板温度(a) 160、(b) 170、および(c) 200°C で堆積した $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料から得られた XRD-2DRSM 観察結果。

基板温度 150~200 °C で作製した $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料の表面光学顕微鏡像を図 3(a)にまとめる。基板温度 160 °C 以下では、比較的均一平坦な試料表面が得られるが、170 °C 以上で明るいコントラストを示す局所的な領域が多数生じることがわかる。MBE 成長の場合においても観察された低 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 領域であることが顕微ラマン分光の観察でも確認できた。光学顕微鏡観察の結果から、この低 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 領域の面積を見積もった。図 3(b)には、表面全体に占める高 Sn 組成 $\text{Ge}_{0.75}\text{Sn}_{0.25}$ 領域の割合の基板温度依存性を示す。比較のために MBE 法で成長した膜厚 15~100 nm の $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料から得られた結果もあわせて示す。スパッタ法で成長した $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層においては、200 °C の比較的高い温度領域、100 nm の厚い膜厚においても、高 Sn 組成領域が 95%以上を占めており、Sn 析出領域の形成は狭い範囲に抑えられている。一方で、MBE 法で成長した $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料においては、100 °C の低温でも低 Sn 組成領域の広がりが見られ、膜厚の増加とともに高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 領域は顕著に減少することがわかる。

以上の結果より、MBE 法に比較して高速の $\text{Ge}_{1-x}\text{Sn}_x$ 堆積を実現できるスパッタ法によって、高い成長温度であっても Sn 析出の度合いを低く抑え、広い領域で InP 基板に格子整合したままの高 Sn 組成 $\text{Ge}_{0.75}\text{Sn}_{0.25}$ 層のエピタキシャル成長を実現できることが明らかになった。

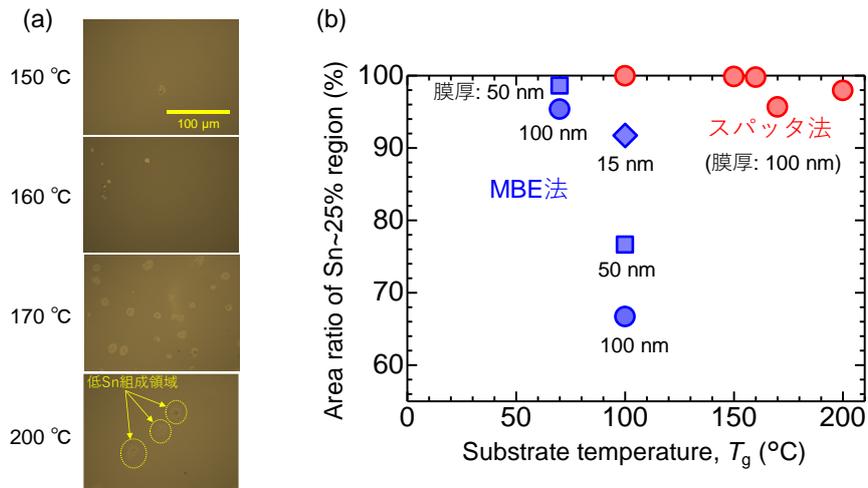


図 3. (a) 基板温度 150~200 °C で作製した $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料の表面光学顕微鏡像。(b) 光学顕微鏡観察によって評価された、表面全体に占める高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層の割合の基板温度依存性。

スパッタ法で作製した非ドープ $\text{Ge}_{1-x}\text{Sn}_x$ エピタキシャル層のキャリア物性を Hall 効果測定によって評価した。170 °C 以上で成長した試料においては、ホールをキャリアとする p 型伝導が観測された。この特性は、 $\text{Ge}_{1-x}\text{Sn}_x$ 層内においてアクセプタとして働くと思われる空孔欠陥からのホール生成によるものと推測される。測定から得られた Hall ホール密度の $\text{Ge}_{1-x}\text{Sn}_x$ 堆積時の基板温度依存性を図 4 に示す。比較のため MBE 法で成長した膜厚 15~100 nm の $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料から得られた結果もあわせて示す。MBE 法で成長した成長温度 100 °C、膜厚 100 nm の $\text{Ge}_{1-x}\text{Sn}_x$ 層が $4 \times 10^{20} \text{ cm}^{-3}$ 以上の高いホール密度を示すのに対して、スパッタ法で作製した $\text{Ge}_{1-x}\text{Sn}_x$ 層は 200 °C の高温成長でも $1 \times 10^{20} \text{ cm}^{-3}$ 以下のホール密度にとどまり、基板温度 170 °C の試料においては、100 nm の厚い膜厚においても、 $3 \times 10^{19} \text{ cm}^{-3}$ 以下のホール密度となった。より高い温度の成長によって欠陥形成を抑制するとともに、Sn 析出が抑止されることで意図しないホール生成を抑止できるものと推測される。

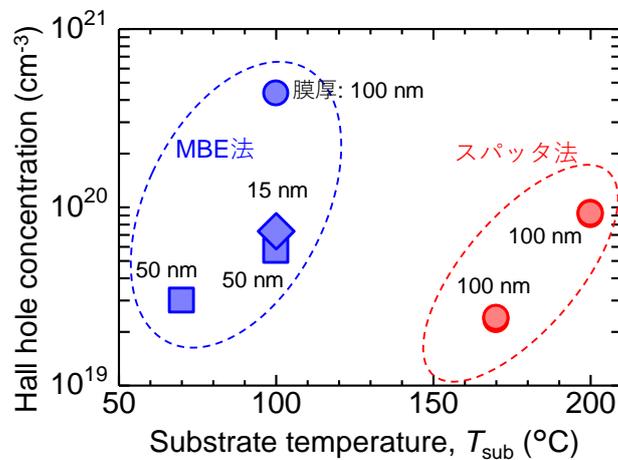


図 4. $\text{Ge}_{1-x}\text{Sn}_x/\text{InP}$ 試料から得られた Hall ホール密度の $\text{Ge}_{1-x}\text{Sn}_x$ 堆積時の基板温度依存性。

Ge_{1-x}Sn_x層転写を用いたフォトダイオード試作

昨年度は、転写した Ge_{1-x}Sn_x/Si 基板を用いて MSM 型のフォトディテクタ構造を作製し、Ge_{1-x}Sn_x 層の赤外感度特性の評価を実施したが、暗電流に対して 4~5 桁低い光電流を検出できなかった。また、MSM 型のフォトディテクタ構造では、通常 MSM のギャップ長つまり検出面積に比例して光電流は増加するはずであるが、光電流のギャップ長依存性は観測できなかったことから、Ge_{1-x}Sn_x 層中で発生するフォトキャリアの大多数が電極に辿り着くことなく Ge_{1-x}Sn_x 層内で消失している可能性が高い。昨年度までに作製した MSM のギャップは最小で 10 μm であったが、今年度は i 線ステッパーを用いることで MSM のギャップを 0.5 μm まで縮小した Ge_{1-x}Sn_x/InP MSM 型フォトディテクタの作製を試み、Ge_{1-x}Sn_x 層中フォトキャリアの拡散長を求めた。金属層は直接 Ge_{1-x}Sn_x 層に金属を Ni/Au の積層構造を堆積させ、オーミック特性を確認している。

図 5 は、Ge_{1-x}Sn_x 層膜厚が 50 nm の MSM 型フォトディテクタの暗電流と光電流のギャップ依存性である。光電流の検出は、MSM のギャップ内に波長 1550 nm で、1.27 W/cm² のパワー密度のレーザを照射し光電流をロックイン検出した。図 5(a) に示すように暗電流は、ギャップ長が縮小するにつれて増加する導体の特性を示し、最大で 1×10⁻⁴ A 程度と極めて高い。この高い暗電流は、暗電流との差分を取ることで得られる光電流検出には適していない。暗電流の低減には、電極との界面にキャリアの障壁層を入れるのが効果的であるが、同時に光電流の検出感度の低下も招く。そこで、バイアス条件は 10 mV と出来るだけ小さくし、暗電流値を極力下げた状態で光電流を検出した(図 5(b))。ロックイン検出した光電流は、1×10⁻⁸~10⁻⁹ A と暗電流よりも 4 桁から 5 桁も低いことがわかる。光電流のギャップ長依存性を見ると、3 μm までは光電流が 3×10⁻⁹ A 程度と一定で、2 μm からギャップ長が短くなるにつれて光電流が増加することが読み取れる。このことから、フォトキャリアの拡散長は 2-3 μm と判断される。つまり、電極端から 2-3 μm 離れた領域で発生した光電流のみを検出していることになる。

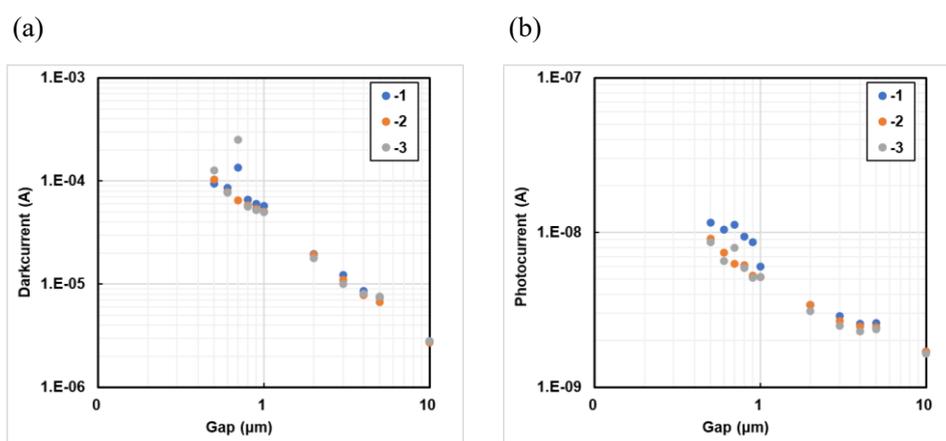


図 5. (a) 暗電流および(b) 光電流のギャップ長依存性(波長 1550 nm、パワー 1.27 W/cm²)。

光電流から算出される感度は、ギャップ長が 0.5 μm で 1~2 mA/W であった。Ge_{1-x}Sn_x 膜のホール測定の結果からは、P 型のキャリア密度が 1×10¹⁹ cm⁻³ 程度、移動度は 20 cm²/Vs 程度であり、欠陥などによる意図しないキャリアの発生が観察されており、この欠陥がフォトキャリアの捕獲や再結合中心になっている予想される。したがって、Ge_{1-x}Sn_x 膜の結晶性の向上、キャリア濃度低減が

強く望まれる結果となった。MSM 型の横方向フォトディテクタ構造では、フォトキャリアの拡散長からその計測に限界があるので、今後はキャリア走行距離の短い縦型のフォトディテクタ構造で評価を進めることになった。

Ge_{1-x}Sn_x 層のキャリア物性解明と界面制御

ドーピングした Ge_{1-x}Sn_x の MIS・M/S 構造の基本プロセスを構築すると共に、Ge_{1-x}Sn_x の MSM 型受光素子の信号対雑音比の改善方法を提案し、そのための予備実験を行った。さらに、Ge_{1-x}Sn_x に含まれる欠陥の様々な温度での挙動を調査した。

まず、Sn 濃度 2.8% の Sb ドープ Ge_{1-x}Sn_x/n⁺-Ge 基板を用いて MIS 構造を形成した。その C-V 特性において、Sb ドープ Ge_{1-x}Sn_x 層は n 型半導体の特性を示し、キャリア密度は Sb 濃度 (10¹⁷ cm⁻³ 台前半) と概ね一致した。また、C-V 特性は Al ゲート電極形成後熱処理 (Al-PMA) でヒステリシスが大幅に減少し急峻性も改善している (図 6)。DLTS で評価した結果、最高温度 300 °C の低温プロセスにもかかわらず、伝導帯付近の界面準位密度 (D_{it}) は Ge-MIS 構造と同程度と、良好な値を示した。その一方、ミッドギャップ付近の D_{it} はやや大きく (~2×10¹² eV⁻¹cm⁻²)、さらなる改善の余地がある。

次に、Sb ドープ Ge_{1-x}Sn_x/n⁺-Ge 基板を用いて、300 °C の低温プロセスで M/S 構造を形成し、ノンドープ Ge_{1-x}Sn_x 基板と比較したところ、暗電流が 1 桁低減した (図 7)。この原因は、Sb ドーピングによる正孔密度の減少に伴い、逆バイアスを印加した際の少数キャリアの暗電流への寄与が減少したためであると考えている。

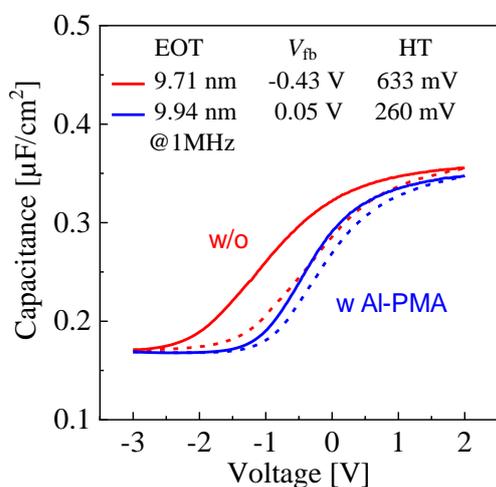


図 6. Sb ドープ Ge_{1-x}Sn_x の MIS 構造の C-V 特性。Al-PMA で界面品質が劇的に改善。

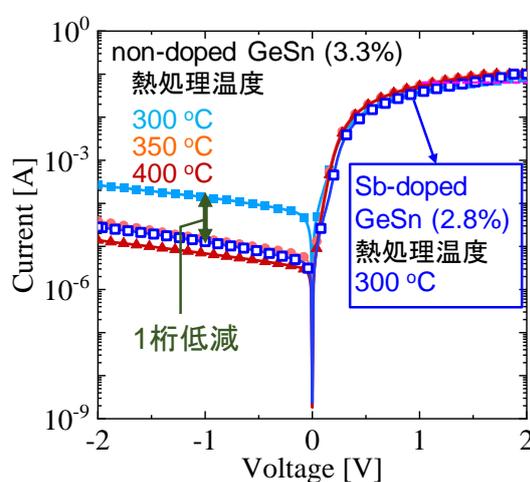


図 7. Ge_{1-x}Sn_x の M/S 構造の I-V 特性。Sb ドープにより暗電流が 1 桁低減。

次に、Ge_{1-x}Sn_x の MSM 型受光素子の信号対雑音比を改善するため、金属と GeGe_{1-x}Sn_xSn の間への極薄絶縁膜の挿入によりキャリアのトンネリング障壁高さを制御した、非対称 MSM 構造を提案している。予備実験として、Al/Ge 界面に 1~10 nm の SiO₂ と Al₂O₃ をそれぞれ挿入し、電子のトンネリング障壁高さを制御が可能であることを実証した。2024 年度からはより多くの種類の絶縁膜

のトンネリング障壁高さの制御効果を調査して、 $\text{Ge}_{1-x}\text{Sn}_x$ の M/S 構造の暗電流制御への応用を目指している。

最後に、Sbドープ $\text{Ge}_{1-x}\text{Sn}_x/\text{n-Ge}$ 基板およびノドープ $\text{Ge}_{1-x}\text{Sn}_x/\text{n-Ge}$ 基板のホール効果特性を測定し、90~400 Kにおけるキャリア密度の温度依存性を調査した(図 8)。220 K 以下ではノドープ $\text{Ge}_{1-x}\text{Sn}_x$ は p 型の特性を示し、温度上昇に伴い正孔密度 (N_h) が上昇しており、これはアクセプタ型の欠陥の存在を示唆している。また、Sbドープ $\text{Ge}_{1-x}\text{Sn}_x$ は n 型の特性を示し、温度上昇と共に電子密度 (N_e) が徐々に増加しており、典型的な不純物半導体の特性が確認できる。220~270 K では、ノドープ $\text{Ge}_{1-x}\text{Sn}_x$ の N_h は急激に増加している。これは前述した(浅い)アクセプタ準位とは別の、深いアクセプタ準位を持つ欠陥の存在を示唆している。深いアクセプタ準位の活性化によって、ノドープ $\text{Ge}_{1-x}\text{Sn}_x$ の N_h の増加、Sbドープ $\text{Ge}_{1-x}\text{Sn}_x$ の N_e の減少が発生したと考えている。270 K 以上では、 $\text{Ge}_{1-x}\text{Sn}_x$ と n-Ge 基板との電気的分離性の低下によって基板の影響が顕著となる。また、 $\text{Ge}_{1-x}\text{Sn}_x$ と n-Ge 基板の真性キャリア密度の上昇と、電子と正孔の移動度の差によって、全ての試料で n 型の特性を示したと考えられる。

図 9 に 2 つのアクセプタ準位を示す。これは、 $\text{Ge}_{1-x}\text{Sn}_x$ 中の点欠陥や $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}$ 基板界面の欠陥が考えられる。2024 年度からはドーピングした $\text{Ge}_{1-x}\text{Sn}_x$ 基板をもう一度試作し、その MIS・M/S 構造の DLTS 測定を行い、欠陥の起源を詳細に調査する。

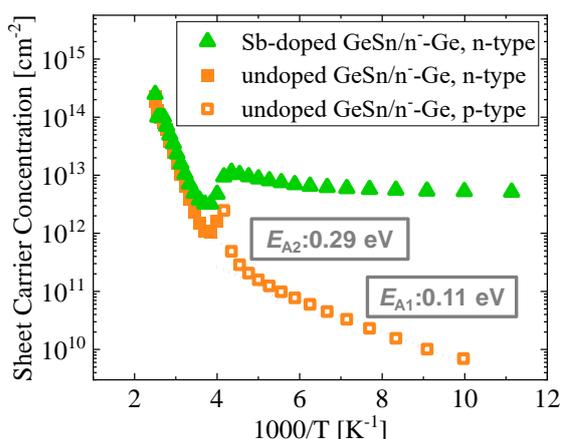


図 8. $\text{Ge}_{1-x}\text{Sn}_x/\text{n-Ge}$ 基板のキャリア密度の温度依存性。

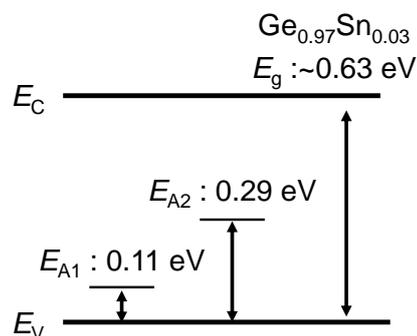


図 9. $\text{Ge}_{1-x}\text{Sn}_x$ に含まれるアクセプタ型欠陥のエネルギー準位。

IV 族混晶物性解明のための機械学習・第一原理計算技術の開発

2023 年度は、IV 族混晶の理論的物性解明に向けて、(1) Extreme Learning Machine (ELM) 機械学習モデルによる IV 族混晶系の全エネルギー、原子間にはたらく力、ユニットセルにはたらく応力の予測の精度検証、(2) 第一原理計算による Ge 結晶と Ge 薄膜表面近傍における Sn や原子空孔の安定性解析等に取り組んだ。

(1)について、正則化パラメータや各訓練データの重要度を制御する重みパラメータを調整することで、Ge 結晶構造の全エネルギー、原子間にはたらく力、ユニットセルにはたらく応力の予測において、全ての物性値についてバランス良く高精度に予測できることを確認した(図 10 参照)。また、Ge-Sn 二元系の全エネルギーを予測する ELM 機械学習モデルを構築し、ELM 機械学習モ

デルと遺伝的アルゴリズム(GA)を連携させることで、過去に取り組んだ第一原理計算・GA の連携手法と比べて、Ge-Sn 二元系の安定構造を更に効率良く探索する手法を確立した(図 11 参照)。

予測精度の比較(重みパラメータの有無, $\lambda = 10^3$)

重み	Energy R ²	Energy RMSE	Energy MAE	Force R ²	Force RMSE	Force MAE	Stress R ²	Stress RMSE	Stress MAE
なし	0.9978	0.0152	0.0091	0.9991	0.0682	0.0519	0.9998	0.4183	0.2006
あり	0.9997	0.0058	0.0051	0.9976	0.1105	0.0812	0.9999	0.3004	0.1272

図 10. 重みパラメータの有無による ELM 機械学習モデルの Ge 結晶構造の物性予測精度の比較。R²: 決定係数、RMSE: 平方平均二乗誤差、MAE: 平均絶対誤差。予測精度が優れている方を赤字で示す。

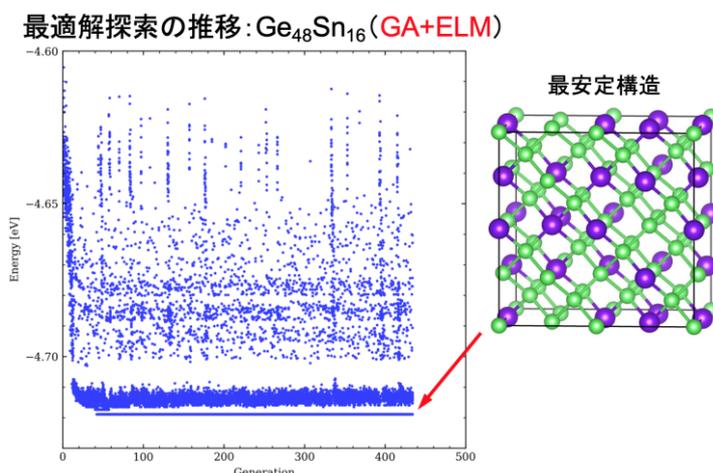


図 11. ELM 全エネルギー予測モデルと GA に基づく Ge-Sn 二元系安定構造探索の計算結果。

(2)について、Ge 表面近傍を扱うモデルを作成し、Sn、原子空孔(V)、SnV の形成エネルギーの深さ方向依存性を計算した。その結果、表面の影響が 5 層程度までしか及ばないことや、Sn が V を引き連れて取り込まれる過程に関する知見を得た(図 12 参照)。さらに、次年度からの高精度なバンド計算の実施に備え、電子の交換相関エネルギー関数として sx-LDA を検討した。V の荷電状態のフェルミレベル依存性について、妥当な結果を確認した(図 13 参照)。

SnVの形成エネルギー (E_f) : 深さ方向依存性

$$E_f = E_{tot}(Ge512_{surf}, Sn1V1) - E_{tot}(Ge512_{surf}) + \frac{2}{512} E_{tot}(Ge512_{bulk}) - \frac{1}{512} E_{tot}(Sn512_{bulk})$$

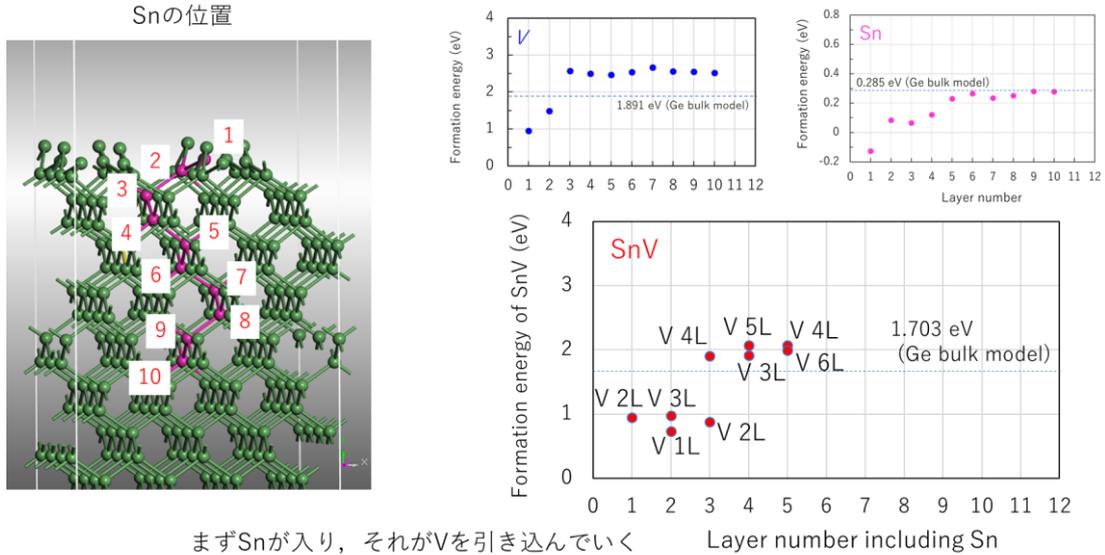


図 12. Ge 薄膜表面近傍における Sn、V、SnV の形成エネルギーの計算結果。

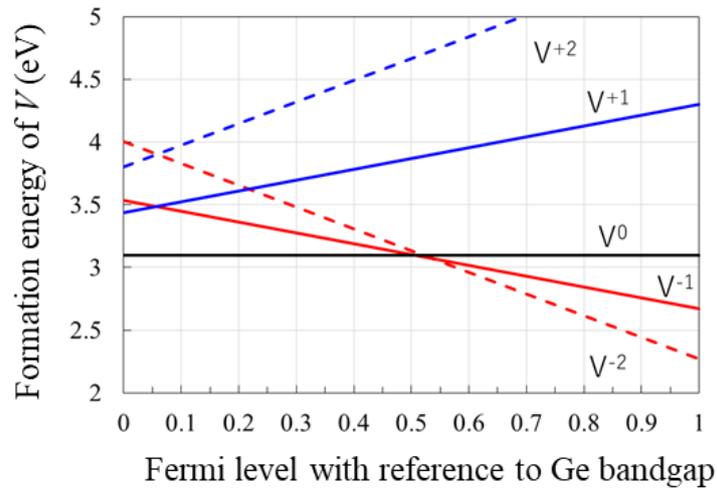


図 13. sx-LDA を用いた Ge 中の V の形成エネルギーの計算結果。

狭ギャップ半導体光電特性評価技術の開発

狭ギャップ半導体赤外撮像素子の特性評価系の構築を進めた。構築に際して、主に前田 G が試作した単素子を、所望のサンプル温度にて、電気特性と、黒体感度及び所望の波長域における分光感度特性が評価できることとした。またスパッタ法による $Ge_{1-x}Sn_x$ 膜成長検討結果を受け、コンビナトリアルスパッタ法による面内での Ge/Sn 組成比傾斜のついた膜の形成、及びそれらを用いた機械学習向け特性データ収集に関する検討を行った。

図 14 に、今回構築した評価系の外観とセラミックキャリアに実装されたサンプルチップの写真を示す。測定系は、光源となるキャビティ型黒体炉、サンプル温度を制御可能なクライオスタット、入

射光をチョッピングする光チョッパ、素子の電気特性を評価する各測定装置からなる。また、分光感度特性の評価には、既存設備である FT-IR に加え、広帯域光源と組み合わせて使うことで分光特性が評価可能なバンドパスフィルタ(BPF)を新たに用意することとした。クライオスタットは温度コントロールされるコールドヘッドにキャリアソケットを持つ。サンプルチップはソケットに対応した 18 pin のセラミックキャリアに接着され、チップ上の電極パッドとセラミックキャリアの各パッドをワイヤーボンディングで結線する。セラミックキャリアのサンプルチップ接着面はメタライズされている。そのため基板に電位をかけるような縦型の素子の場合、サンプルチップを導電性ペーストで接着し、メタライズ面とセラミックキャリアのパッドとを結線する。既存のクライオスタット内配線の都合上 18 pin のうち 2 pin を共通グランド電位として用いるため、それ以外の 16 pin を用いることで計 16 素子を外部スイッチで切り替えながら評価が可能となる。クライオスタットは ZnSe の光学窓を持ち、黒体炉からの光源をサンプルチップ表面に入射できる。

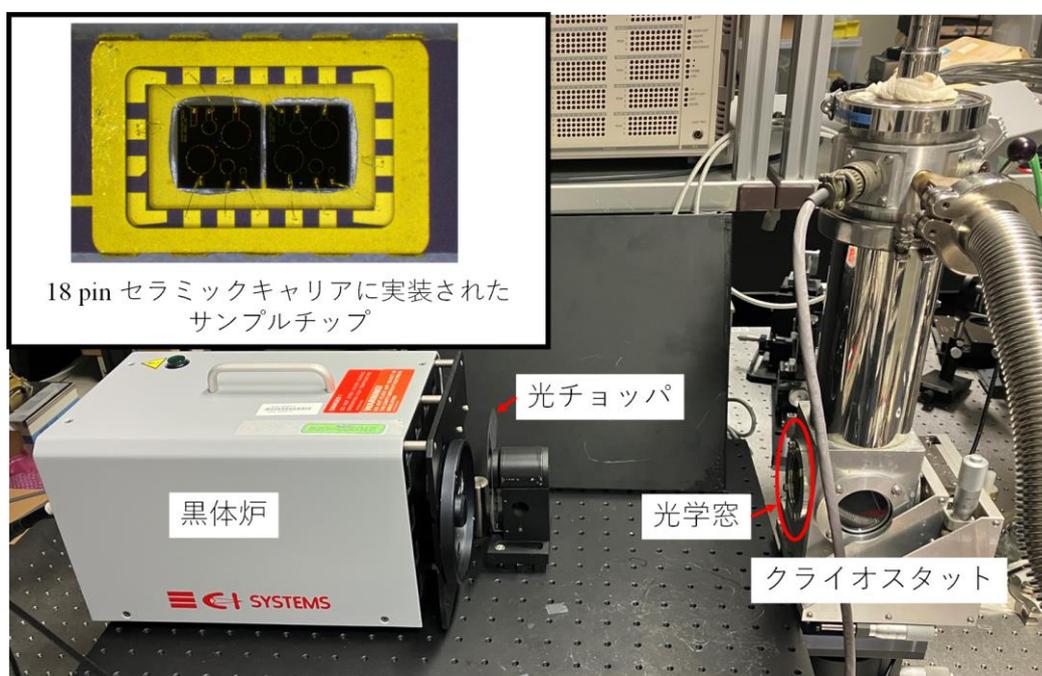


図 14. 用いる評価系の外観写真及びセラミックキャリア実装されたサンプルチップ写真。

【代表的な原著論文情報】

- 1) “Ge_{1-x}Sn_x layers with x~0.25 on InP(001) substrate grown by low-temperature molecular beam epitaxy reaching 70 °C and in-situ Sb doping”, S. Shibayama, K. Takagi, M. Sakashita, M. Kurosawa, and O. Nakatsuka, *Materials Science in Semiconductor Processing* **176**, 108302 (2024).
- 2) “Layer transfer of epitaxially grown Ge-lattice-matched Si_{27.8}Ge_{64.2}Sn₈ films”, T. Maeda, H. Ishii, W. H. Chang, S. Zhang, S. Shibayama, M. Kurosawa, O. Nakatsuka, *Materials Science in Semiconductor Processing* **176**, 108304 (2024).
- 3) “Method for estimating elastic modulus of doped semiconductors by using ab initio calculations - Doping effect on Young’s modulus of silicon crystal”, E. Kamiyama and K. Sueoka, *AIP*

Advances **13**, 085224 (2023).

- 4) “High-Responsivity Ge Schottky Photodetectors with Short-Wave Infrared Transparent Conductive Oxide Electrodes”, H. Ishii, W. H. Chang, H. Ishii, T. Koida, H. Fujishiro and T. Maeda, IEEE Electron Device Letters **44** (8) 1244 (2023).
- 5) “In-situ Sb ドーピングによる InP 上 n 型 Ge_{0.75}Sn_{0.25} エピタキシャル膜の形成”, 柴山茂久, 高木孝明, 坂下満男, 黒澤昌志, 中塚理, 第 29 回電子デバイス界面テクノロジー研究会—材料・プロセス・デバイス特性の物理—予稿集 (2024).