

2023 年度年次報告書

情報担体を活用した集積デバイス・システム

2020 年度採択研究代表者

高木 信一

東京大学 大学院工学系研究科
教授

強誘電体分極と電荷の相互作用を利用した新デバイス・システム

主たる共同研究者：

澤 彰仁（産業技術総合研究所 エレクトロニクス・製造領域 電子光基礎技術研究部門 研究部門長）

竹内 健（東京大学 大学院工学系研究科 教授）

藤村 紀文（大阪公立大学 大学院工学研究科 教授）

研究成果の概要

「強誘電体素子による新コンピューティング技術」に関し、FeFET を用いたリザバーコンピューティング方式を改良し、英語数字発話音声認識タスクに対し 98.1 % の分類精度を実証した。また、IoT エッジデバイス向けに FeFET を並列接続した回路構成を提案し、イベント信号を処理する Spiking Neural Network を低電力に処理できることを示した。更に強い宝くじ仮説のニューラルネットワークでは、SLC (1 ビット記憶) および MLC (多ビット記憶) の 2 つの FeFET で構成する CiM を提案し、10 年の経年劣化や 2000 回の書き換え劣化による様々な非理想特性に頑健であることを示した。Hf_{0.5}Zr_{0.5}O₂ (HZO) を障壁層とする強誘電トンネル接合において、電圧パルス印加直後に素子の伝導度が上昇しその後減少する漏れ機能と、電圧パルス列印加の際、電圧パルス間隔を短くすると、電圧パルス印加数増加と共に伝導度が増大する積分機能を示すことを実証した。「強誘電体メモリ・ロジック技術」に関し、HZO FeFET の書き込み信頼性劣化には、MFIS 界面劣化と HZO 膜の分極特性劣化の二つのモードが共存し、印可電圧低減により前者が抑制されることを見出し、更に単発の高電圧パルス印加でメモリ特性劣化を回復させ書き込み耐性を向上させる方式を実証した。「強誘電体材料・評価技術」に関し、時間分解第二次高調波 (SHG) 測定について、時間分解能 ~1.1 ns、感度 0.3 % 以下で SHG 光強度変化を測定可能な装置を開発した。また、正圧電応答顕微鏡法を用いた分極ドメイン観察から、HZO 厚 4.7 nm と 10 nm の MFM 素子において、初期状態では分極反転しなかった領域が wake-up 処理によって反転する様子の直接観測に成功し、HZO 薄膜で見られる wake-up 現象は欠陥による分極ピンニングが起源であることを示した。

【代表的な原著論文情報】

- 1) S. Takagi, K. Toprasertpong, E. Nako, R. Suzuki, S.-Y. Min, M. Takenaka and R. Nakane, “Physical Reservoir Computing using HZO-based FeFETs for Edge-AI Applications”, invited, 69th Annual IEEE International Electron Devices Meeting (IEDM), 22.2., San Francisco, CA, USA, December 9-13, 2023.
- 2) E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, “Reservoir Computing System with HZO/Si FeFETs in Parallel Configuration: Experimental Demonstration of Speech Classification”, IEEE Trans. Electron Devices, Vol. 70, Issue 11, pp. 5657-5664, November 1, 2023.
- 3) Z. Cai, K. Toprasertpong, M. Takenaka, and S. Takagi, “HZO Scaling and Fatigue Recovery in FeFET with Low Voltage Operation: Evidence of Transition from Interface Degradation to Ferroelectric Fatigue”, 2023 Symposium on VLSI Technology and Circuits, Kyoto, Japan, June 11-16, 2023.
- 4) C. Matsui, K. Toprasertpong, S. Takagi and K. Takeuchi, “FeFET Local Multiply and Global Accumulate Voltage-sensing Computation-in-Memory Design for Neuromorphic Computing,” IEEE Transactions on VLSI Systems, Vol. 32, No. 3, pp. 468-479, 2024.
- 5) K. Yamauchi, A. Yamada, N. Misawa, S.-K. Cho, K. Toprasertpong, S. Takagi, C. Matsui and K. Takeuchi, “Co-design of SLC/MLC FeFET-based highly error-tolerant low-power CiM and strong lottery ticket hypothesis-based algorithm,” Jpn. J. Appl. Phys. (JJAP), vol. 63, Jpn. J. Appl. Phys.,

63, Num. 4, 04SP06, March 2024.