

2023 年度年次報告書

Society 5.0 を支える革新的コンピューティング技術

2019 年度採択研究代表者

佐藤 茂雄

東北大学 電気通信研究所
教授

スピンエッジコンピューティングハードウェア基盤

主たる共同研究者:

羽生 貴弘 (東北大学 電気通信研究所 教授)

深見 俊輔 (東北大学 電気通信研究所 教授)

研究成果の概要

スピントロニクスコンピューティングハードウェア基盤の構築のために、3つのグループすなわちスピントロニクスコンピューティングハードウェア基盤(佐藤グループ)、スピントロニクスコンピューティング向け革新的アーキテクチャ(羽生グループ)、スピントロニクスコンピューティング向け材料デバイス技術(深見グループ)の協調により研究を進めている。今年度は、これまでに材料・デバイス、回路、アーキテクチャそれぞれの階層で得られている要素技術の融合を図り、リザバー計算を用いた時系列認識処理(アナログ演算)、Deep Neural Network (DNN)を用いた画像認識処理(デジタル演算)、スピントロニクス素子やデジタル CMOS 回路を用いたアニーリング処理(確率的演算)のそれぞれについてハードウェアの開発とシステム化を行った。このことにより提案ハードウェアの優位性を明らかにすると共に、本プロジェクトの重要な目標である3つの処理を統合したエッジ AI ハードウェアプラットフォームの具現化を進めた。

佐藤グループでは低消費電力アナログ CMOS リザバー計算システムの構築と、音声認識や手書き文字認識などの各種タスクの実装を行い、従来技術に比較し優れた電力効率で時系列認識が可能であることなどを明らかにした。また、スパイクニューラルネットワーク用の学習回路として利用可能な減衰機能付き STDP 回路について、設計通り動作することを確認した。

羽生グループでは不揮発 FPGA を基本構成要素とした中規模 DNN の一例として YOLOv3-tiny アルゴリズムを取り上げ、MRAMを搭載した具体的なハードウェア構造の実装に取り組んだ。また、最適化問題において著しい解収束性能を有する stochastic-computing を用いたシミュレーテッドアニーリング手法(stochastic simulated quantum annealing; SSQA)やその解収束の性質を明らかにした。

深見グループでは、アナログスピントロニクス演算回路向け3端子スピントロニクス軌道トルク素子のプロセスフローと測定系を構築し、最終年度のアナログ CMOS 回路との融合に向けた技術を確認した。加えて確率動作スピントロニクス素子を用い順方向ニューラルネットワークに対応した確率論的演算回路や、決定論的 CMOS 回路と少数の確率動作スピントロニクス素子を組み合わせたヘテロジニアスアーキテクチャの原理実証を行った。

【代表的な原著論文情報】

- 1) "Hardware Demonstration of Feedforward Stochastic Neural Networks with Fast MTJ-based p-bits," 2023 International Electron Devices Meeting (IEDM), 12.1.1, 2023.
- 2) "CMOS plus stochastic nanomagnets enabling heterogeneous computers for probabilistic inference and learning," Nature Communications, vol. 15, 2685, 2024.
- 3) "Enhanced convergence in p-bit based simulated annealing with partial deactivation for large-scale combinatorial optimization problems," Scientific Reports, vol.14, 1339, 2024.
- 4) "Analog hardware implementation of spiking neural networks for edge computing," 2023 International Symposium on Nonlinear Theory and Its Applications, pp. 317-318, 2023.