

研究課題別事後評価結果

1. 研究課題名： 統合的高信頼化設計のためのモデル化と検出・訂正・回復技術

2. 研究代表者名及び主たる共同研究者名(研究機関名・職名は研究参加期間終了時点):

研究代表者

安浦 寛人(九州大学 大学院システム情報科学研究院 教授、理事)

主たる共同研究者

松永 裕介(九州大学 大学院システム情報科学研究院 准教授)

佐藤 寿倫(福岡大学 工学部 教授)

3. 研究実施概要 (研究代表者によるまとめ)

本研究課題では、VLSI 製造技術の微細化とそれに伴う大規模化、さらに VLSI を用いたシステムの用途の爆発的な拡大により、VLSI システムのディペンダビリティを向上させる技術へのニーズが急速に高まっているため、具体的な事例として、(a)中性子線等に起因するソフトエラー、(b)素子の製造ばらつきや経年劣化によるタイミングエラー、(c)悪意ある攻撃による回路内の機密データの漏洩を対象として取り上げ、原因となる物理的な現象から上位の回路、論理回路、システムの各階層への影響を評価し、システム全体のディペンダビリティを向上させる設計フローと必要なツールを構築した。これらの事例に対する研究を通じて、既存の階層設計との整合性を考慮し、一般的なディペンダブル VLSI の設計フローとツール群の開発指針を明確にすることを目指した。具体的内容は以下である。

1)ソフトエラー耐性を正しく解析するためにはマスク効果の精度良い見積もりが必要であるため、高精度化と計算時間の短縮の両立を行うべく、設計抽象度に応じたエラーのモデル化と専用アルゴリズムの開発を行った。これにより、従来の LSI の設計フロー(ライブラリセルの設計と論理設計の分離、論理合成+自動配置配線の適用など)と親和性の高いツールチェーンを構築した。

2)システムレベルの設計抽象度において、メモリセルの SEU(Single Event Upset)を対象とし、CPU システムのソフトエラー耐性の評価を可能にするために、ソフトエラー脆弱性評価フローを提案し、ツールを実装した。開発した評価ツールは、メモリのソフトエラー率、プログラム、プログラムの入力、及びハードウェア構成から、記憶階層を構成するメモリデバイスの使用量を時間的及び空間的に計算し、CPU の入力が入る回数を計算する。一般的なハードウェア構成においては、プログラムの実行時間と、ソフトエラー脆弱性の間にはトレードオフの関係が存在するという知見を計算機実験により初めて確認し、トレードオフを考慮する設計手法が重要であると考察した。

3)カナリア・フリップフロップ(以下、カナリア FFと略記)を考案し、マイクロアーキテクチャと回路技術との協調で上記の課題を解決した。タイミングエラーに対して脆弱な部分にのみカナリア FFに置き換えることで面積増の課題を解決した。過大な設計マージンを取り除くことでエネルギー増の課題を解決した。そして、タイミングエラーを予測することで性能低下の課題を解決した。

4)SRAM の構成上どちらか一方のロードトランジスタが必ず NBTI のストレス状況下にあり、経年劣化を回避できない。NBTI にはストレスを排除すると回復するという特徴がある。これを利用して SRAM の長寿命化を図りたいが、データ書き換えの頻度が小さいと回復の効果が無く、逆に頻繁にデータを書き換えると消費エネルギーが著しく増大する。これらの課題を解決し、NBTI を軽減する回路を考案した。メモリへの書き込み・読み出し時に値を反転させるだけという極めて簡易な方法であり、遅延時間や回路面積への影響が小さく現実的である。

5) 悪意のある攻撃の一つであるスキャンベース攻撃を対象として、テスト応答圧縮器を用いた防御法を適用した LSI の機密漏洩度合いを評価する手法を提案した。具体的には、相互情報量を用いて、機密漏洩度合いを定量的に評価した。その結果、テストビリティを向上させると、機密漏洩度合いが増加することを示した。また、悪意のある攻撃への対策のアプリケーションへの影響を評価するために、具体例として、IC カード等を用いた生体情報による個人認証を考えた。生体情報の部分秘匿による漏洩対策の安全性と認証時間・精度とのトレードオフを評価した。

4. 事後評価結果（以下研究総括によるまとめ）

4-1. 研究の達成状況及び得られた研究成果（論文・口頭発表等の外部発表、特許の取得状況等を含む） （課題、目標の設定）

「ディペンダビリティの評価指標を物理層からアプリケーションまで設計の各段階で見積もる技術、ディペンダビリティの向上技術と設計中に組み込む技術、設計を最適化する技術を開発する」という大目標を掲げている。これは正統的で総合的な課題・目標設定である。しかし広範になり過ぎるのは避け、実際に取上げるディペンダビリティへの脅威を、ソフトウェア、タイミングエラー、悪意による攻撃の3項目に絞っている。妥当な課題設定と言える。対象の選定や具体性、目標性能の定量性を明確にするため、チーム運営への助言として、ユーザ企業との連携・対話を強化・継続して、適用対象とする VLSI を具体的に決める、開発成果を実証する仕組みをつくる、必要な計算資源と解析所要時間目標を設定する、などを繰り返し要請してきたが、今後の継続努力が待たれる。

（成果状況）

成果項目は研究代表者により3項に記述されている。顕著な所見を要約すると、①中性子線等に起因するソフトウェアをシステムレベルにおいて評価すべく、素子レベルから上位階層へのモデルの抽象化に注力し計算時間を大幅に短縮する成果を挙げたが、RTL レベルに至って抽象化が困難に直面している。②素子の製造ばらつきや経年劣化によるタイミングエラーに対し耐性を持つカナリアフリップ・フロップを考案し、特に効果の高い箇所にこれを適用する方法を考案したことは、実用的な意義が高いと評価される。

当初目標とした、「システム全体のディペンダビリティを向上させる設計フローと必要なツールを構築する」という思想の一部を具現化しつつあるが、より完成度を高めこの考え方に実力・説得力を与えることは今後の継続努力に待たれる。

（外部との連携）

いくつかの企業と接触を持ってきたが、ディペンダビリティの課題を持っている企業や、設計ツールのベンダーなど研究成果を受け取って利用しそうな潜在ユーザ企業との接触が十分なされたとはいえない。日本には有力な EDA (Electronic Design Aids) つまり設計ツールの開発販売を中心事業とする企業がほとんどなく、半導体・エレクトロニクス会社にもそうしたツールを自社開発する習慣はなくなって久しいために、この分野では直接大学における研究成果について出口としての外部連携を図ることは国内では困難である。とは言っても、国内外の企業・研究機関と、問題・課題を中・長期的に共有することなしに、実践的な研究で成果を挙げることは大変困難であり、大学で本研究を継続するには外部連携は不可欠である。

4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

開発した設計ツールや回路技術に関しては、世界の EDA ベンダー、メーカへの効果訴求努力を継続、強化さ

せ、社会への還元をはかってほしい。

学術的な成果について付言すると、本チームの持つ力、実績からして、設計手段や信頼性に関する世界水準の学会たとえば **Design Automation Conference** や、**DSN (Dependable Systems and Networks)**、また対応する論文誌における発表存在感、認知がもっと高いことが期待される場所である。研究期間は 2013 年 3 月を持って終了するが、これまでの成果を今後こうした舞台に発表する行動をとってほしい。

4-3. 総合的評価

ソフトウェア率のシミュレーションにおける、上位階層での計算時間短縮のためのモデル化に進歩があった。このシミュレーションを用いてキャッシュ対スクラッチパッドなどシステム構成トレード・オフの評価がなされていることは注目できる。経年劣化関係ではカナリア **FF** の挿入位置評価法、**NBTI** 起因劣化故障の予測技術などの提案があり、一部は実証も進んでいる。

当初目指した「統合的高信頼化設計のためのモデル化と検出・訂正・回復技術」を、世界をリードする、あるいはトップクラスの水準にするには、期間終了後の継続努力に待たねばならない。本来力のあるグループであり、今後企業連携の強化により、研究のインパクトを高めることができると考える。

実践的な研究では、課題の捕捉から概念実証、実適用まで、実際の問題をかかえている企業等と大課題を中期・長期的に共有し、常時意見を交換し、具体例題や使用ツールの相互融通などの交流をすることによりインパクトのある研究を生むことができるため、今後の実行を期待する。