

研究課題別事後評価結果

1. 研究課題名：アーキテクチャと形式的検証の協調による超ディペンダブル VLSI

2. 研究代表者名及び主たる共同研究者名(研究機関名・職名は研究参加期間終了時点):

研究代表者

坂井 修一(東京大学 大学院情報理工学系研究科 教授)

主たる共同研究者

藤田 昌弘(東京大学 大規模集積システム設計教育研究センター 教授)

吉瀬 謙二(東京工業大学 大学院情報理工学研究科 准教授)

若林 一敏(日本電気 グリーンプラットフォーム研究所 主管研究員)

3. 研究実施概要 (研究代表者によるまとめ)

本研究課題では、VLSI システムのディペンダビリティを飛躍的に向上させる技術を新規提案し、その有効性を検証することを目標とする。特に従来は得ることのできなかった VLSI の信頼性の獲得を飛躍的に高める技術を提案し、シミュレーションと試作機の製作・評価を通してこれを検証した。検証技術とディペンダブルアーキテクチャ技術の2つを核としてこれにテスト技術・回路技術を加え、それぞれを新規に研究開発するとともに、これら諸技術の協調によって、個々の技術では達成できないディペンダビリティを VLSI 上に実現する技術を研究開発した。具体的内容は以下である。

1)「ディペンダブルアーキテクチャ」の研究では、回路技術・アーキテクチャ技術によって VLSI のディペンダビリティを向上させることを目標に、研究を進めた。さらに、ディペンダブルプロセッサの設計データを形式的検証グループに提供し協力してその動作検証を行うとともに、形式的検証グループおよびディペンダビリティ支援ルータグループと協力して、VLSI システム上でのこれら技術の組合せと最適な役割分担の検討・評価を行い、以下の研究成果を得た。①故障を検出し、故障箇所を自身で再構成することで回復する FPGA アーキテクチャのテストベッドを作成した。このボードは、ユーザロジックを実装する部分と、故障信号の伝達ネットワークや回復指示を行う固定部分を実装する部分の二つに分けられる。前者の論理設計及び、実機での動作確認を行った。②タイミング故障検出機構と DVFS を組み合わせた 2-way スーパスカラプロセッサを FPGA 上に実装した。③電源電圧・動作周波数を変更できる FPGA ボードを作成した。動的タイム・ボローイングを行うクロッキング方式を適用した回路を FPGA 上に実装し、正しく動作することを検証し、また電源電圧・動作周波数を変えて、動作周波数が2倍になることを確かめた。④ダブルビットラインのそれぞれにシングルビットライン用のセンスアンプを配し、その出力を比較することで読み出し時のタイミングエラーを検出する SRAM によってデータアレイを構成したキャッシュメモリを 40nm プロセスを用いて実チップ化した。

2)「形式的検証・解析技術」の研究では、設計の正しさの検証技術、各種論理的・電氣的誤設計のデバッグ支援技術、高性能演算回路の解析技術、ならびにディペンダブルアーキテクチャ設計の形式的な解析手法に基づく検証・デバッグ・最適化支援技術を研究開発し、他グループの研究成果に適用し融合することによって、マイクロプロセッサやネットワークプロセッサなどから構成されるディペンダブルアーキテクチャ全般に対するディペンダブルな設計技術の構築を行った。また、形式的検証技術に関しては、そのツール化を推進し、利用が期待できる企業と協調し、実設計や企業で実際に利用されている設計フローの中での評価を通じた実用性向上に関しても研究開発を進め、以下の研究成果を得た。①ハードウェア設計に対する C 言語設計記述間の等価性を形式的に検証する新規手法を考案し、ツール化するとともに産業界での実運用を目指した評価を企業で行

った。比較する2つの設計記述間の差分を自動的に抽出し、その部分を中心に解析することで、実運用で一般的な最適化のための部分的な設計記述の変更前後の等価性を形式的に検証した。②SoC など設計の大規模化が進み、計算機支援無しに設計デバッグを迅速に行うことは非常に困難になっているため、新たな設計デバッグ手法を開発した。

3)「ディペンダビリティ支援ルータ」の研究では、これから VLSI プロセッサの主流となるマルチコアプロセッサ、メニーコアプロセッサにおけるディペンダビリティを飛躍的に向上させるアーキテクチャとして、超ディペンダビリティ支援の高機能ルータを開発することを本研究グループの課題とした。成果は、ディペンダブルアーキテクチャグループ、形式的検証グループと統合して全体として VLSI システムのディペンダビリティを飛躍的に高める技術とした。具体的には、形式的検証グループにメニーコアの設計データを提供し、協力して形式的検証を行い、以下の研究成果を得た。①ディペンダビリティを支援する高機能ルータアーキテクチャを有するメニーコアプロセッサの枠組みとして **SmartCore** システムを提案するとともに、高機能ルータの基本アーキテクチャを開発した。②高機能ルータアーキテクチャを評価するために、マルチコアおよびメニーコアプロセッサを対象としたソフトウェアおよびプロセッサアーキテクチャ研究のための基盤環境を構築した。③メニーコアプロセッサを対象としたタスク配置手法を検討し、効率的なタスク配置手法として **RMAP** を提案した。

4)「検証技術実証」の研究では、設計の正しさの検証技術を実設計現場に導入することによって VLSI のディペンダビリティを向上させることを目標に研究を進めた。そのために、「形式検証」グループと連携して等価性検証ツールの実用化に対する評価検討を行い、以下の研究成果を得た。①**CyberWorkBench** の実設計回路を等価性検証ツール **FLEC** の入力形式に変換するツールのプロトタイプを作成した。**CyberWorkBench** の設計記述であるC言語記述を、**FLEC** に入力可能な **SpecC** 記述に変換する。②基礎的なデータを用いて等価性検証ツール **FLEC** を実設計現場で活用するための課題を抽出した。③等価性検証ツール **FLEC** を実設計現場で活用するシナリオを策定した。④**CyberWorkBench** の動作 IP から浮動小数点加減算器を選択し、前記シナリオに沿って実際の設計現場で利用した設計変更例を作成した。⑤規模と分岐数という実用化における2つの課題を解決するために、比較対象を設計変更部分に限定する手法を考案した。本手法の評価実験のために記述中の任意の部分を独立した C 言語記述として抽出できるように前記変換ツールを改良した。

4. 事後評価結果（以下研究総括によるまとめ）

4-1. 研究の達成状況及び得られた研究成果（論文・口頭発表等の外部発表、特許の取得状況等を含む） （課題、目標の設定）

本プロジェクトは、「VLSI の設計段階においてディペンダビリティを組み込む設計技術（形式的検証技術、テスト・検証容易化設計、テスト時に部分修正の可能な設計）」と、「故障の検出・回復によりディペンダビリティを飛躍的に高める回路・アーキテクチャ」を2本の柱としている。マクロな課題設定は正統的である。開発技術の具体的な適用対象や定量的な目標設定については、学内外との議論によりもっと掘り下げて行けるとよかった。実証を重視する工学ではそれが成功の必要条件であるためである。設計検証に関しては企業（NEC）グループが4年目に参加し、研究の実適用に向けて大きな展開があった。ユーザにあたる機関としての JAXA やその他の企業と実質的な協力関係は全般にこれからといったところである。一般論になるが、学ばかりでなく産からも、従来よりも積極的な連携を働きかけて、大学の力と企業の力をもっと相互利用することが技術の進歩にとりつながると考える。

（成果状況）

成果項目は研究体表者により3項に記述されているが、以下少々コメントする。

ディペンダブル アーキテクチャについて

チップやボードの試作の実績は大変活発であったが、提案概念とその証明結果が十分に明示されていない。たとえば「耐永久故障 FPGA アーキテクチャ」は、主要な提案概念が何であるか、その定量的な効果ならびにオーバーヘッドが何であるか、もっと具体的な報告がほしい。「タイミング故障耐性を持つスーパスカラプロセッサ」は、故障検出フリップフロップ、制御パス上の故障をデータパス上の故障同様故障検出・修復可能なシステムという概念提示と、FPGA ボードの試作結果はあるが、提案した概念のもたらす性能上、ディペンダビリティ上の利益と不利益についての技術的な報告が十分でない。また審査のある有力学会、学会誌における発表ももっと活発であるべきで、今後の発表に期待する。

形式的検証について

形式的検証はシミュレーションに比較し効率的な方法として期待されたが、大規模回路への適用は難関であった。実設計への適用による概念実証を進めるよう促し、実設計に関与した経験のある企業グループの参加により、開発したツールには扱い可能な規模や分岐数に制約があるという2つの大きな問題が見いだされた。そこで、ASIC-FPGA 移行、既存 IP の設計変更の検証など、扱いやすい問題に限定して、効果の実証は進展した。しかし FLEC と呼ぶ基本ツールは大学で学生により開発されたものであるため他の人に引き継いで機能・性能を拡張して行く見通しは明るくないとのことで、残念である。大学の研究であるとは言え、実践的な学問である場合、規模の問題や継続的開発への障害を乗り越える工夫や努力も要求される。企業との連携が不可欠な所以でもある。

(外部との連携)

企業連携は平成 22 年 12 月に検証技術を実証する企業 (NEC) グループが新たに加わったことで本格的に始まったと言える。吉瀬グループの高機能ルータは現在進めている FPGA 評価ボードの商業的提供により、試用が広がり実証や発展の加速が期待される。坂井・五島グループの耐故障アーキテクチャについては、JAXA との対話を継続しており、日立製作所との共同研究を開始したとのことなので、ぜひ接触を深めてほしい。

4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

形式的検証技術は、平成 22 年度から参加した NEC グループが商用の高位言語設計ツール CWB (CyberWorkBench) との接続を図ったことにより、ビット演算や関数などの適用上の制約が緩和され実証が進んだが、エンジン部分の性能限界が指摘されるに至っている。このような接触が創造的なサイクルとして順調に進み、たとえ適用制限はあっても技術の効果がより広く認知されるように進むことを望んでいる。メニーコアプロセッサへの高機能ルータ適用によるディペンダビリティ向上のアイデアは特徴ある技術として今後の研究展開が期待される。耐故障プロセッサアーキテクチャについては、世界競争の舞台である主要学会、論文誌への発表の不足を指摘したい。

4-3. 総合的評価

「アーキテクチャと形式的検証の協調による超ディペンダブル VLSI」において、本チーム全体の成果を、世界をリードする水準、あるいはトップクラスの研究成果とするには、今後の継続努力に待たねばならない。本来力のあるグループであり、今後企業連携の強化により、研究のインパクトを高めることができると考える。

少し敷衍すると、実践的分野の大学研究では、課題の捕捉から概念実証、実適用まで、実際の問題をかかえている企業等と大課題を中期・長期的に共有し、常時意見を交換し、具体例題や使用ツールの相互融通などの交流をすることによりインパクトのある研究を生むことができる。これを習慣化することが、日本の産業技術力の維持向上には不可欠であるため、今後の実行を期待する。