

研究課題別事後評価結果

1. 研究課題名： ロバストファブリックを用いたディペンダブル VLSI プラットフォーム

2. 研究代表者名及び主たる共同研究者名(研究機関名・職名は研究参加期間終了時点):

研究代表者

小野寺 秀俊(京都大学 大学院情報学研究科 教授)

主たる共同研究者

尾上 孝雄(大阪大学 情報科学研究科 情報システム工学専攻 教授)

神原 弘之(京都高度技術研究所 研究部 主席研究員)

小林 和淑(京都工芸繊維大学 工芸科学研究科電子システム工学専攻 教授)

嶋田 創 (奈良先端科学技術大学院大学 情報科学研究科 准教授)

密山 幸男(高知工科大学 システム工学群 講師)

若林 一敏(日本電気 グリーンプラットフォーム研究所 主管研究員)

3. 研究実施概要 (研究代表者によるまとめ)

本研究課題では、素子寸法の極限的な微細化に伴って問題となってきたデジタル VLSI の製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびに一過性雑音事象(ソフトエラー)によるディペンダビリティ低下を克服することを目的とし、搭載回路の再構成と特性の適応的調整が可能な VLSI プラットフォームを開発した。また、VLSI プラットフォームの開発にあたり、高信頼プロセッサと再構成可能アレイ部から構成される VLSI プラットフォームのハードウェアに加えて、C 言語で記載されたアプリケーションを開発 VLSI プラットフォーム上で実行させるためのソフトウェア環境を整備した。具体的内容は以下である。

1) 本プロジェクトの最終成果物として、再構成アーキテクチャグループによる信頼性可変再構成可能アーキテクチャ **FRRARY**、再構成プロセッサグループによる高信頼性プロセッサ **DARA** と高信頼性 **FF** の研究成果を統合したディペンダブル VLSI プラットフォームを構築した。本ディペンダブル VLSI プラットフォームを **SoC** として実装し、さらにその性能とディペンダビリティを評価するデモシステムを開発した。ビデオ入出力ボードを接続し、容易に動画像アプリケーションによる評価が実行できる。

2) ソフトエラーによる回路誤動作や、経年劣化によるタイミング故障などの信頼性毀損要因に対して、アーキテクチャレベルで柔軟にディペンダビリティを担保することが可能な粗粒度再構成可能アーキテクチャ **FRRARY** を開発した。**FRRARY** は、アレイ構造の基本要素であるクラスタ内で、構成情報メモリおよび演算回路の冗長化と機能交換を可能としており、要求されるディペンダビリティに応じた適応的冗長化と、遅延故障やハードウェア故障発生時のスベア回路との動的機能交換(ホットスワップ)が可能である。

3) 多重化度を動的に変更し、一時故障の発見/回復と永久故障の発見には 2 重化構成を、永久故障の回復には 3 重化構成を用いることで平均多重化度を削減し、信頼性向上に要するコストを削減するプロセッサ・アーキテクチャ **DARA**(Dynamic Adaptive Redundancy Architecture)を提案した。

4) 選択的三重化に対応した粗粒度再構成可能アーキテクチャをターゲットとする、C 言語からの設計開発環境の構築を進めた。動作合成は産業的にも実績のある **Cyber Work Bench** をベースとし、**ANSI-C** 言語に準拠したデザインエントリと、面積や遅延時間制約への対応を可能とした。

5) 低電力な高信頼 **FF** の設計とその評価を行うとともに、重イオンビームによる高信頼 **FF** のソフトエラー耐性の評価を行い、**BCDMR** (Bi-stable Cross-coupled Dual-Modular Redundancy) **FF** の提案を行い、高いク

ロック周波数でも強靱なエラー耐性を持つことを、シミュレーションならびに実測で実証した。さらに、電力効率の低減を狙って、BCDMR ACFF (Adaptive Coupled FF)の提案を新たに行い、その電力効率の良さも実証した。

6)チップ内を多数の小領域に分割し、各小領域毎(細粒度)に自律的に特性ばらつきを診断して基板バイアス制御により動作特性ばらつきを補償する、ばらつき耐性強化設計技術(細粒度特性ばらつき補償回路)を開発した。開発回路の基幹を成すのは、デジタル型 PMOS/NMOS 特性モニタ回路とセルベース設計による小面積基板バイアス生成回路である。

4. 事後評価結果 (以下総括によるまとめ)

4-1. 研究の達成状況及び得られた研究成果(論文・口頭発表等の外部発表、特許の取得状況等を含む) (課題、目標の設定)

システムの高度化を可能にするキー部品として、VLSI の役割は拡大こそすれ縮小することはない。しかるに高性能・低価格の追求のための微細化は極限近くまで進められ、素子特性のばらつきの増大、信号量の減少がディペンダビリティに対する大きな脅威となっている。本チームでは、ばらつきや外部擾乱に対する耐性強化を、論理 LSI の物理層、素子、回路、論理、アーキテクチャに到る各階層をまたぎ縦断的に実施し、新しい論理 VLSI のプラットフォームを実現することを目指している。用途に依存して個々の VLSI には異なるレベルのディペンダビリティが要求されることに対しては、MCU、ASIC、FPGA と異なった「再構成可能アーキテクチャ」により適応的に対応しようとしている。こうした課題設定は適切、妥当なものである。

このチームは、多様な専門能力を持つ研究者を集めて編成し、階層縦断的システム的なアプローチを取っている。実際にはアーキテクチャをアプリケーションにつなげるところではかなり苦戦したが、4年度目に、システム LSI 設計に実践経験のある企業グループの参加を得て以来チームの活動にまとまりが生じ、目標設定にも現実味が増してきた。

(成果状況)

成果項目は研究体表者により3項に記述されているとおりである。少し付言すると、当初は粗粒度構成のみとされていたが、制御部は細粒度構成のステート・マシンとして条件分岐などを可能にするなど現実的な工夫がなされた。また JAXA の提唱・推進する SpaceWire インタフェースを搭載している。動的再構成もこのインタフェースにより可能にしている。

FRRARY や DARA と呼ぶアーキテクチャ構成要素、タスクマッピング技術、CWB を含む設計ツールなど個別技術がどのように統合され実証されて行くかを含め、当該 VLSI アーキテクチャの総合的な検証はなお今後の課題である。幸い、JAXA から、CREST の正規研究期間が平成 24 年度で終了した後も、実用化を目指した共同研究をしたいとの提案があり、FPGA の基本特許が既に失効しているので、本研究の成果を有力な新技術として育成していく道が開けた。この機会を活用し、今後一層の努力を継続されたい。なお、回路・レイアウト層の研究にも、高信頼フリップフロップ、細粒度特性ばらつき補償回路といった成果があり、放射線によるエラー測定における進歩とならんで一般企業等における実用化が期待される。

(外部との連携)

当初から潜在ユーザとの産学官の壁を越えた議論を通じてアプリケーション、システムの実用的な方向付けが外部とよく共有されていれば、より明確な課題設定やよりすばやい研究進捗ができたと思われる。そうした交流は、研究開始後の領域活動の中で進んだ。企業(NEC)グループの参入や JAXA など潜在ユーザとの対話を通じ、課題、アプローチ、検証、出口の設定により展開が見られた。

こうした産学官の交流の習慣・仕組みの構築は制度的な工夫、企業の姿勢の変化も必要とするものであり、一概に研究者の責に帰することはできない。JAXA との共同研究を糸口に、半導体業界およびエレクトロニクス業界とのさらに密接な連携をはかり、相互の利益につながる成果の受け渡しを成立させるよう、関係者の継続的努力、尽力をお願いしたい。

4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

特性ばらつきに対する耐性を持つセル・レイアウト、細粒度基板バイアス、耐放射線 FF 回路などの個別技術には効果が試作回路により実証され、ライブラリーとして公表され、特許化されているものもある。産業的な価値のある普遍的な IP が創造されている。

本チームの設計思想に基づく「再構成アーキテクチャ」は、C 言語により設計可能になっており、タスクマッピングやツール類も検討した。多重化によるソフトウェア率低減についても、数値的な予測を得ることができた。

4-3. 総合的評価

物理、デバイス、回路レベルのディペンダブル技術成果にはすぐにでも製品適用できるアイデアがいくつもあり、ライブラリー公開されている。半導体デバイスメーカーが製品に適用すれば、競争優位化のために効果のある水準にある。

「ディペンダブル VLSI プラットフォーム」については、目標とした適応的 VLSI の実現に向かって進展している。実用化にはなお相当の道のりがあるが、本領域の 5 年半の研究期間終了後、平成 25 年度に延長実施する JAXA との共同研究計画が具体化したことは、実用化への重要なステップ・ストーンとなりうる。MCU、FPGA に代わる製品にまで育てて行ければ、イノベーションの達成とすることができる。